المملكة العربية السعودية
المؤسسة العامة للتدريب التقني والمهني
الإدارة العامة لتصميم وتطوير المناهج

الكليات التقنية

الحقيبة التدريبية :

الدوائر المنطقية والمعالجات الدقيقة

في تخصص الاتصالات

مقدمة

الحمد لله وحده، والصلاة والسلام على من لا نبي بعده، محمد بن عبدالله وعلى آله وصحبه، وبعد:

تسعى المؤسسة العامة للتدريب التقني والمهني لتأهيل الكوادر الوطنية المدربة القادرة على شغل الوظائف التقنية والفنية والمهنية المتوفرة في سوق العمل، ويأتي هذا الاهتمام نتيجة للتوجهات السديدة من لدن قادة هذا الوطن التي تصب في مجملها نحو إيجاد وطن متكامل يعتمد ذاتيًا على الله ثم على موارده وعلى قوة شبابه المسلح بالعلم والإيمان من أجل الاستمرار قدمًا في دفع عجلة التقدم التنموي: لتصل بعون الله تعالى لمصاف الدول المتقدمة صناعياً.

وقد خطت الإدارة العامة لتصميم وتطوير المناهج خطوة إيجابية تتفق مع التجارب الدولية المتقدمة في بناء البرامج التدريبية، وفق أساليب علمية حديثة تحاكي متطلبات سوق العمل بكافة تخصصاته لتلبي متطلباته، وقد تمثلت هذه الخطوة في مشروع إعداد المعايير المهنية الوطنية الذي يمثل الركيزة الأساسية في بناء البرامج التدريبية، إذ تعتمد المعايير في بنائها على تشكيل لجان تخصصية تمثل سوق العمل والمؤسسة العامة للتدريب التقني والمهني بحيث تتوافق الرؤية العلمية مع الواقع العملي الذي تفرضه متطلبات سوق العمل، لتخرج هذه اللجان في النهاية بنظرة متكاملة لبرنامج تدريبي أكثر التصاقًا بسوق العمل، وأكثر واقعية في تحقيق متطلباته الأساسية.

وتتناول هذه الحقيبة التدريبية " **الدوائر المنطقية والمعالجات الدقيقة** " لمتدربي تخصص " **الاتصالات** " للكليات التقنية موضوعات حيوية تتناول كيفية اكتساب المهارات اللازمة لهذا التخصص.

والإدارة العامة لتصميم وتطوير المناهج وهي تضع بين يديك هذه الحقيبة التدريبية تأمل من الله عز وجلّ أن تسهم بشكل مباشر في تأصيل المهارات الضرورية اللازمة، بأسلوب مبسط يخلو من التعقيد، مدعم بالتطبيقات والأشكال التي تدعم عملية اكتساب هذه المهارات.

والله نسأل أن يوفق القائمين على إعدادها والمستفيدين منها لما يحبه ويرضاه؛ إنه سميع مجيب الدعاء.

الإدارة العامة لتصميم وتطوير المناهج

الفهـــرس

الموضـــوع	رقم الصفحة
تمهيد	٧
الوحدة الأولى : أنظمة الأعداد	٨
١ -١ أنظمة الأعداد	١٠
١ -٢ النظام العشري للأعداد	١٠
١ -٣ النظام الثنائي للأعداد	١١
١ -٤ النظام السداسي عشر للأعداد	١٦
١ -٥ العمليات الحسابية في النظام الثنائي	١٨
تدريبات على الوحدة الأولى	٢٥
الوحدة الثانية : الدوائر المنطقية البسيطة	٢٧
٢ -١ البوابات المنطقية	٢٩
٢ -٢ الجبر البوليني	٣٠
٢ -٣ تمثيل دائرة منطقية من خلال جدول الحقيقة ٤٢	٤٢
٢ -٤ تحويل الصيغة البولينية إلى جدول الحقيقة	٤٤
٢ -٥ تبسيط الصيغ البولينية باستخدام الجبر البوليني	٤٥
تدريبات على الوحدة الثانية	٤٨
الوحدة الثالثة : الدوائر المنطقية التوافقية	٥٠
٣ -١ نظريات دي مورجان	٥٢
٣ -٢ الخواص العامة للبوابات NOR ، NAND	٥٤
٣ -٣ تصميم الدوائر المنطقية التوافقية باستخدام بوابات NOR،NAND	٥٦
٣ -٤ خريطة كارنوف	٦١
٣ -٥ التبسيط باستخدام خريطة كارنوف	٦٢
٣ -٦ دوائر الجامع والطارح الثنائية	٦٩
تدريبات على الوحدة الثالثة	٧٦

الموضـــوع	رقم الصفحة
الوحدة الرابعة : الدوائر المنطقية المتعاقبة	٧٨
٤ -١ القلابات	٨٠
٤ -٢ مسجلات الإزاحة	٩٣
٤ -٣ العدادات	٩٩
٤ -٤ وحدات التعدد أو منتخبات البيانات	١٠٨
٤ -٥ وحدات فك التعدد	١١١
٤ -٦ دوائر المزمنات Timers	١١٢
٤ -٦ -١ دائرة متعدد الإهتزازات غير المستقر	١١٣
٤ -٦ -٢ دائرة متعدد الإهتزازات أحادي الإستقرار	١١٣
٤ -٦ -٣ دائرة المزمن 555	١١٤
٤ -٦ -٣ -١ المزمن 555 كمتعدد الإهتزازات غير المستقر	١١٥
٤ -٨ -٣ -٢ المزمن 555 كمتعدد الإهتزازات أحادي الإستقرار	١١٧
تدريبات على الوحدة الرابعة	١٢٠
الوحدة الخامسة : مقدمة عن المعالج الدقيق	١٢٢
٥ -١ الحاسب الآلي و المعالج الدقيق	١٢٤
٥ -١ -١ تطور المعالجات	١٢٥
٥ -١ -٢ العناصر الأساسية للحاسب الآلي	١٢٥
٥ -٢ اللوحة الأم	١٢٦
٥ -٣ وحدة الإدخال/الإخراج	١٢٦
٥ -٣ -١ مواجهة الدخل Input Interface	١٢٧
٥ -٣ -٢ مواجهة الخرج Output interface	١٢٨
٥ -٣ -٣ إمكانيات الاتصال بين المعالج ووحدات الإدخال/الإخراج	١٢٨
٥ -٤ المكونات الأساسية للمعالج	١٢٩

الموضـــوع	رقم الصفحة
٥ -٤ -١ وحدة الحساب والمنطق	١٣٠
٥ -٤ -٢ وحدة السجلات	١٣٠
٥ -٤ -٣ وحدة التحكم	١٣٠
٥ -٥ نواقل المعالج	١٣٠
٥ -٥ -١ ناقل العناوين	١٣٠
٥ -٥ -٢ ناقل البيانات	١٣١
٥ -٥ -٣ ناقل التحكم	١٣١
٥ -٦ الذاكرة	١٣١
٥ -٦ -١ عنوان وسعة الذاكرة	١٣٢
٥ -٦ -٢ مبدأ تشغيل الذاكرة	١٣٣
٥ -٦ -٢ -١ عملية الكتابة على الذاكرة	١٣٦
٥ -٦ -٢ -٢ عملية القراءة من الذاكرة	١٣٧
٥ -٦ -٣ الأنواع الرئيسية للذاكرة	١٣٨
٥ -٧ لغات الحاسب	١٤٠
٥ -٧ -١ لغة الآلة Machine Code	١٤٠
٥ -٧ -٢ لغة المستوى الأدنى Low Level Language	١٤٠
٥ -٧ -٣ لغة المستوى العالي High Level Language	١٤٠
٥ -٨ البرنامج	١٤١
٥ -٨ -١ برمجة المعالج	١٤١
٥ -٨ -٢ لغات التجميع	١٤٢
٥ -٨ -٣ برنامج المجمع Assembler	١٤٣
تدريبات على الوحدة الخامسة	١٤٤
ملحق المصطلحات	١٤٦

الموضـــوع	رقم الصفحة
المراجع Referances	١٥٤

تمهيد

تحتوي حقيبة الدوائر المنطقية والمعالجات الدقيقة على خمس وحدات متسلسلة منطقيا بحيث تعتمد كل وحدة على سابقتها في المعلومات والخلفيات التقنية.

ففي الوحدة الأولى سوف تتم دراسة أنظمة الأعداد ليكتسب المتدرب عند اكتمالها القدرة على التعرف على أنظمةالأعداد المختلفة والتي سوف تبنى عليها باقي الوحدات.

وفي الوحدة الثانية والثالثة والرابعة سندرس الدوائر المنطقية بأنواعها المختلفة بدءًا بالدوائر المنطقية البسيطة في الوحدة الثانية ليفهم المتدرب أساسيات الدوائر المنطقية وكيفية التعامل مع الدخل وكتابة الصيغ البولينية للوصول إلى جدول الحقيقة ثم إلى خرج الدائرة أيًّا كان عدد الدوائر المنطقية بها.

ويتبع ذلك دراسة الدوائر المنطقية التوافقية في الوحدة الثالثة والتعرف على كيفية تحويل الصيغة البولينية إلى خريطة كارنوف ومن ثم تبسيط الدوائر المنطقية لتكون في أبسط صورة وتعطي نفس عمل الدائرة الأصلية وفي ذلك تقليل حجم الدوائر المنطقية وزيادة كفاءتها.

أما الوحدة الرابعة فيدرس بها المتدرب الدوائر المنطقية المتعاقبة ليتعرف على تركيب الدوائر الأكثر تعقيدا والمكونة أساسًا من الدوائر المنطقية السابق دراستها في الوحدتين السابقتين لنحصل على دوائر عملية لها فوائد محددة مثل دوائر القلابات ومسجلات الإزاحة والعدادات والمزمنات.

أما في الوحدة الخامسة والأخيرة ستتم دراسة أساسيات المعالج الدقيق والتعرف على الوحدات الأساسية المكونة له وكيفية الربط بينها. والتعرف أيضًا على أنواع المعالج الدقيق الحديثة وكيفية برمجته وأنواع لغات البرمجة والفرق بينها.

و عليه فإن المادة العلمية المقدمة إليك عزيزي المتدرب في هذه الحقيبة تصل بك إلى فهم صحيح للمادة بدايةً من أساسيات بديهية ومنطقية يمكن أن تستوعبها بسهولة ويسر دون الدخول في تعقيدات أو مصطلحات غير مفهومة لنبني فيك روح التحليل المنطقي وكيفية الرجوع بالمكونات الصعبة إلى أساسيات سهلة وميسرة بإذن، الله.

والله من وراء القصد وهو الموفق و الهادي إلى سواء السبيل.

الوحدة الأولى

أنظمة الأعداد

أنظمة الأعداد

الهدف العام :

أن يفهم المتدرب نظم الأعداد المختلفة والتحويل من نظام إلى آخر.

الأهداف التفصيلية :

عندما تكتمل هذه الوحدة يكون المتدرب قادرًا وبكفاءة على أن:

١. يتعرف على النظام العشري للأعداد.
٢. يتعرف على النظام الثنائي للأعداد.
٣. يتعرف النظام السداسي عشر للأعداد.
٤. يستطيع التحويل بين هذه الأنظمة.
٥. إجراء العمليات الحسابية على النظام الثنائي.

مقدمة

تستعرض هذه الوحدة النظام الثنائي للأعداد "Binary numbering system" وعلاقته بالأنظمة المختلفة للأعداد كما تتناول هذه الوحدة العمليات الحسابية المختلفة للنظام الثنائي حيث يعتبر من أهم أنظمة الأعداد المستخدمة في الدوائر الإلكترونية الرقمية "Digital Electronic Circuits"

١ -١ أنظمةالأعداد Numbering Systems

عند دراستنا لأي نظام عددي سنتناول النقاط الآتية:

١. أساس النظام.

٢. الرموز المستخدمة في النظام.

٣. التحويل من النظام العشري لهذا النظام والعكس.

٤. التحويل من هذا النظام إلى بقية الأنظمة.

١ -٢ النظام العشري للأعداد Decimal Numbering System

يطلق على النظام العشري للأعداد اسم نظام الأساس عشرة "10" لأنه يعتمد في تكوينه على عشرة أرقام مختلفة وهي "0,1,2,3,4,5,6,7,8,9". وللنظام العشري خاصية رتبة الرقم أو الوزن المكاني "Positional Weight". فعلى سبيل المثال العدد 128.35: نجد أن الرقم الأول قبل العلامة 8 قيمته ثمانية لأنه يقع في خانة الآحاد (الرتبة الأولى التي وزنها 10^0=1)،وهو حاصل ضرب الرقم 8 في وزن الرتبة 1، أما الرقم الثاني 2 فقيمته عشرون لأنه يقع في خانة العشرات (الرتبة الثانية ووزنها 10^1 =10) وهو حاصل ضرب الرقم 2 في وزن الرتبة 10، أما الرقم الثالث 1 فقيمته مائة لأنه يقع في خانة المئات (الرتبة الثالثة ووزنها 10^2 =100) وهو حاصل ضرب الرقم 1 في وزن الرتبة 100. وفي حالة الأعداد الكسرية تمثل رتب الخانات لها بالأس السالب مرتبة من على يمين العلامة العشرية بدءًا من الوزن 10^{-1}كالآتي:

10^2 10^1 10^0 • 10^{-1} 10^{-2} 10^{-3} .....

العلامة العشرية

(Decimal Point)

وبجمع هذه القيم ينتج العدد المطلوب كالآتي:

الرقم العشري:	1	2	8.	3	5
الرتبة:	المئات	العشرات	الآحاد	من عشرة	من مئة
الوزن:	10^2	10^1	10^0	10^{-1}	10^{-2}
الوزن×الرقم:	1×10^2	$+2\times10^1$	$+8\times10^0$	$+3\times10^{-1}$	$+3\times10^{-2}$
قيمة الرقم العشري:	100	+ 20	+ 8	+0.3	+0.05

128.35 =

١ -٣ النظام الثنائي للأعداد Binary Numbering System

يطلق على النظام الثنائي للأعداد اسم نظام الأساس "2"، لأنه يعتمد على رقمين اثنين فقط هما "1,0" ورتب الخانات في النظام الثنائي من اليمين إلى اليسار تمثل قوى العدد "2" أي إن:

2^0 2^1 2^2 2^3 2^4 ...

وعلى ذلك فإن العدد الثنائي $(11001)_2$ يكافئ الرقم $(25)_{10}$ كما يلي:

٢٤	٢٣	٢٢	٢١	٢٠
١	١	٠	٠	١

$$(11001)_2 = (1\times2^4) + (1\times2^3) + (0\times2^2) + (0\times2^1) + (1\times2^0)$$
$$= 16 + 8 + 0 + 0 + 1 = (25)_{10}$$

■ عدد التشكيلات الثنائية Number of Binary Combinations:

عدد التشكيلات الثنائية تعني عدد الاحتمالات التي يمكن الحصول عليها من عدد معين من الخانات"Bits"، وهناك صيغة رياضية يمكن عن طريقها حساب هذا العدد من التشكيلات N وهي:

$$N = 2^n \qquad (1\text{-}1)$$

حيث: n عدد الخانات الثنائية"Bits".

وبالتالي

فإذا كان عدد الخانات يساوي "2" فإن عدد التشكيلات الثنائية هو: $N = 2^2 = 4$.

وإذا كان عدد الخانات يساوي "3" فإن عدد التشكيلات الثنائية هو: $N = 2^3 = 8$.

وإذا كان عدد الخانات يساوي "4" فإن عدد التشكيلات الثنائية هو: $N = 2^4 = 16$.

■ أهمية رتبة الخانة الثنائية :

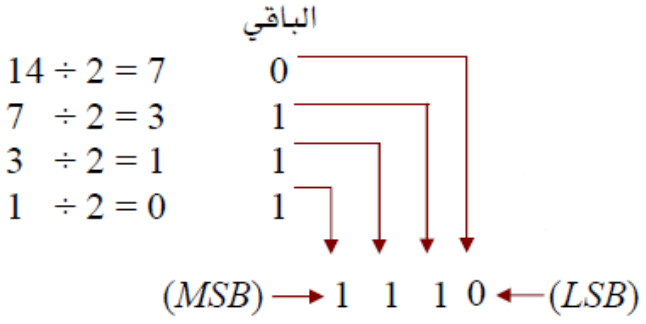
في أي تشكيلة من التشكيلات الثنائية المحتملة لأي عدد من الخانات نجد أن الخانة الأولى في اليمين تحت رتبة 2^0 أي تساوي "1"، أو يقال وزنها "1"، وأن الخانة الثانية والتي على يسار الأولى تحت رتبة 2^1، أي وزنها "2"والثالثة تحت رتبة 2^2 أي وزنها "4"وهكذا. لذلك يطلق على الخانة الثنائية الأولى، الخانة الأقل وزنًا أو الأقل قيمة "Least Significant Bit" وتكتب اختصارًا "LSB" ويطلق على الخانة الثنائية الأخيرة في أقصى اليسار الخانة الأكبر وزنًا أو الأعلى قيمة"Most Significant Bit"وتكتب اختصارًا "MSB".

١ -٣ -١ التحويل من العشري إلى الثنائي Decimal-to-Binary Conversion

للتحويل من النظام العشري إلى النظام الثنائي نستخدم طريقة تكرار القسمة على "2" "Repeated Division-by-2 Method"

أولاً: تحويل الأعداد العشرية الصحيحة إلى النظام الثنائي:

لتحويل العدد العشري $(14)_{10}$ إلى الثنائي: نبدأ بقسمة العدد "14" على "2"، ثم نقسم خارج القسمة الذي نحصل عليه على 2 وهكذا حتى نحصل على خارج قسمة يساوي صفر. في كل خطوة من خطوات القسمة نحصل على باقي خارج القسمة وهو الذي يشكل العدد الثنائي. الباقي الأول الذي نحصل عليه يمثل "LSB" في العدد الثنائي والباقي الأخير يمثل "MSB"، وهذه الخطوات يمكن توضيحها كالآتي:



وعلى ذلك يكون الناتج: $(14)_{10} = (1110)_2$

مثال (١ -١): حول العدد العشري $(25)_{10}$ إلى مكافئه الثنائي.

الحـــــــل

	خارج القسمة	الباقي	
25 ÷ 2 =	12	1	(LSB)
12 ÷ 2 =	6	0	
6 ÷ 2 =	3	0	
3 ÷ 2 =	1	1	
1 ÷ 2 =	0	1	(MSB)

وبالتالي يكون الناتج كما يلي: $(25)_{10} = (11001)_2$

مثال (١ -٢): حول العدد العشري $(87)_{10}$ إلى مكافئه الثنائي.

الحـــــــل

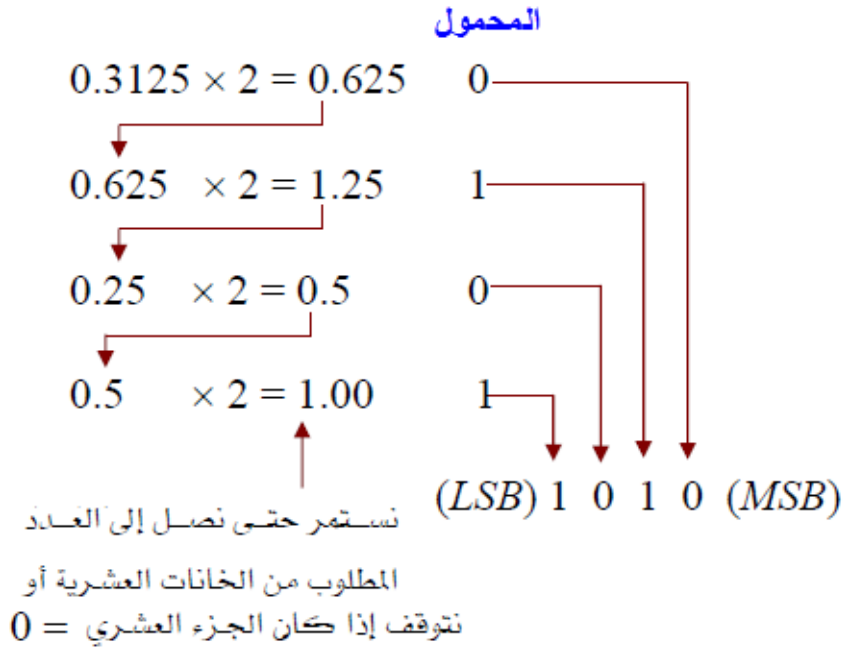
	الباقي	
87 ÷ 2 = 43	1	(LSB)
43 ÷ 2 = 21	1	
21 ÷ 2 = 10	1	
10 ÷ 2 = 5	0	
5 ÷ 2 = 2	1	
2 ÷ 2 = 1	0	
1 ÷ 2 = 0	1	(MSB)

ويكون الناتج:

$(87)_{10} = (1010111)_2$

ثانياً: تحويل الأعداد العشرية الكسرية إلى النظام الثنائي:

تدربنا على تحويل الأعداد العشرية الصحيحة إلى النظام الثنائي عن طريق تكرار القسمة على 2. أما الأعداد العشرية الكسرية "Decimal Fractions" فنستطيع تحويلها إلى النظام الثنائي عن طريق الضرب المتكرر في 2، ولتحويل العدد الكسري $(0.3125)_{10}$ إلى النظام الثنائي نجري العملية التالية:



مثال (١ -٣): حول العدد العشري $(39.25)_{10}$ إلى نظيره الثنائي.

الحـــــل

أولاً: نبدأ بتحويل العدد العشري الصحيح وذلك بتكرار القسمة على (2) كما يلي:

	الباقي	
$39 \div 2 = 19$	1	(LSB)
$19 \div 2 = 9$	1	
$9 \div 2 = 4$	1	
$4 \div 2 = 2$	0	
$2 \div 2 = 1$	0	
$1 \div 2 = 0$	1	(MSB)

ويكون الناتج : $(39)_{10} = (100111)$

ثانياً: نقوم بتحويل العدد الكسري وذلك بتكرار الضرب في (2) كما يلي:

	المحمول
$0.25 \times 2 = 0.5$	0
$0.5 \times 2 = 1.00$	1

$(0.25)_{10} = (0.01)_2$ وبذلك نحصل على:

$(39.25)_{10} = (100111.01)_2$ ويكون الناتج النهائي للعدد المطلوب هو :

١ -٣ -٢ التحويل من الثنائي إلى العشري Binary-to-Decimal Conversion

للتحويل من النظام الثنائي إلى النظام العشري تضرب كل خانة "Bit" في رتبة الخانة المقابلة لها أو وزنها ، وبجمع حاصل الضرب لكل خانة نحصل على العدد المكافىء.

مثال(١ -٤): حول العدد الثنائي $(1101001)_2$ إلى نظيره العشري.

الحـــــل

الوزن :	2^6	2^5	2^4	2^3	2^2	2^1	2^0
العدد الثنائي :	1	1	0	1	0	0	1

$$= 1 \times 2^6 + 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$
$$= 64 + 32 + 8 + 1 = (105)_{10}$$

يحول الكسر في الأعداد الثنائية بوضع خانات "Bits"على يمين العلامة الثنائية " Binary Point" تمامًا كما في الكسر العشري وتكون رتب الخانات أو أوزانها العددية في النظام الثنائي كما يلي:

$$\ldots\ldots 2^4 \quad 2^3 \quad 2^2 \quad 2^1 \quad 2^0 \bullet 2^{-1} \quad 2^{-2} \quad 2^{-3} \quad 2^{-4} \ldots\ldots$$

العلامة الثنائية

مثال(١ -٥): حول العدد الكسري الثنائي $(0.1011)_2$إلى مكافئه العشري.

الحـــــل

$$\begin{array}{lcccc} \bullet & 2^{-1} & 2^{-2} & 2^{-3} & 2^{-4} \\ 0 \bullet & 1 & 0 & 1 & 1 \end{array}$$

$$\therefore (0.1011)_2 = 1 \times 2^{-1} + 1 \times 2^{-3} + 1 \times 2^{-4}$$
$$= 0.5 + 0.125 + 0.0625 = (0.6875)_{10}$$

١ -4 النظام السداسي عشر للأعداد Hexadecimal Numbering System

يطلق على النظام السداسي عشر اسم نظام الأساس ستة عشر "16"، لأنه يعتمد على عشرة أرقام وستة حروف هي "0,1,2,3,4,5,6,7,8,9,*A,B,C,D,E,F*" مع ملاحظة أن الحروف "*A,B,C,D,E,F*" تكافئ الأعداد العشرية "10, 11, 12, 13, 14, 15" على الترتيب.

١ -4 -1 التحويل المباشر من السداسي عشر للثنائي

النظام السداسي عشر يتكون من "0,1,2,……,9,*A,B,C,D,E,F*" والحروف "*A,B,C,D,E,F*" تكافئ "10,11,12,13,14,15" على الترتيب، وبالتالي يمكن التحويل من النظام السداسي عشر إلى النظام الثنائي، بتمثيل كل خانة سداسي عشر بأربع خانات ثنائية "4-bit" كما بالجدول(١ -1).

الجدول (١ -١): تمثيل العدد السداسي عشر كعدد عشري وعدد ثنائي

العدد العشري	العدد الثنائي	السداسي عشر
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	*A*
11	1011	*B*
12	1100	*C*
13	1101	*D*
14	1110	*E*
15	1111	*F*

مثال(١ -٦): حول العدد $(3A5)_{16}$ إلى مكافئه الثنائي.

الحـــــــل

$$(3A5)_{16} = \underset{\downarrow}{3}\ \underset{\downarrow}{A}\ \underset{\downarrow}{5}$$

$$0011\ \ 1010\ \ 0101 = (001110100101)_2$$

مثال(١ -٧): أوجد مكافئ العدد $(B35.D1)_{16}$ في النظام الثنائي.

الحـــــــل

$$(B35.D1)_{16} = \underset{\downarrow}{B}\ \underset{\downarrow}{3}\ \underset{\downarrow}{5}\ \bullet\ \underset{\downarrow}{D}\ \underset{\downarrow}{1}$$

$$1011\ \ 0011\ \ 0101\bullet 1101\ \ 0001 = (101100110101.11010001)_2$$

١ -٤ -٤ التحويل المباشر من الثنائي للسداسي عشر

التحويل من النظام الثنائي إلى النظام السداسي عشر يتم بتكوين مجموعات مكونة من أربع خانات ثنائية ابتداءً من يمين الفاصلة الثنائية للعدد الصحيح وعلى يسار الفاصلة الثنائية للعدد الكسري ثم كتابة ما يقابل كل مجموعة مكونة من أربع خانات بما يكافئها في النظام السداسي عشر.

مثال(١ -٨): حول العدد الثنائي $(110111101.101001)_2$ إلى نظيره السداسي عشر.

الحـــــــل

$$0001\ \ 1011\ \ 1101\ \bullet\ 1010\ \ 0100$$
$$\downarrow\ \ \downarrow\ \ \downarrow\ \ \bullet\ \downarrow\ \ \downarrow$$
$$1\ \ B\ \ D\ \ \bullet\ A\ \ 4$$

لاحظ أنه تمت زيادة صفرين على يمين الكسر وثلاثة أصفار على يسار العدد الصحيح.

$$(110111101.101001)_2 = (1BD.A4)_{16}$$

مثال(١ -١٠): حول العدد الثنائي $(110101011.01101)_2$ إلى نظيره في النظام السداسي عشر.

الحـــــــل

$$\underset{1}{0001}\ \underset{A}{1010}\ \underset{B}{1011}\bullet\underset{6}{0110}\ \underset{8}{1000}$$

$$(110101011.01101)_2 = (1AB.68)_{16}$$

١ -٥ العمليات الحسابية في النظام الثنائي

١ -٥ -١ جمع الأعداد الثنائية

لإجراء عمليات الجمع في النظام الثنائي، نجد أن هناك أربعة قواعد أساسية وهي كالآتي:

$$0+0=0$$
$$0+1=1$$
$$1+0=1$$
$$1+1=1Carry+0$$
$$2=(10)_2$$

القواعد الثلاثة الأولى لا تحتاج إلى مزيد من الإيضاح، والقاعدة الرابعة تقول إنه في حالة جمع 1 + 1 فإن حاصل الجمع بالعشري "2" ويكتب في الثنائي 10_2 ، فيكون الناتج 0 مع ترحيل 1 إلى العمود التالي (الى اليسار) كما في الجمع العشري العادي.

مثال(١ -١١): اجمع الرقمين الثنائيين:100, 011.

الحـــــــل

	4		1	0 0
	+ 3		+ 0	1 1
(عشري)	7	(ثنائي)	1	1 1

مثال(١ -١٢): اجمع الرقمين الثنائيين: 110, 011.

الحـــــــل

			1	1		
	6			1	1	0
	+ 3			+0	1	1
(عشري)	9	(ثنائي)	1	0	0	1

١ -٥ -٢ طرح الأعدادالثنائية

هناك طريقتان لإجراء عملية الطرح وهما :

أولا :الطريقة الحسابية المباشرة.

ثانيا : عن طريق المتمم الأحادي أو المتمم الثنائي.

ولإجراء الطرح بالطريقة المباشرة (الحسابية) يجب معرفة القواعد الأساسية لهذه العملية مع ملاحظة أن المقدار المطروح منه على اليسار والمقدار المطروح على اليمين:

$0 - 0 = 0$
$1 - 0 = 1$
$1 - 1 = 0$
$0 - 1 = 1$ ⟸ النتيجة حيث استلفنا " 1 " من الرتبة الأعلى

ويمكن تلخيص عملية الطرح في الطريقة المباشرة كما يلي:

رتب الأرقام تحت بعضها بحيث تظهر في صورة أعمدة أو خانات واضحة.

ابدأ من الخانة الأولى على اليمين متجهًا إلى اليسار متبعًا قواعد الطرح:

القواعد الثلاث الأولى لا تحتاج إلى مزيد من الإيضاح.

القاعدة الرابعة: عند طرح "1" من "0" نضع في الناتج "1" ثم نغير كل "0" من الخانات التالية في المطروح منه إلى "1" حتى نصل إلى أقرب "1" فنغيره إلى "0".

أكمل بعد ذلك عملية الطرح باستخدام القواعد السابقة.

مثال(١ -١٣): اطرح المقدار (011) من المقدار (101).

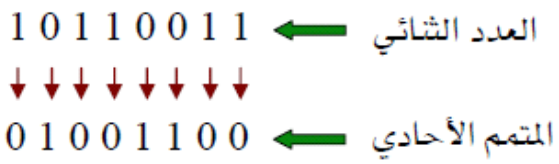
الحـــــل

عندما استلفنا 1 أصبحت هذه الخانة 0

	0	1	
المطروح منه	~~1~~	~~0~~	1
المطروح	0	1	1
الناتج	0	1	0

١ -٥ -٣ المتمم الأحادي والثنائي للأعداد الثنائية 1's and 2's Complements

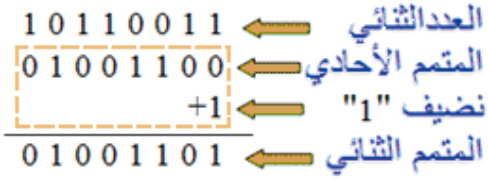
إن أهمية المتممين الأحادي والثنائي يكمن في سماحهما لنا بتمثيل الأعداد الثنائية السالبة، والمتمم الثنائي هو الأكثر شيوعًا واستخدامًا في أجهزة الحاسوب للتعامل مع الأعداد السالبة، وللحصول على المتمم الأحادي لأي عدد ثنائي فإننا نغير كل "1" إلى "0" ونغير كل "0" إلى "1" في العدد الثنائي كما يلي:



أما المتمم الثنائي للعدد الثنائي فإنه يمكن إيجاده بطريقتين كما يلي:

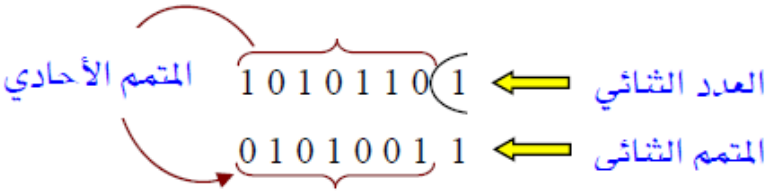
الطريقة الأولى: نقوم بإيجاد المتمم الأحادي كما سبق. ثم بعد ذلك نقوم بإضافة العدد "1" إلى المتمم الأحادي الذي حصلنا عليه وبذلك نحصل على المتمم الثنائي أي إن: المتمم الثنائي=المتمم الأحادي+1

ومثال ذلك نفترض أننا نريد الحصول على المتمم الثنائي للعدد الثنائي 10110011، حيث يجب أولاً الحصول على المتمم الأحادي ثم نجمع عليه "1" لنحصل على المتمم الثنائي للعدد.



الطريقة الثانية: نقوم بالنظر للخانة الثنائية ذات القيمة الدنيا (LSB) من أقصى اليمين للعدد الثنائي فإن كانت تساوي "0" نقوم بكتابته ونستمر في ذلك وبمجرد أن نقابل أول خانة ثنائية تساوي "1" عند ذلك نقوم بكتابة الواحد الذي قابلناه ثم بعد ذلك نقوم بقلب الصفر واحدًا والواحد صفرًا وهكذا إلى أن ننتهي من كتابة العدد.وفي حال قابلنا في الخانة الثنائية ذات القيمة الدنيا واحد فإننا نقوم بكتابته ثم نتبع الطريقة السابقة بقلب الصفر إلى واحد والواحد إلى صفر.

ومثال على ذلك، نفترض أننا نريد تحويل العدد الثنائي $_2$ (10101101) إلى المتمم الثنائي:



١ -٥ -٤ تمثيل الأعداد ذات الإشارة

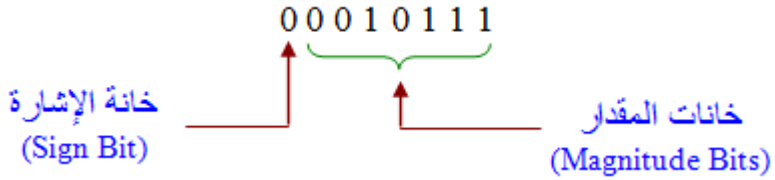
النظم الرقمية التي تستخدم في الحاسب يجب أن تكون لديها القدرة على التعامل مع الأعداد الموجبة والسالبة على حد سواء ونتيجة لذلك فإن الخانة الثنائية ذات القيمة العليا والموجودة في أقصى يسار العدد الثنائي تمثل إشارة العدد، حيث يوضع في هذه الخانة "0" للعدد الموجب، ويوضع بها "1" للعدد السالب.

فمثلاً في حالة العدد الثنائي المكون من ثمانية خانات ثنائية فإن الخانة الثنائية ذات القيمة العليا للعدد والموجودة في أقصى يسار العدد تمثل إشارة العدد"Sign" وبقية الخانات تمثل قيمة العدد "Magnitude".

وهناك ثلاثة طرق لتمثيل الأعداد ذات الإشارة في النظام الثنائي وهي: طريقة إشارة المقدار "Sign-Magnitude" والمتمم الأحادي "1's Complement" والمتمم الثنائي"2's Complement".

أولاً: نظام إشارة المقدار

عند تمثيل العدد الثنائي بنظام إشارة المقدار، فإن الخانة الثنائية "Bit" ذات القيمة العليا والموجودة في أقصى يسار العدد تمثل خانة الإشارة وبقية الخانات تمثل مقدار العدد. فمثلاً لتمثيل العدد العشري (+23) بنظام إشارة المقدار فإننا نكتب العدد كالتالي:



ولتمثيل العدد العشري (-23)فإننا نكتب ما يلي:

1 0 0 1 0 1 1 1

حيث نلاحظ أن الفرق الوحيد بين العددين (+23)، (–23) هو في خانة الإشارة فقط.

ثانياً: نظام المتمم الأحادي 1's Complement System

الأعداد الموجبة في نظام المتمم الأحادي تمثل بنفس الطريقة التي تمت بنظام إشارة المقدار، أما الأعداد السالبة فيتم الحصول عليها بإيجاد المتمم الأحادي للعدد الموجب. لذا يمثل العدد العشري(–23) بإيجاد المتمم الأحادي كالآتي:

العدد (+23) ⟸ 0 0 0 1 0 1 1 1

العدد (–23) ⟸ 1 1 1 0 1 0 0 0

إن الإشارة تمثلها الخانة الأخيرة ذات القيمة العليا الموجودة في أقصى يسار العددين.

ثالثاً: نظام المتمم الثنائي 2's Complement System

كما في نظام المتمم الأحادي فإن الأعداد الموجبة في نظام المتمم الثنائي تمثل بنفس الطريقة كما في نظام إشارة المقدار. أما الأعداد السالبة فنحصل عليها عن طريق إيجاد المتمم الثنائي للعدد الموجب. فمثلاً العدد العشري (23–) يمكن تمثيله عن طريق إيجاد المتمم الثنائي للعدد (+23) كما يلي:

العدد (+23) ⟸ 0 0 0 1 0 1 1 1

العدد (–23) ⟸ 1 1 1 0 1 0 0 1

وكما ذكرنا سابقًا فإن نظام المتمم الثنائي هو الأكثر شيوعًا واستخدامًا في النظم الحاسوبية.

١ -٥ -٥ العمليات الحسابية للأعداد ذات الإشارة

تعلمنا سابقًا كيف يمكن تمثيل الأعداد ذات الإشارة بثلاث نظم مختلفة، وهنا سوف نتعلم كيف نجري العمليات الحسابية المختلفة على الأعداد ذات الإشارة وسنكتفي هنا بشرح عملية الطرح فقط، حيث إننا شرحنا عملية الجمع بالتفصيل في الجزء (١ -٥).
ولأن نظام المتمم الثنائي كما أسلفنا هو الأكثر استخدامًا لتمثيل الأعداد السالبة في أجهزة الحاسوب فسوف نكتفي هنا بشرح عملية الطرح باستخدام نظام المتمم الثنائي فقط. ولفهم عملية طرح الأعداد ذات الإشارة باستخدام المتمم الثنائي فإننا سوف نعطي بعض الأمثلة كما يلي.

مثال(١ -١٤): اطرح المقدار الثنائي 00001110 من المقدار الثنائي 01111010 باستخدام المتمم الثنائي للأعداد.

الحـــــــل

لإجراء عملية الطرح باستخدام المتمم الثنائي نرتب العددين كالآتي ثم نقوم بالجمع طبقًا لقواعد الجمع في النظام الثنائي لنحصل على الناتج:

المطروح منه (+122)	0 1 1 1 1 0 1 0	
المتمم الثنائي للمطروح	+ 1 1 1 1 0 0 1 0	
ناتج الطرح (+108)	1 0 1 1 0 1 1 0 0	يهمل المحمول (Discard)

وللتأكد من الناتج يمكن إجراء عملية الطرح بالنظام العشري بعد تحويل الأعداد الثنائية إلى النظام العشري كما يلي:

$$122 - (14) = 108$$

مثال(١ -١٥): قم بإجراء عملية الطرح الآتية باستخدام المتمم الثنائي:

$(00001000)_2 - (00000100)_2$

الحـــــــل

لإجراء عملية الطرح باستخدام المتمم الثنائي نرتب العددين لنحصل على الناتج كالآتي:

(+8) المطروح منه	0 0 0 0 1 0 0 0	
المتمم الثنائي للمطروح	+ 1 1 1 1 1 1 0 0	
(+4) الفرق	1 0 0 0 0 0 1 0 0	يهمل المحمول (Discard carry)

وللتأكد من الناتج يمكن إجراء عملية الطرح بالنظام العشري بعد تحويل الأعداد الثنائية إلى النظام العشري كما يلي:

$$8 - 4 = 8 + (-4) = 4$$

مثال(١ -١٦): قم بإجراء عملية الطرح الآتية باستخدام المتمم الثنائي

$(01100111)_2 - (00001001)_2$

الحـــــــل

لإجراء عملية الطرح باستخدام المتمم الثنائي نرتب العددين لنحصل على الناتج كالآتي:

المطروح منه (+103) 0 1 1 0 0 1 1 1

المتمم الثنائي للمطروح + 1 1 1 1 0 1 1 1

الفرق (+94) 1 0 1 0 1 1 1 0

يهمل المحمول
(Discard carry)

وللتأكد من حاصل الطرح يمكننا إجراء عملية الطرح بالنظام العشري حيث نقوم بتحويل الأعداد الثنائية إلى العشري كما يلي:

$$103 - (9) = 94$$

تدريبات على الوحدة الأولى

١ -١) حول كلاً من الأعداد العشرية الآتية إلى مكافئاتها الثنائية:

a) 64 b) 112 c) 257 d) 27.26
e) 77.0625 f) 47.875 g) 33.125

١ -٢) حول كلاً من الأعداد الثنائية التالية إلى مكافئاتها العشرية:

a) 11011 b) 1110101 c) 111111 d) 1110.11
e) 10101.1101 f) 1100001.11011

١ -٣) حول الأعداد العشرية الآتية إلى ما يكافئها في النظام السداسي عشر:

a) 14 b) 80 c) 560 d) 3000
e) 62500 f) 204.125 g) 255.875 h) 631.25

١ -٤) حول الأعداد السداسية عشر التالية إلى مكافئاتها في النظام العشري:

a) 9*F* b) *D*52 c) 67*F* d) *ABCD*
e) *F*.4 f) *B*3.*E* g) 1111.1 h) 888.8

١ -٥) حول الأعداد الآتية من النظام السداسي عشر إلى النظام الثنائي:

a) 8 b) 1*C* c) *A*64 d) 1F.*C* e) 239.4

١ -٦) حول الأعداد الثنائية التالية إلى ما يكافئها في النظام السداسي عشر:

a) 1001.1111 b) 10000.1 c) 110101.11001
d) 10100111.111011 e) 1000000.000111 f) 1111100.1000011

١ -٧) أوجد حاصل جمع كل من الأعداد الثنائية الآتية:

a) 100 + 111 b) 1110.11 + 11.10
c) 1111 + 1101 d) 1001.101 + 1101.11

١ -٨) أوجد باقي الطرح للأعداد الثنائية الآتية بالطريقة المباشرة:

a) 1101 – 0100 b) 1001 – 0111
c) 11010 – 10111 d) 1100 – 1001

(١ -٩) أوجد المتمم الأحادي لكل من الأعداد الثنائية الآتية:

a) 00110101 b) 11100100 c) 00010101

(١ -١٠) أوجد المتمم الثنائي لكل من الأعداد الثنائية الآتية:

a) 11110110 b) 01011101 c) 00110011

(١ -١١) اكتب العدد الثنائي المكافىء لكل من الأعداد العشرية الآتية في شكل إشارة المقدار بحيث يتكون العدد الثنائي من ثماني خانات (8-bits):

a) +28 b) – 83 c) +99 d) – 120

(١ -١٢) اكتب العدد الثنائي المكافىء لكل من الأعداد العشرية الآتية في شكل المتمم الأحادي بحيث يتكون العدد الثنائي من ثماني خانات (8-bits):

a) +14 b) – 63 c) +107 d) – 122

(١ -١٣) أعد حل السؤال رقم (٨) بحيث يكون العدد الثنائي في شكل المتمم الثنائي.

(١ -١٤) احسب القيمة العددية العشرية للأعداد الثنائية ذات الإشارة التالية وذلك بنظام إشارة المقدار:

a) 101110001 b) 01100100 c) 10110011

(١ -١٥) احسب القيمة العددية العشرية للأعداد الثنائية ذات الإشارة التالية وذلك بنظام المتمم الأحادي:

a) 10011101 b) 01100110 c) 10101101

(١ -١٦) احسب القيمة العددية العشرية للأعداد الثنائية ذات الإشارة التالية وذلك بنظام المتمم الثنائي:

a) 10101011 b) 000111101 c) 10111011

(١ -١٧) قم بإجراء عمليات الطرح الآتية باستخدام نظام المتمم الثنائي:

a) 00010110 – 00110011
b) 01110000 – 10101111
c) 10001100 – 00111001
d) 11011001 – 11100111

الوحدة الثانية

الدوائر المنطقية البسيطة

الدوائر المنطقية البسيطة

الهدف العام :

القدرة على التعرف على الدوائر المنطقية البسيطة.

الأهداف التفصيلية :

عندما تكتمل هذه الوحدة يكون المتدرب قادرًا وبكفاءة على أن:

١. يتعرف على البوابات المنطقية البسيطة.
٢. يعرف قواعد الجبر البوليني.
٣. يستنتج التعبير البوليني لدائرة منطقية.
٤. يمثل التعبير البوليني بدائرة منطقية.
٥. يمثل دائرة منطقية بسيطة من خلال جدول الحقيقة.
٦. يحول التعبير البوليني إلى جدول الحقيقة.
٧. يبسط التعبير البوليني.

مقدمة

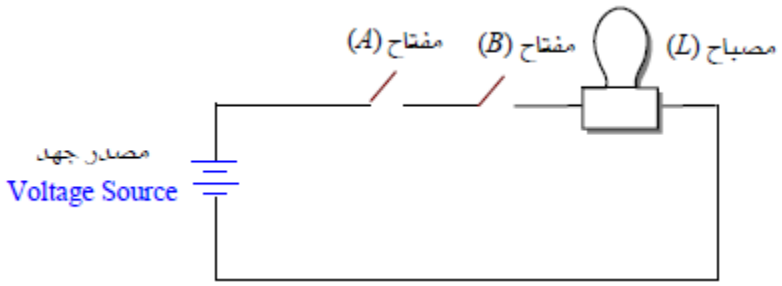
تعتبر البوابات المنطقية من العناصر الأساسية لتكوين الدوائر المنطقية البسيطة والتي تعتمد عليها الأجهزة الرقمية المستخدمة في جميع أنظمة الاتصالات والشبكات.

تستعرض هذه الوحدة البوابات المنطقية والصيغ البولينية وكيفية تكوين جدول الحقيقة لكل بوابة واستخدام ذلك في تركيبات الدوائر المنطقية البسيطة وكيفية تبسيط الصيغة البولينية وكذلك الدائرة المنطقية.

٢ -١ البوابات المنطقية Logic Gates

٢ -١ -١ بوابة AND أو AND Gate

تعتبر البوابة AND واحدة من البوابات الأساسية المنطقية "Logic Functions" والتي تدخل في بناء معظم الدوال، ووظيفتها الضرب المنطقي "Logical Multiplication"، ولها مدخلان أو أكثر ومخرج واحد، ويمكن تمثيل هذه البوابة بعدد من المفاتيح الموصلة على التوالي في دائرة كهربائية كما في الشكل (٢ -١)، حيث المفتاحين A وB يمثلان اثنين من المتغيرات الثنائية "Two Binary Variables" وتكون قيمة أي متغير منهما تساوي "0" عندما يكون المفتاح مفتوحًا "Open" وتساوي"1" عندما يكون المفتاح مغلقاً"Closed".

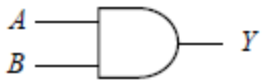


الشكل (٢ -١): تمثيل البوابة AND كمفتاحين على التوالي.

حيث إن لهذه الدائرة مفتاحان، فإنه يوجد هناك أربعة احتمالات لأوضاعها. جدول (٢ -١) يوضح هذه الاحتمالات الأربعة وحالة المصباح (L) عند كل احتمال، ويبين الجدول أن المصباح (L) لا يضاء إلا عندما يكون كلا المفتاحين مغلقين، ويطلق على هذا الجدول اسم جدول الحقيقة "Truth Table".

الجدول(٢ -١): جدول الحقيقة للشكل (٢ -١)

A	B	L
مفتوح	مفتوح	غير مضاء
مفتوح	مغلق	غير مضاء
مغلق	مفتوح	غير مضاء
مغلق	مغلق	مضاء



الشكل(٢ -٢): يبين رمز البوابة AND.

الشكل (٢ -٢) هو الرمز القياسي "Standard" للبوابة AND، والجدول (٢ -٢) يبين جدول الحقيقة للبوابة AND.

الجدول (٢ -٢): جدول الحقيقة لبوابة AND.

الخرج	الدخل	
Y	B	A
0	0	0
0	1	0
0	0	1
1	1	1

لاحظ أن الخرج يساوي "1" عندما يكون الدخلان A, B يساويان "1" فقط، وبالتالي فإنه لأي بوابة AND وبغض النظر عن عدد المداخل، يكون الخرج مساويًا "1" عندما تكون جميع المداخل تساوي "1". ويمكن استنتاج عدد التشكيلات N أو الاحتمالات للمداخل الثنائية بمعلومية عدد مداخل البوابة n عن طريق العلاقة:

$$N = 2^n \qquad (2.1)$$

مثال(٢ -١): أ - ما عدد التشكيلات لبوابة AND لها خمسة مداخل؟

ب - استنتج جدول الحقيقة لبوابة AND لها ثلاثة مداخل.

الحـــــل

أ - تحسب عدد التشكيلات كالآتي:

$$N = 2^n = 2^5 = 32$$

ب - يوجد ثماني تشكيلات لبوابة AND ذات الثلاثة مداخل:

$$2^3 = 8$$

ويوضح الجدول (٢ -٣) كيفية استنتاج جدول الحقيقة.

الجدول (٢ -٣): جدول الحقيقة لبوابة AND بثلاثة مداخل.

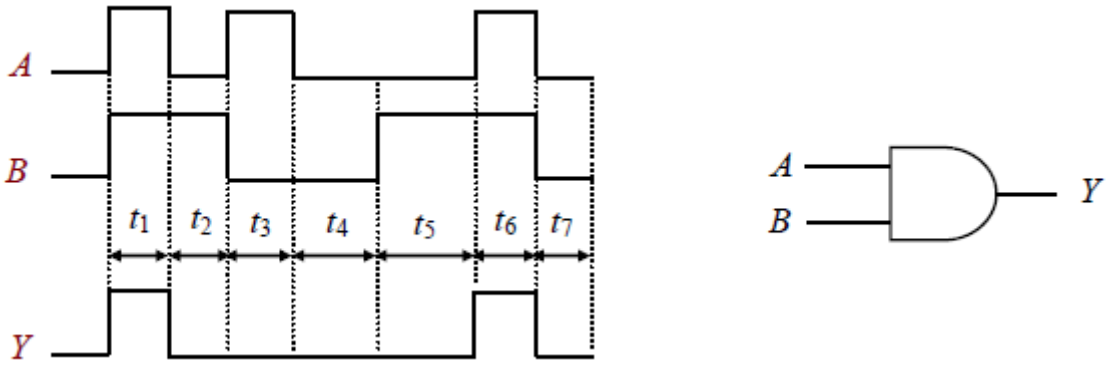
المداخل			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

يعتبر الجبر البوليني "Boolean Algebra" صيغة للمنطق الرمزي والذي يبين كيف تعمل البوابات المنطقية، أما الصيغة البولينية "Boolean Expression" فهذه طريقة مختصرة لإظهار ماذا يحدث في دائرة منطقية، و الصيغة البولينية لبوابة AND ذات مدخلين هي:

$$Y = A.B \qquad or \qquad Y = AB \qquad (2.2)$$

في معظم التطبيقات لا يكون دخل البوابة ثابتًا عند مستوى ثنائي معين ولكنه عبارة عن نبضات "Pulses" تتغير بين المستوى المرتفع "HIGH" والمنخفض "LOW"، وكمثال على ذلك في الشكل (٢ -٣) كلا الدخلين A, B مرتفع أي يساوي "1" خلال الفترة الزمنية t_1 والذي يجعل الخرج Y مرتفعًا في هذه الفترة أي يساوي "1"، وخلال الفترة الزمنية t_2 الدخل A منخفض أي يساوي "0" والدخل B مرتفع وبالتالي يكون الخرج Y يساوي "0"، وهكذا خلال

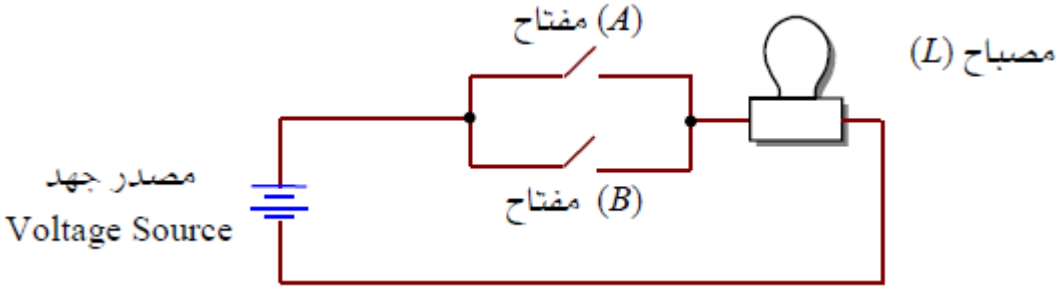
الفترات الزمنية الأخرى. يطلق على شكل نبضات الدخل والخرج كعلاقة مع الزمن اسم المخطط الزمني "Timing Diagram".



الشكل(٢ -٣): يوضح المخطط الزمني لبوابة AND بمدخلين.

٢ -١ -٢ بوابة OR أو OR Gate

تعتبر البوابة OR واحدة من البوابات الأساسية في بناء معظم الدوال المنطقية. والبوابة OR لها مدخلان أو أكثر ولها خرج واحد، ووظيفتها الجمع المنطقي "Logical Addition"، ويمكن تمثيل هذه البوابة بعدد من المفاتيح الموصلة على التوازي كما في الشكل(٢ -٤).



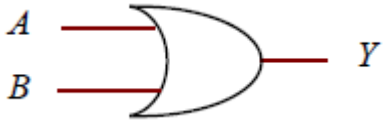
الشكل (٢ -٤): يوضح تمثيل البوابة OR كمفتاحين على التوازي.

وكما في البوابة AND فإن المفتاحين A وB تكون قيمة أي متغير منهما تساوي "0" عندما يكون المفتاح مفتوحًا "Open" وتساوي "1"عندما يكون المفتاح مغلقًا "Closed".

الجدول(٢ -٤): جدول الحقيقة للشكل (٢ -٤).

A	B	L
مفتوح	مفتوح	غير مضاء
مفتوح	مغلق	مضاء
مغلق	مفتوح	مضاء
مغلق	مغلق	مضاء

الجدول (٢ -٤) يوضح العلاقة بين أوضاع المفتاحين وحالة المصباح، ونلاحظ من هذه الدائرة ومن الجدول أن المصباح (L) يضاء عندما يكون أي من المفتاحين أو كلاهما مغلقاً.



الشكل (٢ -٥): رمز البوابة OR.

الشكل (٢ -٥) هو الرمز القياسي للبوابة OR، والجدول (٢ -٥) يبين جدول الحقيقة للبوابة OR بمدخلين حيث إن الخرج يساوي "1" عندما يكون أي من الدخلين أو كلاهما عند المستوى "1"، كما أن الخرج يكون "0" عندما تكون كل المداخل عند مستوى "0".

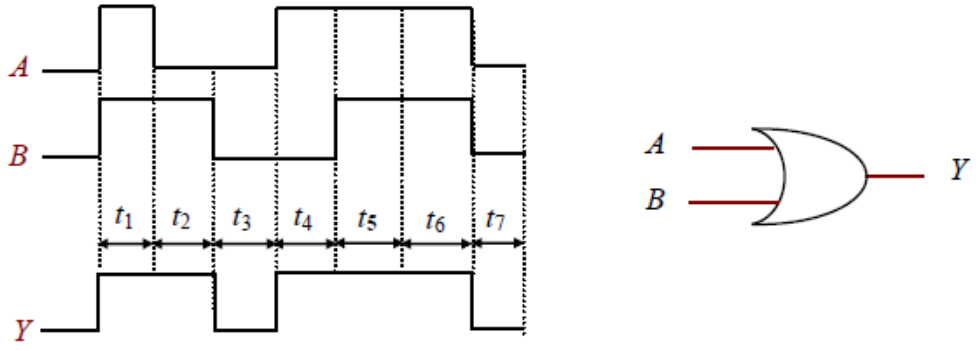
والصيغة البولينية لبوابة OR هي:

$$Y = A + B \tag{2.3}$$

الجدول (٢ -٥): جدول الحقيقة للبوابة OR.

الخرج	الدخل	
Y	B	A
0	0	0
1	1	0
1	0	1
1	1	1

في الشكل (٢ -٦) كل من الدخلين A، B مرتفع أي يساوي "1" خلال الفترة الزمنية t_1 والذي يجعل الخرج Y مرتفعًا في هذه الفترة أي يساوي "1"، وخلال الفترة الزمنية t_2، الدخل A منخفض أي يساوي "0" والدخل B مرتفع وبالتالي يكون الخرج Y يساوي"1".وهكذا خلال الفترات الزمنية الأخرى.



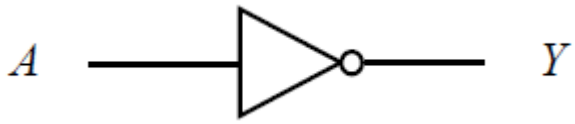
الشكل (٢ -٦): يوضح المخطط الزمني لبوابة OR بمدخلين.

٢ -١ -٣ بوابة العاكس NOT Gate (INVERTER)

العاكس أو بوابة NOT تؤدي عملية يطلق عليها العكس "Inversion" أو الإتمام "Complementation". والعاكس يغير المستوى المنطقي للدخل إلى عكسه، فإذا كان الدخل "1" يتغير في الخرج إلى"0"، وإذا كان الدخل "0" يتغير إلى "1". تعتبر البوابة NOT بوابة غير عادية وذلك لأن لها خرج واحد ودخل واحد، والجدول (٢ -٦) يوضح جدول الحقيقة لبوابة العاكس، أما شكل (٢ -٧) فيوضح الرمز المنطقي لهذه البوابة.

الجدول (٢ -٦): جدول الحقيقة لبوابة NOT.

الدخل	الخرج
A	Y
0	1
1	0



الشكل (٢ -٧): رمز بوابة NOT.

من جدول الحقيقة (٢ -٦)يتضح أن الخرج عكس الدخل، ويعبر عن هذه العملية بالصيغة البولينية الآتية:

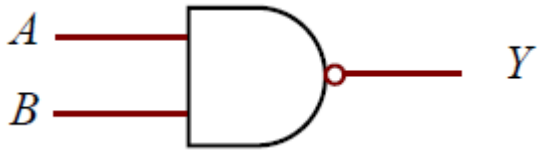
$$Y = \overline{A} \qquad (2.4)$$

٢ -١ -٤ بوابة NAND أو NAND Gate

كلمة NAND هي اختصار لكلمتي NOT-AND وتعني عكس AND، وهذه البوابة يمكن الحصول عليها بتوصيل دخل بوابة العاكس مع خرج البوابة AND كما يبين ذلك الشكل (٢ -٨)،حيث إنه يتكون من رمز بوابة AND ولكن مع دائرة صغيرة عند الخرج والتي ترمز إلى بوابة العاكس. والجدول (٢ -٧) يوضح أيضًا جدول الحقيقة للبوابة NAND بمدخلين.

الجدول (٢ -٧): جدول الحقيقة لبوابة NAND

المداخل		الخرج
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

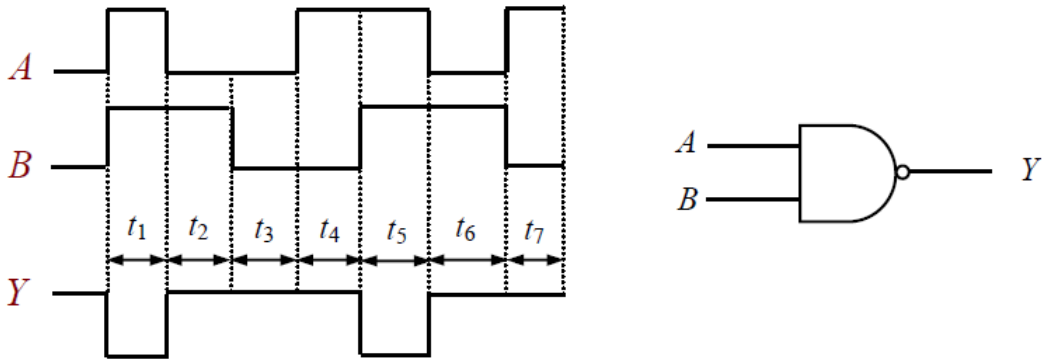


الشكل (٢ -٨): رمز بوابة NAND.

نلاحظ من الجدول أن الخرج يكون غير حقيقي "0"عندما تكون كل المداخل عند الواحد "1"، ويكون حقيقياً"1"عندما يكون أحد المداخل على الأقل عند الصفر "0"، وتعتبر البوابة NAND إحدى البوابات الرئيسة الهامة في الدوائر الرقمية حيث تستخدم على نطاق واسع في معظم النظم الرقمية و تؤدي عمل كل من بوابات NOT،OR،AND، أو أي تشكيلة من هذه البوابات، ويعبر عن عمل البوابة NAND بالصيغة البولينية:

$$Y = \overline{AB} \tag{2.5}$$

في الشكل (٢ -٩) كلا الدخلين A وB مرتفع أي يساوي "1" خلال الفترة الزمنية t_1 والذي يجعل الخرج Y منخفضًا في هذه الفترة أي يساوي "0"، وخلال الفترة الزمنية t_2، الدخل A منخفض أي يساوي "0" والدخل B مرتفع أي يساوي "1" وبالتالي يكون الخرج Y يساوي "1"، وهكذا خلال الفترات الزمنية الأخرى.



الشكل (٢ -٩): المخطط الزمني لبوابة NAND بمدخلين

٢ -١ -٥ بوابة NOR أو NOR Gate

كلمة NOR تعني NOT و OR وهي تعني عكس OR، وهذه البوابة يمكن الحصول عليها بتوصيل دخل بوابة العاكس NOT مع خرج البوابة OR كما هو موضح في الشكل (٢ - ١٠)، ويبين الشكل أيضًا الرمز المنطقي للبوابة NOR، وجدول الحقيقة للبوابة NOR بمدخلين موضح كما في الجدول (٢ -٨).

الشكل (٢ -١٠): رمز بوابة NOR

الجدول (٢ -٨): جدول الحقيقة لبوابة NOR

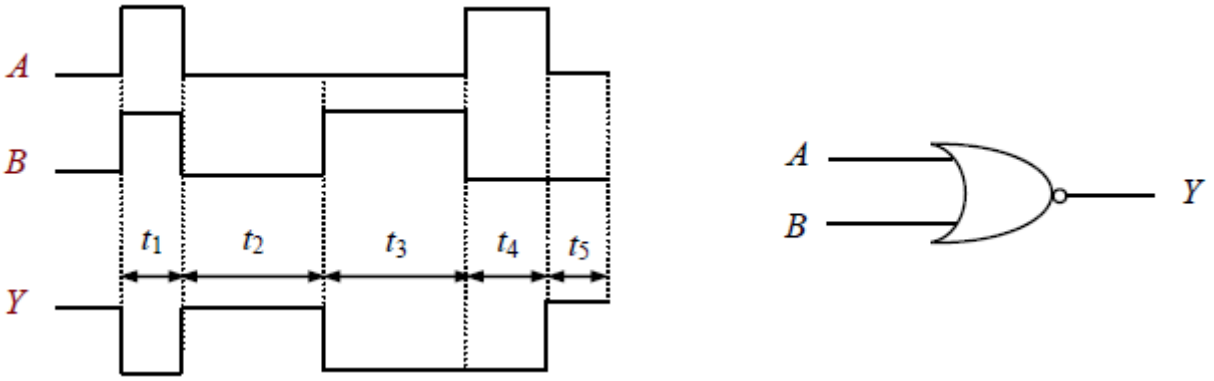
المداخل		الخرج
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

نلاحظ من الجدول أن الخرج Y يكون غير حقيقي "0" عندما يكون أحد المداخل على الأقل عند المستوى"1"، والخرج يكون حقيقياً"1" فقط عندما تكون جميع المداخل عند الصفر "0"، وتعتبر البوابة NOR كما هو الحال في البوابة NAND من البوابات الرئيسة الجامعة في

الدوائر الرقمية، حيث يمكن أن يؤدي عمل كل من بوابات NOTوORو AND، أو تشكيلة منها. الصيغة البولينية للبوابة NOR هي:

$$Y = \overline{A + B} \qquad (2.6)$$

الشكل (٢ -١١) يوضح بوابة NOR بمدخلين A،B ذات نبضات متغيرة المستوى، ويمكن من خلال جدول الحقيقة للبوابة NOR الحصول على الخرج "Y" الموضح بالشكل.



الشكل (٢ -١١): يوضح المخطط الزمني لبوابة NOR بمدخلين.

٢ -١ -٦ بوابة XOR أو Exclusive-OR Gate

تسمى البوابة XOR باسم بوابة "أيهما وليس كلاهما" وتختصر إلى XOR-gate، ويوضح الشكل (٢ -١٢) الرمز المنطقي للبوابة حيث تختلف عن البوابات السابقة لأن عدد المداخل اثنان فقط.جدول (٢ -٩) يبين جدول الحقيقة للبوابة XOR، ونلاحظ من الجدول أن الخرج Y لا يساوي "1" إلا إذا كان الدخلان A وB مختلفين.

الشكل (٢ -١٢): رمز بوابة XOR

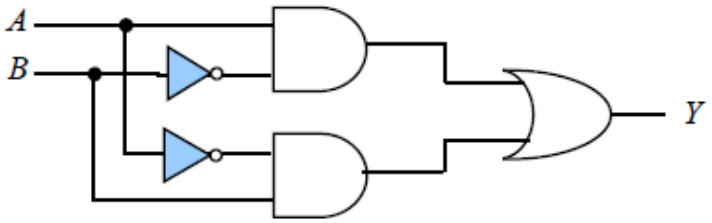
الجدول (٢ -٩): جدول الحقيقة لبوابة XOR

المداخل		الخرج
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

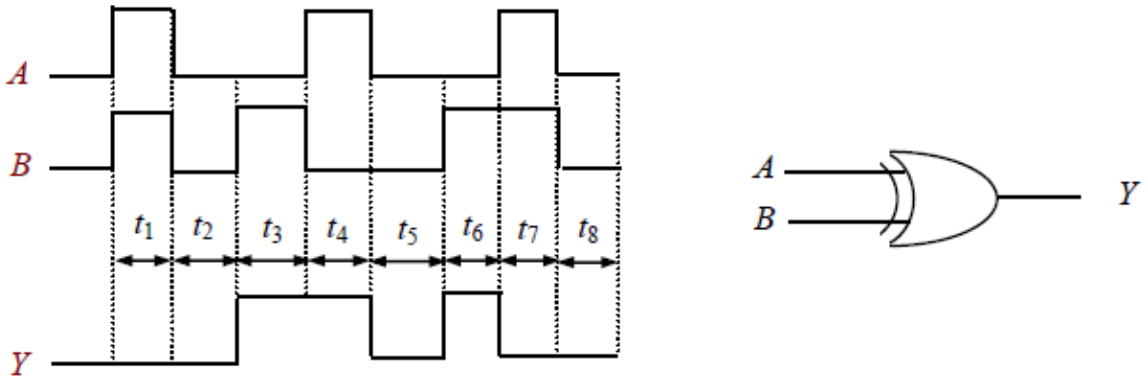
ومن جدول الحقيقة يمكن استنتاج الصيغة البولينية لهذه البوابة وهي:

$$Y = \overline{A}B + A\overline{B} = A \oplus B \qquad (2.7)$$

والعلامة $\oplus$ تعني أن A منفردة **أو** B منفردة، ومن الصيغة البولينية السابقة للبوابة XOR يمكننا بناء البوابة باستخدام بوابات AND و OR و NOT، وهذا ما يبينه الشكل (٢ -١٣) حيث تقوم هذه الدائرة المنطقية بوظيفة البوابة XOR المنطقية. الشكل (٢ -١٤) يوضح كيفية عمل البوابة XOR عندما تكون المداخل لها عبارة عن نبضات متغيرة المستوى، وكما ذكر سابقاً يجب النظر إلى المداخل بالنسبة لبعضها البعض حتى نتمكن من تحديد مستوى الخرج عند أي فترة زمنية.



الشكل (٢ -١٣): البوابة XOR ممثلة بالبوابات AND , OR ،NOT.



الشكل (٢ -١٤): المخطط الزمني لبوابة XOR.

٢ -١ -٧ بوابة XNOR أو Exclusive-NOR Gate

عدد المداخل للبوابة XNOR لا يزيد عن دخلين كما هو الحال في البوابة XOR، ويوضح الشكل (٢ -١٥) الرمز المنطقي للبوابة.

الشكل (٢ -١٥): رمز بوابة XNOR.

وجدول الحقيقة للبوابة XNOR موضح بالجدول (٢ -١٠)، ويلاحظ من الجدول أن الخرج Y لا يساوي "1" إلا إذا كان الدخلان A وB متساويين أي $A=B=0$ أو $A=B=1$ ويعطي خرجًا يساوي "0" عندما يكون الدخلان مختلفين.

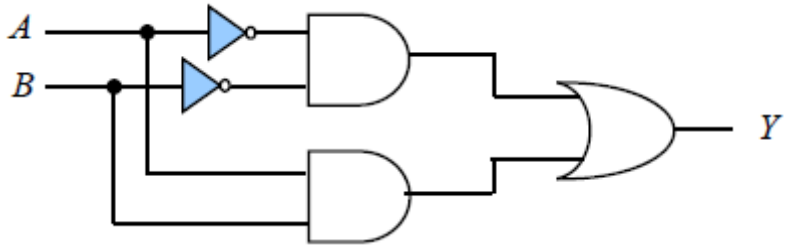
الجدول (٢ -١٠): جدول الحقيقة لبوابة XNOR.

المداخل		الخرج
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

ومن جدول الحقيقة يمكن استنتاج الصيغة البولينية لهذه البوابة وهي:

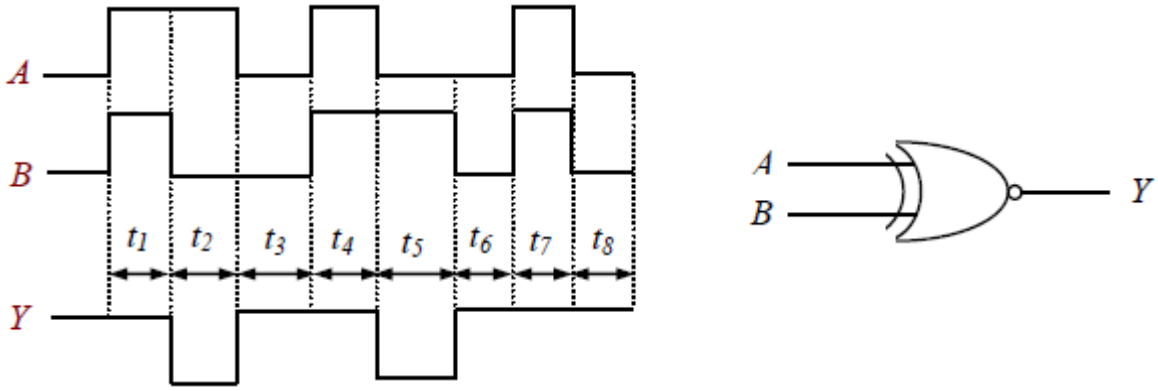
$$Y = AB + \bar{A}\bar{B} = A \odot B \qquad (2.8)$$

والعلامة ⊙ تعني علامة التكافؤ، ومن الصيغة البولينية السابقة للبوابة XNOR يمكننا بناء البوابة باستخدام بوابات AND وOR وNOT ، وهذا ما يبينه الشكل (٢ -١٦) حيث تقوم هذه الدائرة المنطقية بوظيفة البوابة XNOR المنطقية.



الشكل (٢ -١٦): البوابة XNOR **ممثلة بالبوابات** AND، OR، NOT.

الشكل(٢ -١٧) يوضح بوابة XNOR بدخلين A وB لهما نبضات متغيرة المستوى، وعن طريق جدول الحقيقة للبوابة XNOR يمكننا الحصول على الخرج "Y" كما هو موضح بالشكل.



الشكل (٢ -١٧): يوضح المخطط الزمني لبوابة XNOR.

٢ -٢ الجبر البوليني Boolean Algebra

٢ -٢ -١ الصيغة البولينية لدائرة منطقية:

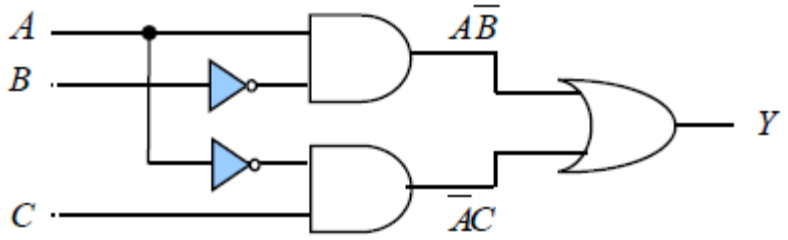
لاستنتاج الصيغة البولينية لأي دائرة منطقية، نبدأ من المداخل في أقصى اليسار متجهين إلى الخرج النهائي للدائرة وذلك بكتابة الخرج لكل بوابة، وكمثال على ذلك نفترض الدائرة المنطقية الموضحة في الشكل (٢ -١٨)، ويمكن استنتاج الصيغة البولينية لها كالآتي:

١. الصيغة البولينية لبوابة AND والتي لها الدخلان: $A, \overline{B}$ هي $A\overline{B}$.

٢. الصيغة البولينية لبوابة AND والتي لها الدخلان: $\overline{A}, C$ هي $\overline{A}C$.

٣. وتكون الصيغة البولينية لبوابة OR والتي لها الدخلان: $A\overline{B}, \overline{A}C$ هي $A\overline{B} + \overline{A}C$.

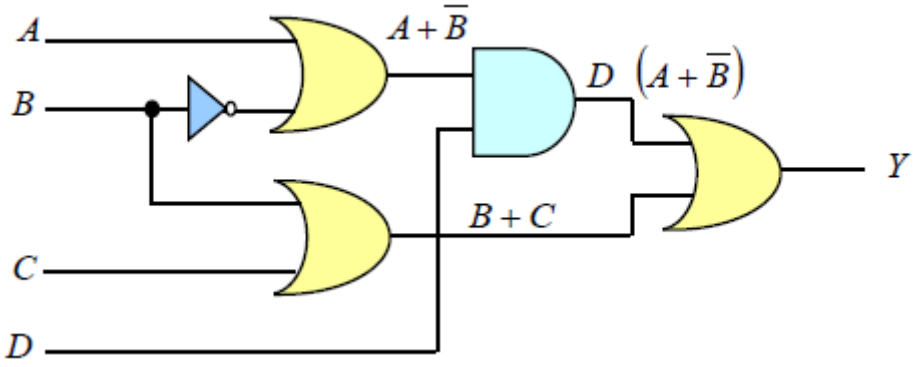
وعلى ذلك يكون الخرج النهائي للدائرة هو: $Y = A\overline{B} + \overline{A}C$



الشكل (٢ -١٨): دائرة منطقية تبين كيفية استنتاج الصيغة البولينية للخرج.

مثال(٢ -٢): اكتب الصيغة البولينية للدائرة المنطقية الموضحة في الشكل (٢ -١٩).

الحـــــل



الشكل (٢ -١٩): الدائرة المنطقية لمثال (٢ -٢).

بمتابعة كتابة الخرج لكل بوابة من اليسار إلى اليمين في الشكل (٢ -١٩) يتبين كيفية الحصول على الصيغة البولينية للخرج، وتكون الصيغة البولينية لخرج الدائرة النهائي هي:

$$Y = D\ (A+\overline{B})+(B+C) \tag{2-9}$$

٢ -٢ -٢ تمثيل دائرة منطقية باستخدام الصيغة البولينية:

يمكن تمثيل دائرة منطقية ما بمعلومية الصيغة البولينية لها، لنفترض الآن أننا نريد تمثيل الصيغة البولينية الآتية:

$$Y = AB(C\overline{D}+EF) \tag{2-10}$$

عند تقسيم هذه الصيغة البولينية نجد أن المتغيرات A و B ثم $C\overline{D}+EF$ تمثل ثلاثة مداخل لبوابة AND، والمتغير $C\overline{D}+EF$ يمكن تشكيله بأخذ C و$\overline{D}$ على دخلي بوابة AND، وأخذ E وF على دخلي بوابة AND أخرى، ثم نأخذ كلاً من خرج البوابتين AND على دخلي بوابة OR، وعلى ذلك فإن البوابات المنطقية المطلوبة لتمثيل الصيغة البولينية $AB(C\overline{D}+EF)$ هي:

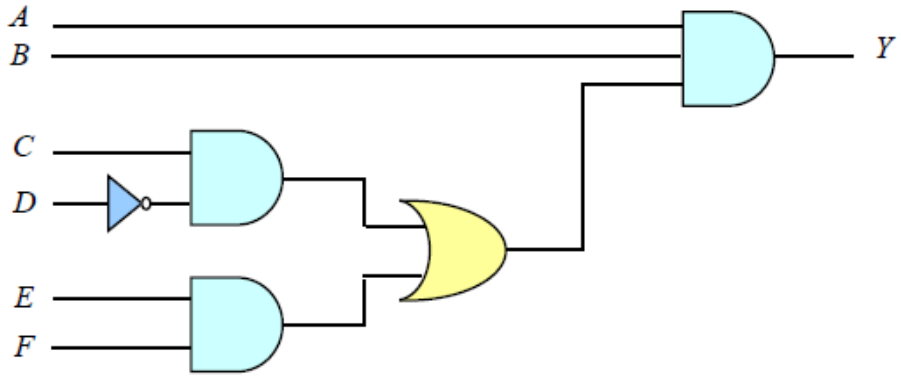
١. بوابة NOT لتمثيل المتغير $\overline{D}$.

٢. بوابتا AND لكل منهما مدخلان لتمثيل الحدين $C\overline{D}, EF$.

٣. بوابة OR ذات مدخلين لتمثيل الحد $C\overline{D}+EF$.

٤. بوابة AND بثلاث مداخل لتمثيل الخرج النهائي Y.

والدائرة المنطقية التي تمثل الصيغة البولينية السابقة موضحة في الشكل (٢ -٢٠).



الشكل (٢ -٢٠): الدائرة المنطقية للصيغة البولينية $Y = AB(C\overline{D} + EF)$.

٢ -٣ تمثيل الدائرة المنطقية من خلال جدول الحقيقة

يمكن الحصول على الصيغة البولينية من جدول الحقيقة كما يلي:

نحدد من جدول الحقيقة (٢ -١١) تشكيلة المداخل التي تعطي الخرج $Y=1$ ، ففي الصف الثالث من الجدول نجد أن الخرج $Y=1$ حيث قيمة المداخل هي $A=0, B=1, C=0$ ، وتكتب بالصيغة البولينية على الشكل $\overline{A}B\overline{C}$ حيث يكتب المتغير برمزه إذا كان يساوي "1"،ويكتب بعكس رمزه إذا كان يساوي "0"، وبالمثل فإن الخرج "1" في الصف السابع يكتب بالصيغة البولينية $AB\overline{C}$.

. بتجميع الصيغ البولينية التي تعطي قيمة الخرج $Y=1$ عن طريق بوابة OR نحصل على الصيغة البولينية الآتية:

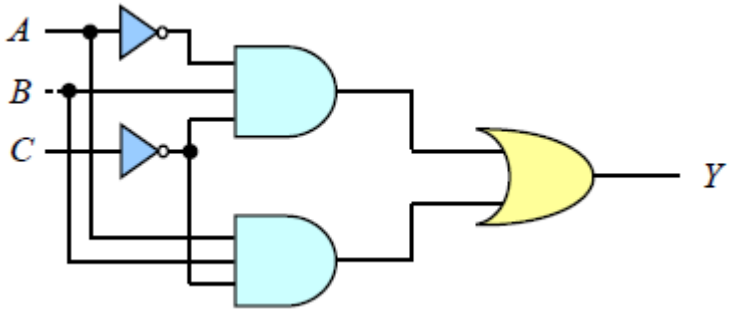
$$Y = \overline{A}B\overline{C} + AB\overline{C}$$

بالتالي يمكن تمثيل الصيغة البولينية باستخدام مجموعة من البوبات المنطقية كما يلي:

الجدول (٢ -١١): جدول الحقيقة لدائرة منطقية

المداخل			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

الحد الأول في الصيغة البولينية السابقة $\overline{A}B\overline{C}$ يمكن تمثيله عن طريق تجميع المتغيرات الثلاثة $\overline{A},B,\overline{C}$ على بوابة AND، والحد الثاني $AB\overline{C}$ يمكن تمثيله عن طريق تجميع المتغيرات الثلاثة $A,B,\overline{C}$ على بوابة AND، وبتجميع الحدين الأول والثاني على بوابة OR يمكننا الحصول على الصيغة البولينية للخرج Y، والدائرة المنطقية التي تمثل هذه الصيغة البولينية كما في الشكل (٢ -٢١).



الشكل (٢ -٢١): يوضح الدائرة المنطقية للصيغة البولينية $Y=\overline{A}B\overline{C}+AB\overline{C}$

مثال(٢ -٣): استنتج الدائرة المنطقية المطلوبة لتمثيل جدول الحقيقة (٢ -١٢).

الحـــــل

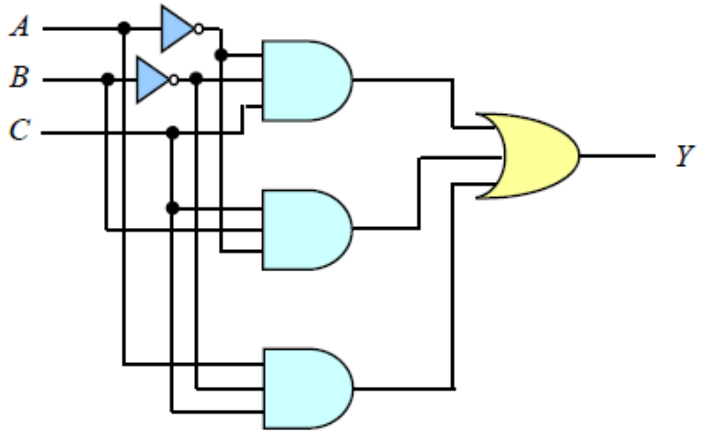
الصيغة البولينية لجدول الحقيقة المبين يمكن كتابته عن طريق تجميع الحدود التي تعطي الخرج $Y=1$ على بوابة OR كما في الصيغة البولينية الآتية:

$$Y=\overline{A}\overline{B}C+\overline{A}BC+A\overline{B}C$$

الجدول (٢ -١٢): جدول الحقيقة لدائرة منطقية.

المداخل			الخرج
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

ويكون التمثيل النهائي للدائرة كما هو موضح بالشكل (٢ -٢٢).



الشكل (٢ -٢٢): يوضح الدائرة المنطقية للصيغة البولينية $\overline{A}\overline{B}C + \overline{A}BC + A\overline{B}C$

٢ -٤ تحويل الصيغة البولينية إلى جدول الحقيقة:

جدول الحقيقة ببساطة هو عبارة عن قائمة بالتشكيلات المحتملة لعدد المتغيرات وقيم الخرج المقابلة لها (1or 0)، و للصيغة البولينية المحتوية على متغيرين هناك أربعة تشكيلات مختلفة ($2^2 = 4$)، وللتعبير عن ثلاثة متغيرات، هناك ثمان تشكيلات مختلفة ($2^3 = 8$)، وهكذا.

لعمل جدول الحقيقة للصيغة البولينية، نبدأ بكتابة التشكيلات المختلفة حسب عدد المتغيرات الموجودة بالصيغة البولينية ثم نضع "1" في عمود الخرج Y لكل حد موجود في الصيغة البولينية، ونضع "0" أمام الحدود المتبقية، والمثال التالي يوضح ذلك:

مثال(٢ -٤): استنتج جدول الحقيقة للصيغة البولينية الآتية:

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + AB\overline{C} + ABC$$

الحـــــل

هناك ثلاثة متغيرات "A, B, C" في الصيغة البولينية المعطاة، وبالتالي فهناك ثمان احتمالات أو تشكيلات مختلفة لهذه المتغيرات كما هو موضح بالأعمدة الثلاثة على اليسار في الجدول (٢ -١٣). القيم الثنائية لكل حد من الحدود الأربعة في الصيغة البولينية هي:

$$\overline{A}\overline{B}\overline{C} = 000,\ \overline{A}B\overline{C} = 010,\ AB\overline{C} = 110,\ ABC = 111 \qquad (2\text{-}11)$$

أمام كل من هذه القيم الثنائية يوضع "1" في عمود الخرج Y كما هو موضح بالجدول، ويوضع "0" للتشكيلات الثنائية المتبقية في عمود الخرج Y.

الجدول (٢ -١٣): جدول الحقيقة للتعبير البوليني

المداخل			الخرج
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

٢ -٥ تبسيط الصيغ البولينية باستخدام قواعد الجبر البوليني

تستخدم قواعد الجبر البوليني لتبسيط الدوال المنطقية وذلك لتمثيلها بأقل عدد من البوابات المنطقية، وبأقل عدد من المداخل.الجدول (٢ -١٤) يبين القواعد الأساسية للجبر البوليني والتي تستخدم في تناول وتبسيط الصيغ البولينية.

الجدول (٢ -١٤): القواعد الأساسية للجبر البوليني.

مسلسل	القاعدة
1	$A + 0 = A$
2	$A + 1 = 1$
3	$A.\ 0 = 0$
4	$A.\ 1 = A$
5	$A + A = A$
6	$A + \overline{A} = 1$
7	$A.A = A$
8	$A.\overline{A} = 0$
9	$= A\,\overline{\overline{A}}$
10	$A + AB = A$
11	$A + \overline{A}\,B = A + B$
12	$(A+B)(A+C)=A+BC$

مثال(٢ -٥): باستخدام قواعد الجبر البوليني بسط الدالة المنطقية الآتية:

$$Y = AB + A(A + C) + B(A + C) \quad (2\text{-}12)$$

الحـــــــل

الخطوة الأولى فك الأقواس الموجودة بالدالة فنحصل على:

$$Y = AB + AA + AC + AB + BC$$

نعوض عن الحد AA بالمتغير A (قاعدة الجبر البوليني رقم 7):

$$Y = AB + A + AC + AB + BC$$

وبتطبيق القاعدة رقم 5 حيث $A + A = A$، فإن $AB + AB = AB$:

$$Y = AB + A + AC + BC$$

وبأخذ المتغير A عاملاً مشتركًا بين الحد الأول والثاني والثالث:

$$Y = A(B + 1 + C) + BC$$

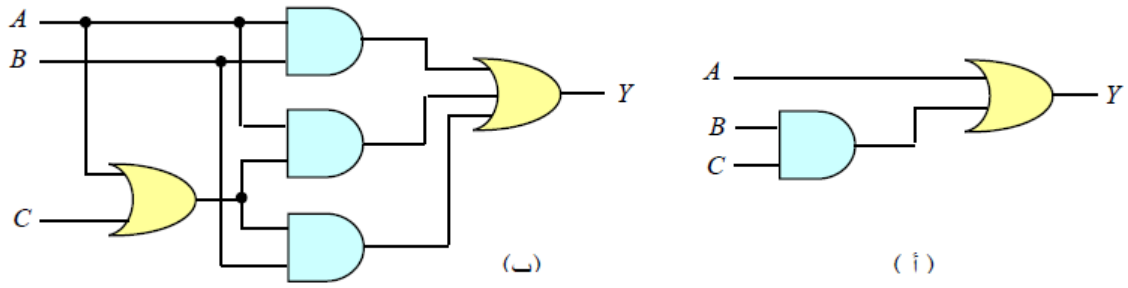
وبتطبيق القاعدة رقم 2 حيث $A+1=1$، نجد أن:

$$Y = A.1 + BC$$

وأخيرًا بتطبيق القاعدة رقم 4 حيث $A.1 = A$، نحصل على:

$$Y = A + BC$$

الشكل (٢ -٢٣) يوضح كيفية تمثيل الدالة بعد تبسيطها بأقل عدد ممكن من البوابات حيث يمكن تمثيلها باستخدام بوابتين فقط "شكل(أ)"، بينما يحتاج تمثيل الدالة الأصلية قبل التبسيط إلى خمس بوابات "شكل(ب)".



شكل (٢ -٢٣): تمثيل الدالة المنطقية لمثال (٢ -٥) قبل وبعد تبسيطها.

مثال (٢ -٦): ضع الصيغة البولينية الآتية في أبسط صورة ثم ارسم الدائرة المنطقية قبل وبعد التبسيط.

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}BC + ABC \qquad (2\text{-}13)$$

الحـــــل

بأخذ الحدين الأول والثاني مع بعضهما، وكذلك الثالث والرابع، نحصل على:

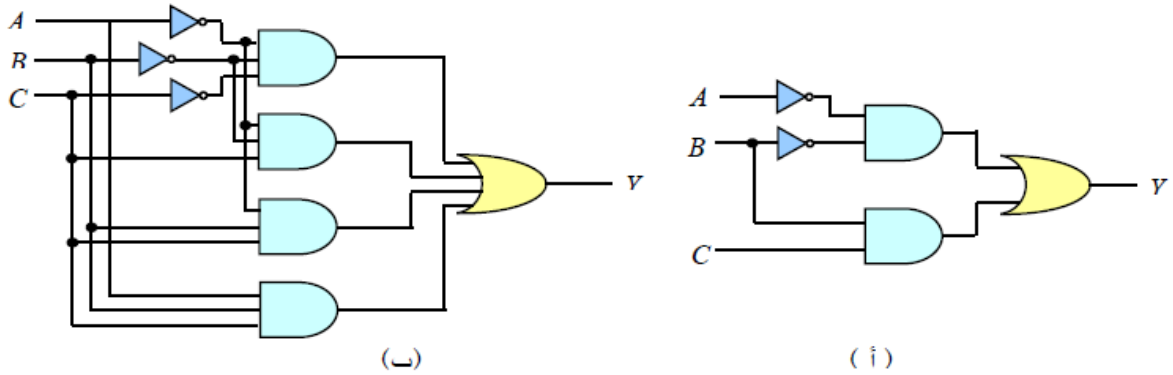
$$Y = \left(\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C\right) + \left(\overline{A}BC + ABC\right) = \overline{A}\overline{B}\left(\overline{C} + C\right) + BC\left(\overline{A} + A\right) \qquad (2\text{-}14)$$

وبتطبيق القاعدة رقم 6 نحصل على:

$$Y = \overline{A}\overline{B} \cdot 1 + BC \cdot 1$$

ثم بتطبيق القاعدة رقم 4 نحصل على الصورة النهائية للصيغة البولينية وهي:

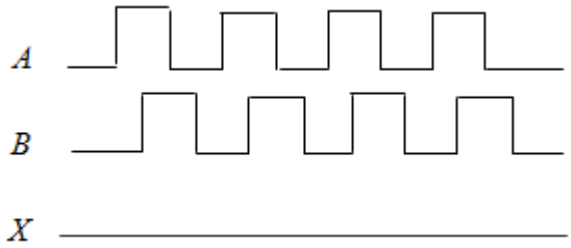
$$Y = \overline{A}\overline{B} + BC$$



الشكل (٢ -٢٤): يوضح تمثيل الصيغة البولينية بالبوابات قبل وبعد عملية التبسيط.

تدريبات على الوحدة الثانية

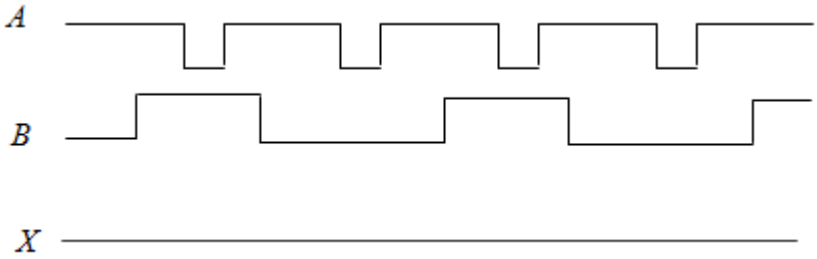
(٢ -١) ارسم المخطط الزمني للخرج X لبوابة AND ذات المدخلين A, B إذا كان شكل نبضات الدخل على المدخلين كما في الشكل (٢ -٢٥).



الشكل (٢ -٢٥)

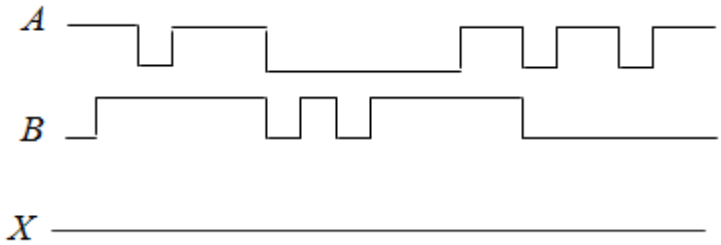
(٢ -٢) ارسم المخطط الزمني للخرج X لبوابة OR ذات المدخلين A, B إذا كان شكل نبضات الدخل على المدخلين كما في الشكل (٢ -٢٥).

(٢ -٣) ارسم المخطط الزمني للخرج X لبوابة NAND ذات المدخلين A,B إذا كان شكل نبضات الدخل على المدخلين كما في الشكل (٢ -٢٦).



الشكل (٢ -٢٦)

(٢ -٤) ارسم المخطط الزمني للخرج X لبوابة NOR ذات المدخلين A وB إذا كان شكل نبضات الدخل على المدخلين كما في الشكل (٢ -٢٧).

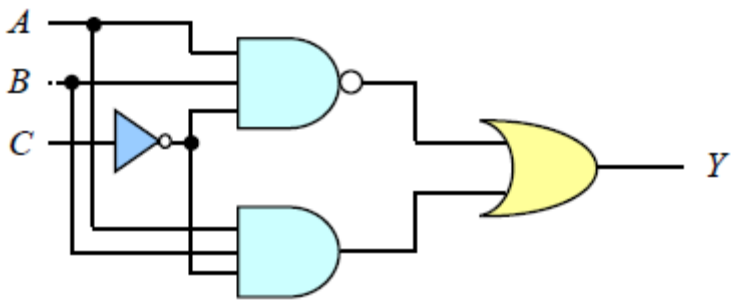


الشكل (٢ -٢٧)

(٢ -٥) ارسم المخطط الزمني للخرج X لبوابة XOR ذات المدخلين A وB إذا كان شكل نبضات الدخل على المدخلين كما في الشكل (٢ -٢٧).

(٢ -٦) ارسم الشكل المخطط الزمني للخرج X لبوابة XNOR ذات المدخلين A وB إذا كان شكل نبضات الدخل على المدخلين كما هو موضح في الشكل (٢ -٢٧).

(٢ -٧) اكتب الصيغة البولينية للدائرة الموضحة في الشكل (٢ -٢٨).



الشكل (٢ -٢٨)

(٢ -٨) ارسم الدائرة المنطقية لكل من الصيغ البولينية الآتية:

a) $A\overline{B}+\overline{A}B$
b) $AB+\overline{AB}+\overline{A}BC$
c) $\overline{A}B(C+\overline{D})$
d) $A+B(C+D(B+\overline{C}))$

(٢ -٩) استنتج الدائرة المنطقية التي تمثل الجدول الآتي:

المداخل			الخرج
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

(٢ -١٠) استنتج جدول الحقيقة للصيغ البولينية الآتية:

a) $(A+B)C$
b) $(A+B)(\overline{B}+C)$
c) $A(AC+\overline{A}B)$
d) $A(A+\overline{A}B)$

(٢ -11) ضع الصيغة البولينية في أبسط صورة ثم ارسم الدائرة قبل وبعد التبسيط:

$$Y=\overline{A}\overline{B}\overline{C}+\overline{A}\overline{B}C+\overline{A}B\overline{C}+A\overline{B}C$$

الوحدة الثالثة

الدوائر المنطقية التوافقية

الدوائر المنطقية التوافقية

الهدف العام :

القدرة على التعرف على الدوائر المنطقية التوافقية.

الأهداف التفصيلية :

عندما تكتمل هذه الوحدة يكون المتدرب قادرًا وبكفاءة على أن:

١. يعرف كيفية تمثيل الدوائر المنطقية التوافقية باستخدام البوابات NAND و NOR فقط ويدرس بعض النظريات التي تساعد في عملية التمثيل بهذه البوابات.
٢. يفهم طريقة التبسيط للتعبيرات البولينية باستخدام خريطة كارنوف "Karnaugh-Map" .
٣. يتدرب على الوحدة دراسة وتحليل ويعرف تصميم الدوائر المنطقية التوافقية لعمليات الجمع والطرح الثنائي بأنواعها المختلفة.

مقدمة

في الوحدة السابقة تمت دراسة البوابات المنطقية الأساسية وتم استعراض كيفية تصميم الدوائر المنطقية البسيطة باستخدام هذه البوابات، وفي عدم وجود عناصر للتخزين، تُصنف الدائرة التي نحصل عليها بالدائرة المنطقية التوافقية "Combinational Logic Circuit" حيث يعتمد مستوى الخرج "0 أو 1" في أي لحظة على مستوى المداخل للدائرة.

وهذه الوحدة تتناول بالدراسة كيفية تمثيل الدوائر المنطقية التوافقية باستخدام البوابات NAND وNOR فقط مع دراسة بعض النظريات التي تساعد في عملية التمثيل بهذه البوابات، و تتناول بالتحليل أيضًا طريقة التبسيط للصيغ البولينية باستخدام خريطة كارنوف "Karnaugh-Map" والتي يطلق عليها أيضًا اسم خريطة K أو K–map.

وفي النهاية تتناول هذه الوحدة دراسة وتحليل وتصميم الدوائر المنطقية التوافقية لعمليات الجمع والطرح الثنائي بأنواعها المختلفة.

٣ -١ نظريات دي مورجان Demorgan's Theorems

تعتبر نظريات دي مورجان جزءًا هامًا من الجبر البوليني، فهي تستخدم لتحويل الصيغ الجبرية من وضعية AND إلى وضعية OR وبالعكس. كما تسمح لنا بحذف العلامات الفوقية "Bars" من المتغيرات المتعددة، ويمكن كتابة نظريتي دي مورجان لمتغيرين كما يلي:

نظرية دي مورجان الأولى:

$$\overline{A+B}=\overline{A}\cdot\overline{B}$$

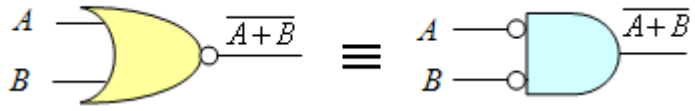
نظرية دي مورجان الثانية:

$$\overline{A\cdot B}=\overline{A}+\overline{B}$$

النظرية الأولى: تغير من وضعية OR الأساسية إلى وضعية AND كما في الشكل(٣ -١) حيث تكافىء البوابة NOR في الطرف الأيسر البوابة AND بمدخلين معكوسين في الطرف الأيمن حيث تقوم الدائرة الصغيرة في المدخل مقام بوابة العاكس، ويمكن إثبات هذه النظرية عن طريق جدول الحقيقة كما في جدول (٣ -١). ويطلق على البوابة في الطرف الأيمن اسم بوابة AND السالبة "negative AND".

الجدول(٣ -١): إثبات نظرية دي مورجان الأولى.

المداخل		الخرج	
A	B	$\overline{A+B}$	$\overline{A}\cdot\overline{B}$
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0

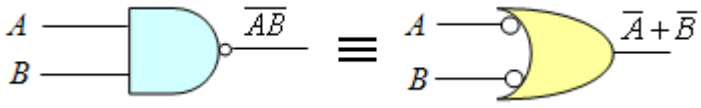


الشكل (٣ -١): التغير من وضعية OR إلى وضعية AND.

النظرية الثانية: تغير من وضعية AND الأساسية إلى وضعية OR كما فيالشكل (٣ -٢) حيث تكافىءالبوابة NAND في الطرف الأيسر البوابة OR بمدخلين معكوسين في الطرف الأيمن، ويمكن أيضًا إثبات هذه النظرية عن طريق جدول الحقيقة المبين في الجدول (٣ - ٢)، ويطلق أيضًا على البوابة التي على اليمين اسم بوابة OR السالبة "negative OR".

الجدول(٣ -٢): إثبات نظرية دي مورجان الثانية.

المداخل		الخرج	
A	B	$\overline{A\cdot B}$	$\overline{A}+\overline{B}$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0



الشكل (٣ -٢): التغير من وضعية AND إلى وضعية OR.

الأمثلة الآتية توضح كيفية تطبيق نظريات دي مورجان على ثلاث متغيرات وأربع متغيرات.

مثال (٣ -١): طبق نظريات دي مورجان على الصيغة البولينية التالية:

$$Y = \overline{(A+\overline{B}+\overline{C})\cdot(\overline{A}+B+\overline{C})}$$

الحـــــــل

$$Y = \overline{(A+\overline{B}+\overline{C})\cdot(\overline{A}+B+\overline{C})} = (\overline{A+\overline{B}+\overline{C}})+(\overline{\overline{A}+B+\overline{C}}) = \overline{A}\overline{\overline{B}}\overline{\overline{C}} + \overline{\overline{A}}\overline{B}\overline{\overline{C}} = \overline{A}BC + A\overline{B}C$$

مثال (٣ -٢): طبق نظريتا دي مورجان على الصيغة البولينية التالية:

$$Y = \overline{(\overline{A}+B)+CD}$$

الحـــــــل

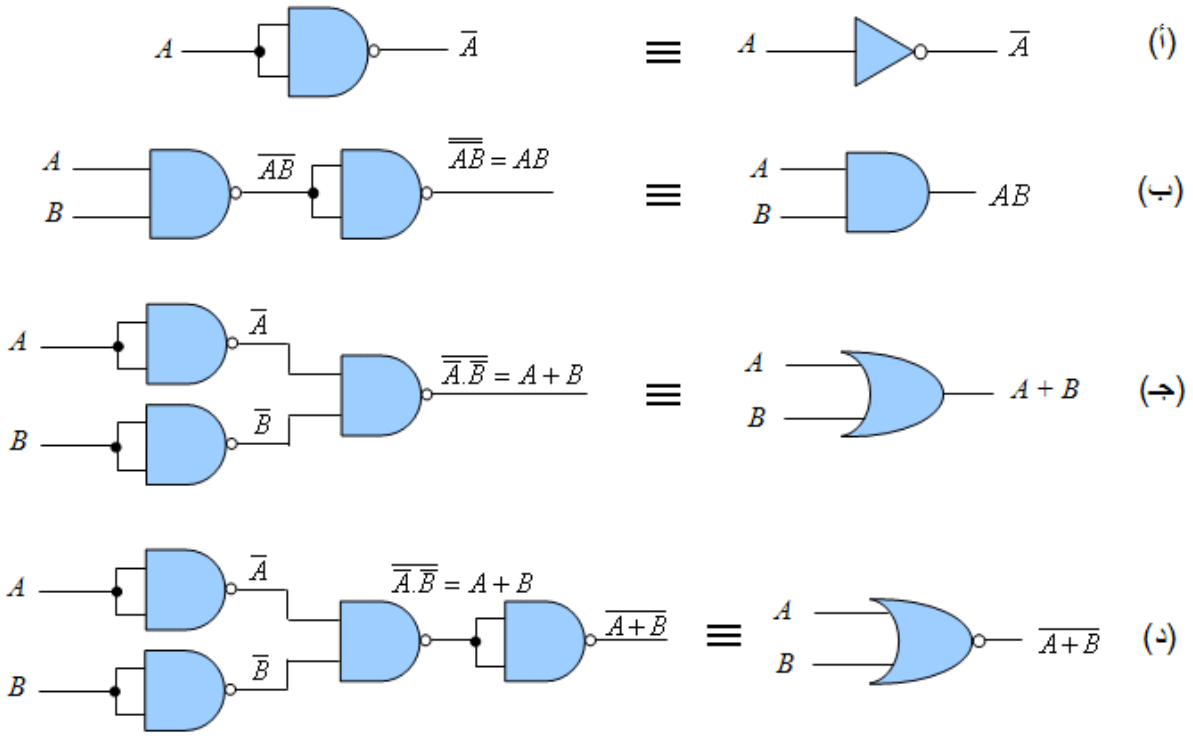
$$Y = \overline{(\overline{A}+B)+CD} = \overline{(\overline{A}+B)}.\overline{CD} = (\overline{\overline{A}}.\overline{B})(\overline{C}+\overline{D}) = A\overline{B}(\overline{C}+\overline{D}) \qquad (3\text{-}1)$$

٣ -٢ الخواص العامة لبوابات NOR و NAND

في الوحدة السابقة تم استعراض كيفية تمثيل الدوائر المنطقية باستخدام بوابات AND، وبوابات OR، والعواكس أما هنا فسوف نناقش استخدام بوابات NAND وبوابات NOR كبوابات عامة "Universal Gates" لتمثيل أي صيغة بولينية.

٣ -٢ -١ البوابة NAND كعنصر منطقي عام:

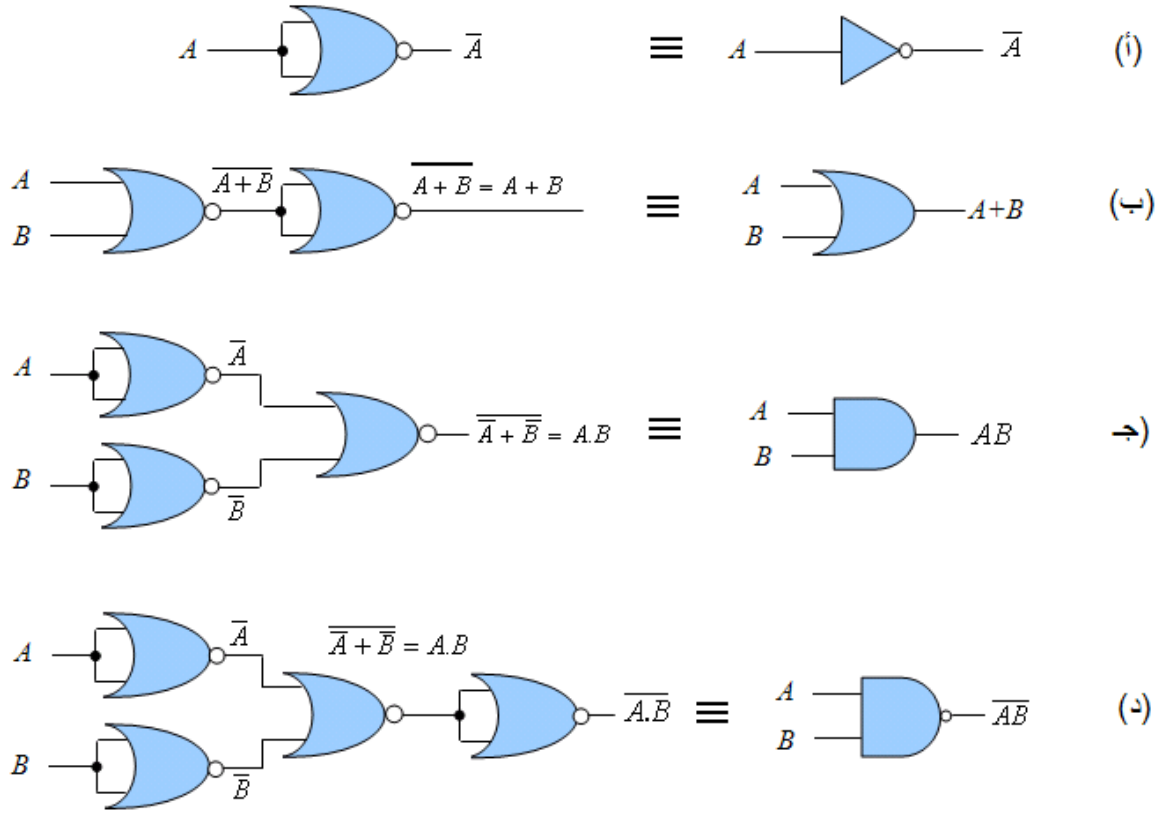
البوابة NAND هي بوابة عامة لأنه يمكن استخدامها في تنفيذ عملية العاكس، وعملية AND، وعملية OR، وكذلك عملية NOR، والعاكس يمكن بناؤه من البوابة NAND عن طريق توصيل جميع المداخل في مدخل واحد كما هو موضح في الشكل(٣ -٣ (أ)) وذلك لبوابة NAND ذات مدخلين. ويمكن توليد عملية AND باستخدام بوابات NAND فقط كما هو موضح في الشكل(٣ -٣(ب)). والبوابة OR يمكن بناؤها باستخدام بوابات NAND كما في الشكل(٣ -٣(جـ))، وأخيرًا البوابة NOR يمكن بناؤها كما هو موضح في الشكل(٣ -٣(د)).



الشكل (٣ -٣): يوضح التطبيق العام لبوابات NAND.

٣ -٢ -٢ البوابة NOR كعنصر منطقي عام

كما في بوابة NAND، فإن البوابةNOR يمكن استخدامها لبناء بوابات عاكس ، AND وOR وكذلك بوابة NAND. الشكل (٣ -٤) يوضح كيفية توصيل البوابة NOR لتقوم بعمل بوابة NOT وبوابة OR وكذلك بوابة NAND.



الشكل (٣ -٤): يوضح التطبيق العام لبوابات NOR.

٣ -٣ تصميم الدوائر المنطقية التوافقية باستخدام بوابات NAND و NOR

يستعرض هذا الجزء كيفيةاستخدام بوابات NAND و NOR وذلك لتمثيل الدوال المنطقية مع الأخذ في الاعتبار أن البوابة NAND تكافىء البوابة OR السالبة "Negative-OR"، والبوابة NOR تكافىء البوابة AND السالبة "Negative AND".

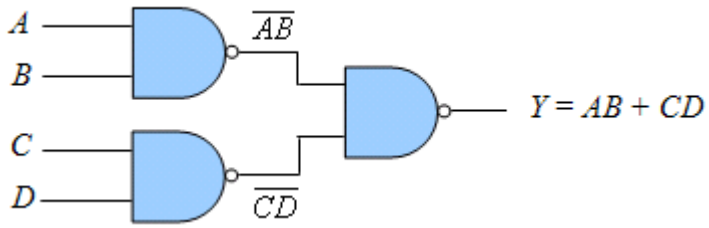
٣ -٣ -١ التصميم باستخدام بوابة NAND:

كما سبق فإن البوابة NAND تكافىء بوابة OR السالبة، لأنه باستخدام نظرية دي مورجان الثانية:

$$\overline{A \bullet B} = \overline{A} + \overline{B}$$

NAND ← $\overline{A \bullet B}$ ، $\overline{A} + \overline{B}$ → Negative-OR

وعلى سبيل المثال الدائرة المنطقية الموضحة في الشكل (٣ -٥).



الشكل (٣ -٥): يوضح دائرة منطقية ممثلة باستخدام بوابات NAND فقط.

يمكن استنتاج الصيغة البولينية للخرج "Y" لهذه الدائرة كما يلي:

$$Y = (\overline{\overline{AB}})(\overline{\overline{CD}})$$

وبتطبيق نظرية دي مورجان الثانية نحصل على:

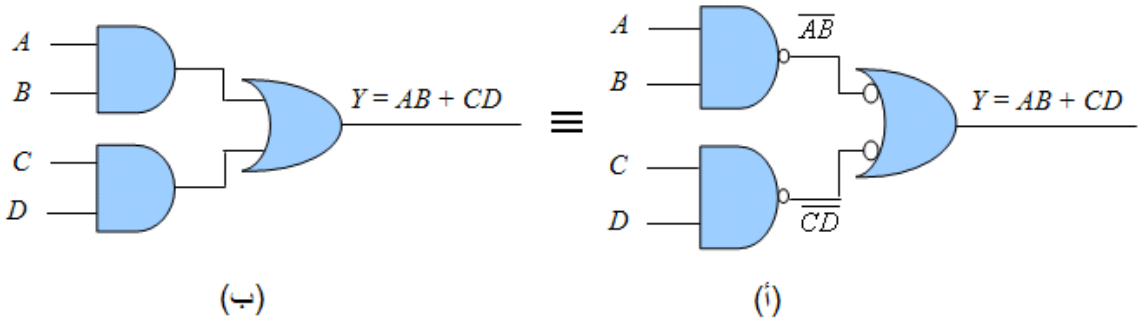
$$Y = \overline{\overline{AB}} + \overline{\overline{CD}}$$

وبحذف الإشارات الفوقية "Bars" نحصل على ما يلي:

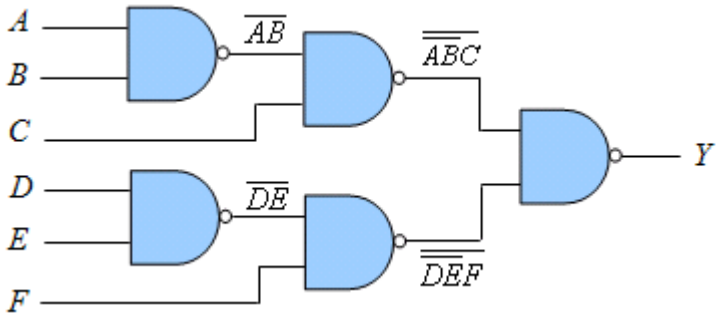
$$Y = AB + CD$$

ويمكن تمثيل نفس الصيغة البولينية للخرج "Y" كما في الشكل(٣ -٦ (أ)) حيث تم استبدال البوابة NAND على اليمين ببوابة OR السالبة، وحيث إن توصيل عاكسين على التوالي يلغيان بعضهما البعض فإننا بذلك نحصل على الشكل(٣ -٦(ب))، وبالتالي فإن الدائرة في الشكل (٣ -٥) تكافىء الدائرة في الشكل(٣ -٦(ب))، ويقال أن

(AND-AND-OR) ≡ (NAND-NAND-NAND)



الشكل (٣ -٦): يبين أن AND-AND-OR تكافىء الدائرة في الشكل (٣ -٥).



الشكل (٣ -٧): الدائرة المنطقية المطلوب تمثيلها باستخدام بوابات OR السالبة.

الشكل (٣ -٧) يوضح دائرة منطقية ممثلة عن طريق بوابات NAND والمطلوب إعادة هذا المخطط المنطقي باستخدام بوابات ORالسالبة.

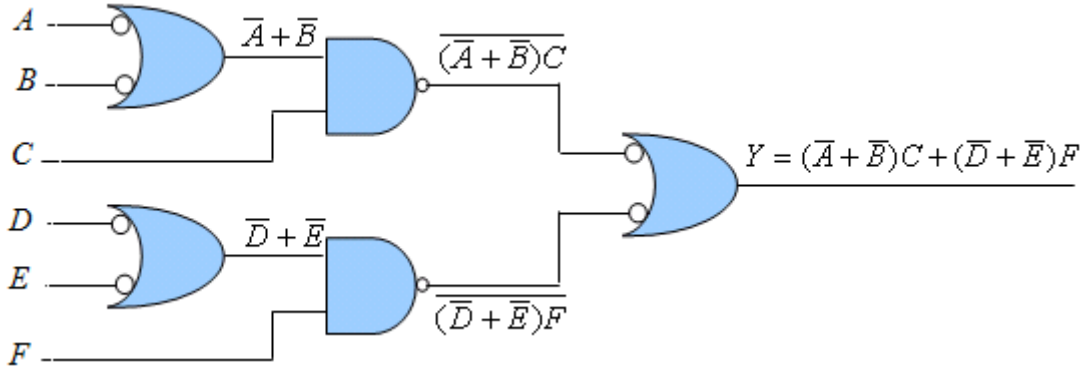
معادلة الخرج "Y" للدائرة في الشكل (٣ -٧):

$$Y = \overline{\overline{[(\overline{AB})C]} \cdot \overline{[(\overline{DE})F]}} = \overline{\overline{[(\overline{A}+\overline{B})C]} \cdot \overline{[(\overline{D}+\overline{E})F]}}$$

$$= \overline{(\overline{A}+\overline{B})C} + \overline{(\overline{D}+\overline{E})F}$$

$$= (\overline{A}+\overline{B})C + (\overline{D}+\overline{E})F$$

وباستخدام البوابة OR السالبة المكافئه للبوابة NAND نحصل على الدائرة المكافئه كما في الشكل (٣ -٨)، ويمكن كتابة معادلة الخرج "Y" مباشرة من خلال العمليات المنطقية لكل بوابة.



الشكل (٣ -٨): الدائرة المكافئه لشكل (٣ -٧) باستخدام بوابات OR السالبة.

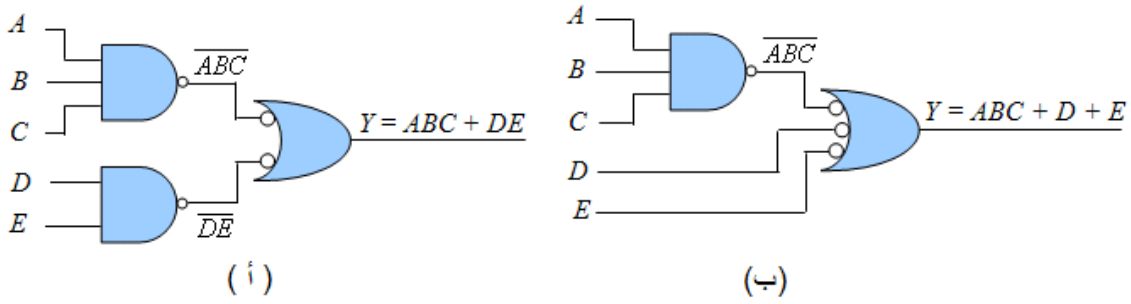
مثال (٣ -٣): حقق كلاً من الصيغتين المنطقيتين الآتيتين مستخدمًا بوابات NAND:

(*a*) $Y = ABC + DE$

(*b*) $Y = ABC + \overline{D} + \overline{E}$

الحـــــــل

انظر إلى الشكل (٣ -٩).



الشكل (٣ -٩): الدائرتان المكافئتان للتعبيرين المنطقيين لمثال (٣ -٣).

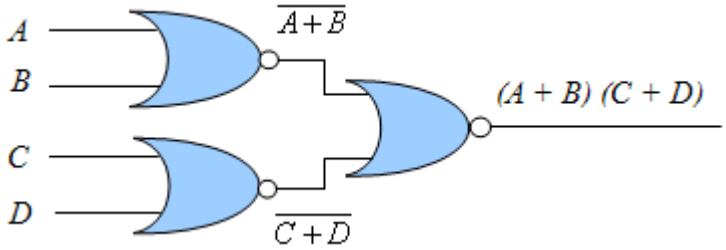
٣ -٣ -٢ التصميم باستخدام بوابة NOR

كما ذكرنا سابقًا أن البوابة NOR تؤدي دالة NOR أو دالة ANDالسالبة لأنه باستخدام نظرية دي مورجان الثانية:

$$\overline{A+B} = \overline{A} \bullet \overline{B}$$

NOR ← Negative-AND

فلنأخذ كمثال الدائرة المنطقية الموضحة في الشكل (٣ -١٠).



الشكل (٣ -١٠): دائرة منطقية ممثلة باستخدام بوابات NOR فقط.

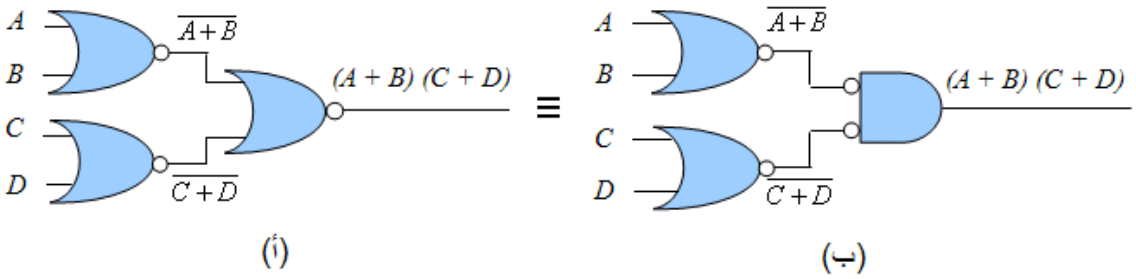
يمكن استنتاج الصيغة البولينية لهذه الدائرة كما يلي: $Y = \overline{\overline{A+B}+\overline{C+D}}$

وبتطبيق نظرية دي مورجان الأولى نحصل على: $Y = (\overline{\overline{A+B}}) \cdot (\overline{\overline{C+D}})$

وبحذف الإشارات الفوقية نجد أن: $Y = (A+B) \cdot (C+D)$

لاحظ أن الصيغة $(A + B)(C + D)$ تتكون من بوابتي OR وبوابة AND، وهذا يوضح أن البوابتين على اليسار تكافئان بوابتي OR والبوابة على اليمين تكافىء بوابة AND كما هو

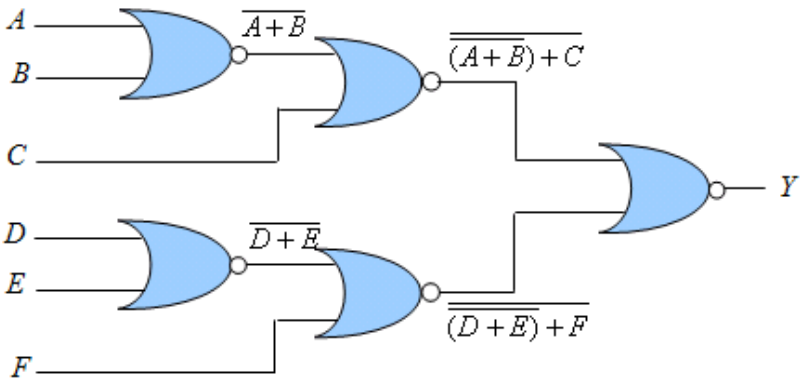
موضح في الشكل(٣ -١١(أ)) وهذه الدائرة أعيد رسمها في الشكل(٣ -١١(ب)) باستخدام بوابة ANDالسالبة.



الشكل (٣ -١١): الدائرة المكافئه لشكل (٣ -١٠) باستخدام بوابات AND السالبة.

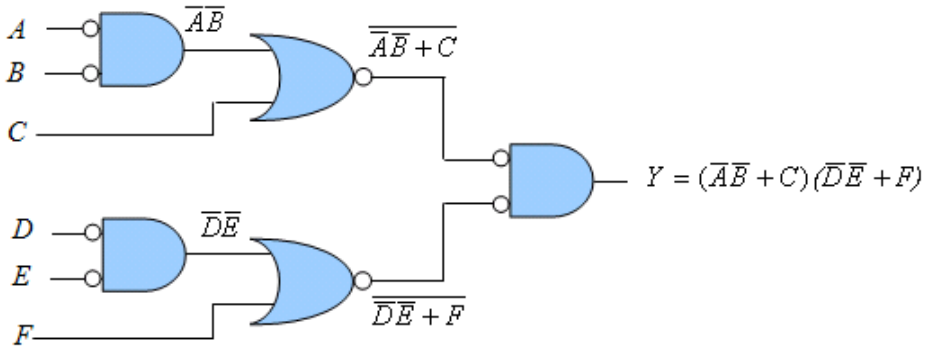
الشكل (٣ -١٢) يوضح دائرة منطقية ممثلة ببوابات NOR، والمطلوب إعادة تمثيل الدائرة باستخدام بوابة ANDالسالبة. نحصل أولًا على الخرج "Y" للدائرة كما يلي:

$$Y = \overline{\overline{[(\overline{A+B})+C]}+\overline{[(\overline{D+E})+F]}}$$
$$= \overline{[\overline{A}\,\overline{B}+C]+[\overline{D}\,\overline{E}+F]}$$
$$= (\overline{A}\,\overline{B}+C)(\overline{D}\,\overline{E}+F)$$



الشكل (٣ -١٢): دائرة منطقية ممثلة ببوابات NOR فقط.

وباستخدام بوابة ANDالسالبة المكافئه لبوابة NOR نحصل على الدائرة في الشكل (٣ -١٣).

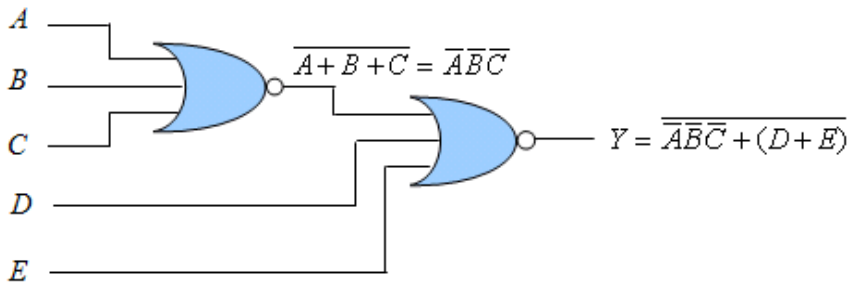


الشكل (٣ -١٣): الدائرة المكافئه للدائرة في الشكل (٣ -١٢).

مثال (٣ -٤): حقق الصيغة المنطقية الآتية باستخدام بوابات NOR فقط: $Y=\overline{\overline{A}\overline{B}\overline{C}+(D+E)}$

الحـــــل

انظر إلى الشكل (٣ -١٤).



الشكل (٣ -١٤): الدائرة المنطقية ممثلة باستخدام بوابات NOR فقط.

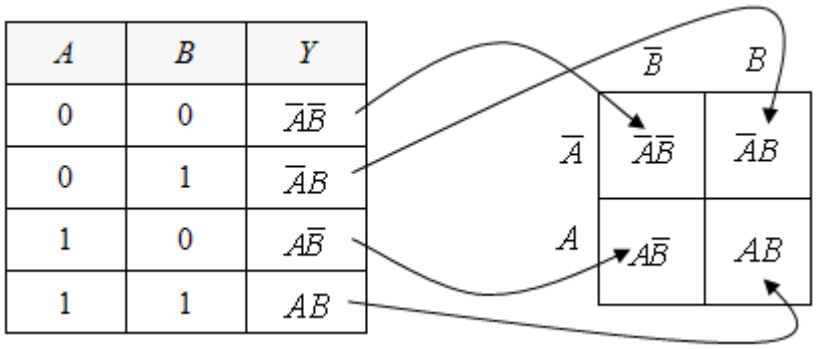
٣ -٤ خريطة كارنوف Karnaugh Map

خريطة كارنوف أو خريطة -K هي طريقة مرئية لتبسيط التعبيرات الجبرية وتماثل جدول الحقيقة، لأنها تعطي لنا كل القيم المحتملة للمداخل ونتيجة الخرج لكل قيمة، وبدلاً من تنظيمها على شكل أعمدة وصفوف مثل جدول الحقيقة، فإن خريطة كارنوف عبارة عن مصفوفة "Array" من الخلايا "Cells"، وتمثل كل خلية القيمة الثنائية لإحدى تشكيلات المداخل. وترتب الخلايا بطريقة تجعل عملية التبسيط للتعبير المعطى وتجميع الخلايا في غاية السهولة.

خريطة كارنوف يمكن استخدامها مع صيغ بولينية لها متغيران، ثلاثة، أربعة، أو خمسة متغيرات، ونكتفي بأربعة متغيرات فقط لتوضيح أساسيات التبسيط، وعدد الخلايا في خريطة كارنوف يساوي عدد التشكيلات المحتملة للمداخل.

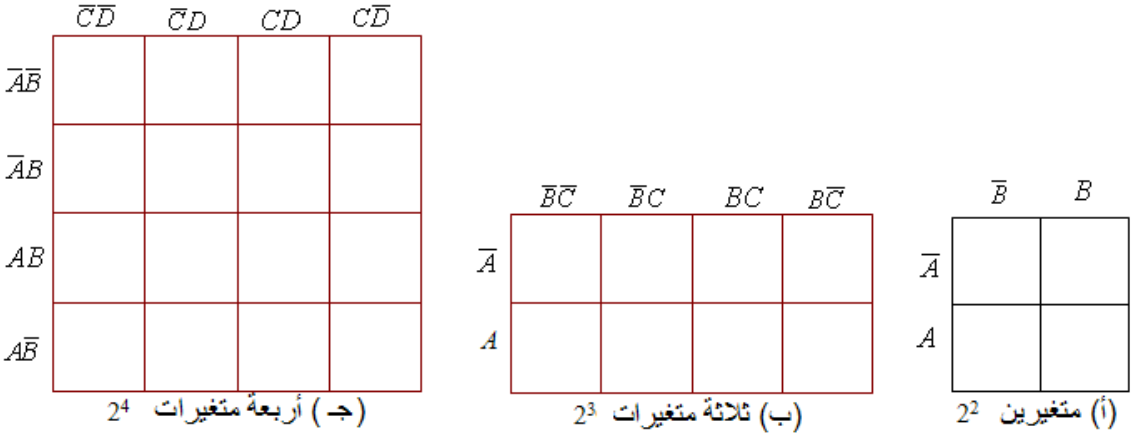
٣ -٥ التبسيط باستخدام خريطة كارنوف

عدد الخلايا في خريطة كارنوف يعتمد على عدد المتغيرات "المداخل"، وكمثال على ذلك الشكل (٣ -١٥)، فهناك متغيران فقط هما "A وB" والمتمم لهما "$\overline{A}, \overline{B}$" وبناء على ذلك فإن خريطة كارنوف تحتوي على أربعة تشكيلات "00,01,10,11".



الشكل (٣ -١٥): إعادة ترتيب جدول الحقيقة في خريطة كارنوف.

وكل خلية في خريطة كارنوف ذات المتغيرين تمثل واحدًا من التشكيلات الأربعة للدخل، وعمليًا علامات الدخل "Input Labels" توضع خارج الخلايا كما هو موضح في الشكل (٣ -١٦) وتطبق على كل من الصف والعمود للخلايا. فمثلاً، الصف الذي أمامه المتغير $\overline{A}$ يطبق على الخلايا العليا، بينما الذي أمامه A يطبق على الخلايا السفلى. ونرى في أعلى الخريطة المتغير $\overline{B}$ يطبق على الخلايا التي على اليسار، بيمنا المتغير B يطبق على الخلايا التي على اليمين. وكمثال، فإن الخلية العليا التي على اليمين تمثل تشكيلة الدخل $\overline{A}B$. الأشكال (٣ -١٦(أ))، (٣ -١٦ (ب))، (٣ -١٦ (جـ)) توضح هيئة خريطة كارنوف لمتغيرين "أربع خلايا"، وثلاثة متغيرات "ثماني خلايا"، وأربعة متغيرات "ست عشرة خلية".

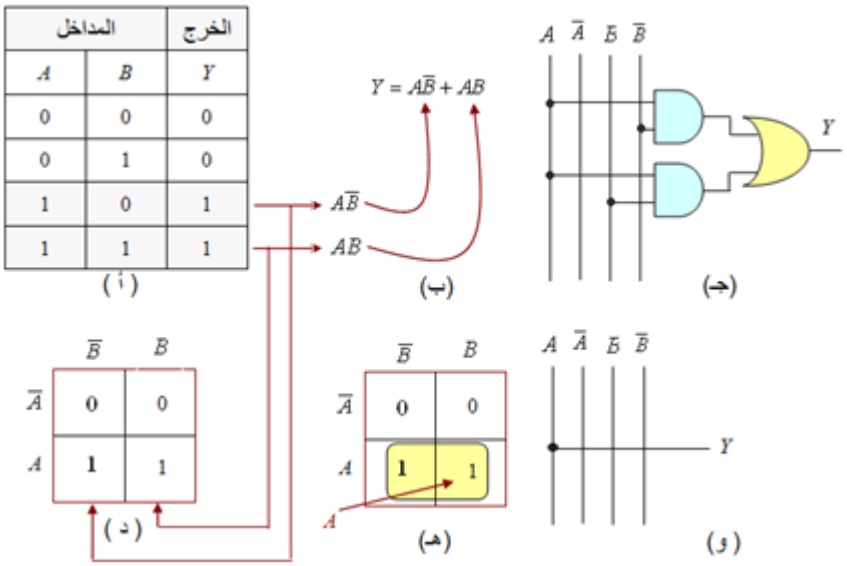


الشكل (٣ -١٦): خريطة كارنوف لعدد من المتغيرات.

وبعد التعرف على كيفية إنشاء خريطة كارنوف، سوف نرى كيف يمكن أن تستخدم لتبسيط الدوائر المنطقية، وكمثال على ذلك نفترض أننا نريد تصميم دائرة منطقية لها جدول الحقيقة الموضح في الشكل(٣ -١٧(أ)).

الخطوة الأولى: الحصول على الصيغة البولينية من خلال جدول الحقيقة، وذلك بكتابة التشكيلة التي أمامها "1" في الخرج،ثم نجمع هذه التشكيلات باستخدام بوابة OR كما في الشكل(٣ -١٧(ب))والدائرة المنطقية المكافئه لهذه المعادلة موضحة في الشكل(٣ - ١٧(جـ)).

الخطوة الثانية: تمثيل هذه الصيغة البولينية على خريطة كارنوف لمتغيرين في الشكل(٣ - ١٧(د)).



الشكل (٣ -١٧): كيفية استخدام خريطة كارنوف في تبسيط دائرة منطقية.

عند تمثيل الصيغة البولينية على خريطة كارنوف يجب أن نتذكر أن كل خلية تمثل تشكيلة من التشكيلات الأربع المحتملة للمدخلات في جدول الحقيقة. الخرج "1" في جدول الحقيقة يجب أن يظهر "1" في الخلية المكافئه له على خريطة كارنوف، والخرج "0" في جدول الحقيقة يجب أن يظهر "0" في الخلية المكافئه له على خريطة كارنوف. وبناءً على ذلك فإن "1" سوف يظهر في الخلية السفلى على اليسار "يمثل $A\overline{B}$"، وفي الخلية السفلى على اليمين "يمثل AB". والتشكيلات الأخرى للدخل "$\overline{A}B, \overline{A}\,\overline{B}$" وكلاهما يعطي "0" في الخرج، وبناءً عليه يجب وضع "0" في هاتين الخليتين العلويتين.

الخطوة الثالثة: تبسيط المعادلات البولينية بصفة عامة يمكن الحصول عليه عن طريق تطبيق قاعدة المتممات والتي تقول أن: $A+\overline{A}=1$. والآن وبعد تمثيل المعادلة البولينية على خريطة كارنوف كما في الشكل(٣ -١٧(د))، الخطوة التالية هي تجميع الحدود ثم نحدد العامل المشترك بينها. فإذا نظرنا إلى خريطة كارنوف في الشكل(٣ -١٧(د)) فسوف نرى أن الخلايا المتجاورة "Adjacent cells" تختلف في متغير واحد فقط، وهذا يعني أننا لو حركنا أي منها من مكانه إلى الخلية المجاورة له رأسيًا أو أفقياً، فلن يحدث تغيير إلا في متغير واحد فقط، وبتجميع الخلايا المتجاورة المحتوية على "1" كما في الشكل(٣ -١٧(هـ)) فإنه يمكن تبسيط الخلايا باستخدام قاعدة المتممات وجعلها حدًا واحدًا، وفي هذا المثال الخلايا $AB, A\overline{B}$ تحتوي على B ، $\overline{B}$ وبالتالي يتم حذف هذه المتممات، وتكون النتيجة A:

الأزواج المجمعة: $Y = A\overline{B} + AB$ ومن ثم يمكن التبسيط كما يلي:

$$Y = A(\overline{B} + B) = A \cdot 1 = A$$

هذا التحليل يمكن استنتاجه بدراسة جدول الحقيقة للدائرة الموضحة في الشكل(٣ -١٧(أ)) والذي نرى فيه أن الخرج Y يتبع تمامًا الدخل A، وبناءً على ذلك تكون الدائرة المكافئه كما هو موضح في الشكل(٣ -١٧(و)).

مثال (٣ -٥): صمم دائرة منطقية في أبسط صورة لجدول الحقيقة الموضح في الجدول(٣ -٣) مبينًا كل خطوة في عملية التبسيط.

الحـــــــل

الخطوة الأولى: الحصول على الصيغة البولينية من جدول الحقيقة كما يلي:

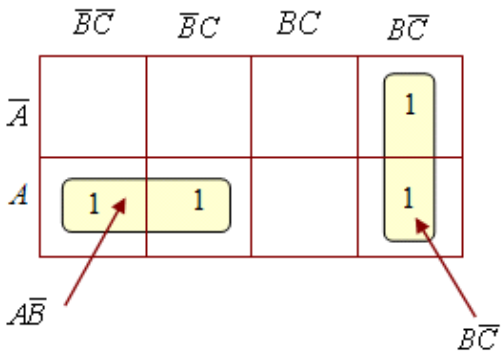
$$Y = \overline{A}B\overline{C} + A\overline{B}\,\overline{C} + A\overline{B}C + AB\overline{C}$$

الخطوة الثانية: هي رسم خريطة كارنوف لثلاثة متغيرات مع وضع "1" طِبَقًا لحالة المتغيرات في الخرج Y كما في الشكل(٣ -١٨). أو ننظر إلى الخرج "1" في جدول الحقيقة كما

بالجدول(٣ -٣) ثم نقوم بوضع "1" في الخلايا المكافئه لها على خريطة كارنوف كما في الشكل(٣ -١٨). ثم نقومبوضع "0" في الخلايا الفارغة المتبقية.

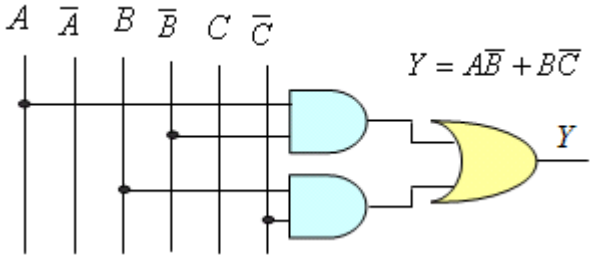
الجدول (٣ -٣): مثال (٣ -٥)

المداخل			الخرج
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



الشكل (٣ -١٨): خريطة كارنوف للمثال (٣ -٥).

الخطوة الثالثة: نجمع الخلايا "1" في شكل أزواج كما في الشكل(٣ -١٨)ثم نحدد من خلال الصف والعمود المتغيرات المشتركة في هذه المجموعات (الأزواج) لنرى أي متغير سوف يتم حذفه تبعًا لقاعدة المتممات ففي المجموعة التي على اليمين $A,\overline{A}$ يتم حذفها والنتيجة $\overline{B}C$ ، وفي المجموعة التي على اليسار يتم حذف $C,\overline{C}$ والنتيجة $A\overline{B}$. والحدود السابقة المبسطة سوف تشكل لنا المعادلة البولينية المكافئه بعد التبيسط، والدائرة المنطقية كما نرى في الشكل(٣ -١٩).



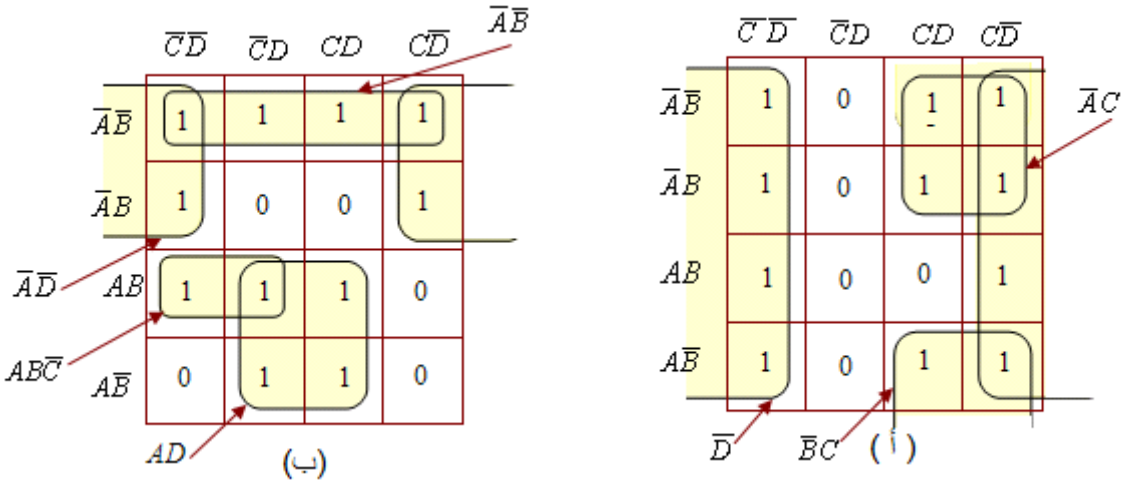
الشكل (٣ -١٩): تصميم دائرة منطقية باستخدام خريطة كارنوف.

في هذا المثال نرى أن المعادلة الأصلية تتكون من أربعة حدود كل حد منها يمثل بوابة AND بثلاثة مداخل مجمعة على بوابة OR بأربعة مداخل أي إن عدد المداخل الكلية يساوي ١٢ مدخلاً.

وبعد التبسيط أصبحت الدائرة تتكون من حدين كل منهما ممثل ببوابة AND بمدخلين مجمعين على بوابة OR بمدخلين أيضاً، وبالتالي يصبح عدد المداخل الكلية للدائرة بعد التبسيط يساوي ٤ مداخل كما نرى في الشكل(٣ -١٩).

الخلاياs'1 في خريطة كارنوف يمكن أن تجمع كأزواج "مجموعات من اثنين" أو مجموعات من أربعة، أو ثمانية، أو ستة عشر وهكذا لكل القوي 2. كل من الشكل (٣ -٢٠) والشكل (٣ -٢١) يوضحان بعض الأمثلة للتجميع، وكيف أن خريطة كارنوف تستخدم لتبسيط الصيغ البولينية الكبيرة.

لاحظ أن المجموعات الكبيرة أي التي تحتوي على عدد كبير من خلاياs'1 تعطي لنا حدًا صغيرًا وعليه تكون البوابات المستخدمة في التصميم لها مدخلات قليلة. ولهذا السبب يجب أن نبدأ بالبحث عن المجموعات التي تحتوي على أكبر عدد من الخلايا 1's، فإن لم نجد نبحث عن الأقل وهكذا.



قبل التبسيط

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}BCD + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D}$$

بعد التبسيط

$$Y = \bar{A}C + \bar{B}C + \bar{D}$$

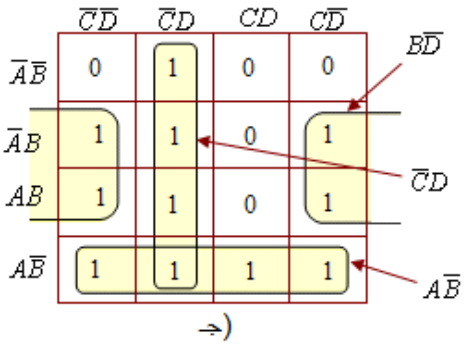
قبل التبسيط

$$Y = AB\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}D + ABCD + ABC\bar{D} + A\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}BCD + \bar{A}BC\bar{D}$$

بعد التبسيط

$$Y = AB\bar{C} + AD + \bar{A}\bar{D} + \bar{A}\bar{B}$$

الشكل (٣ -٢٠): أمثلة مختلفة عن التجميع في خرائط كارنوف.

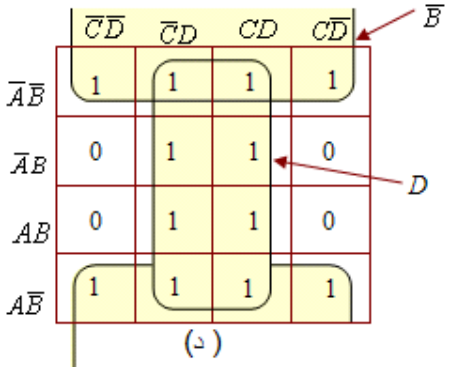


قبل التبسيط

$$Y = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BCD + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}D$$

بعد التبسيط

$$Y = \bar{C}D + A\bar{B} + B\bar{D}$$



قبل التبسيط

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BCD + AB\bar{C}D + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}D + A\bar{B}C\bar{D}$$

بعد التبسيط

$$Y = \bar{B} + D$$

الشكل (٣ -٢١): أمثلة أخرى عن التجميع في خرائط كارنوف.

مثال ٣ -٦: اكتب التعبير الجبري الذي يمثله جدول الحقيقة المبين في الجدول (٣ -٤) ثم قم بتبسيطه باستخدام خريطة كارنوف.

الجدول (٣ -٤): جدول الحقيقة المطلوب تبسيط دالته

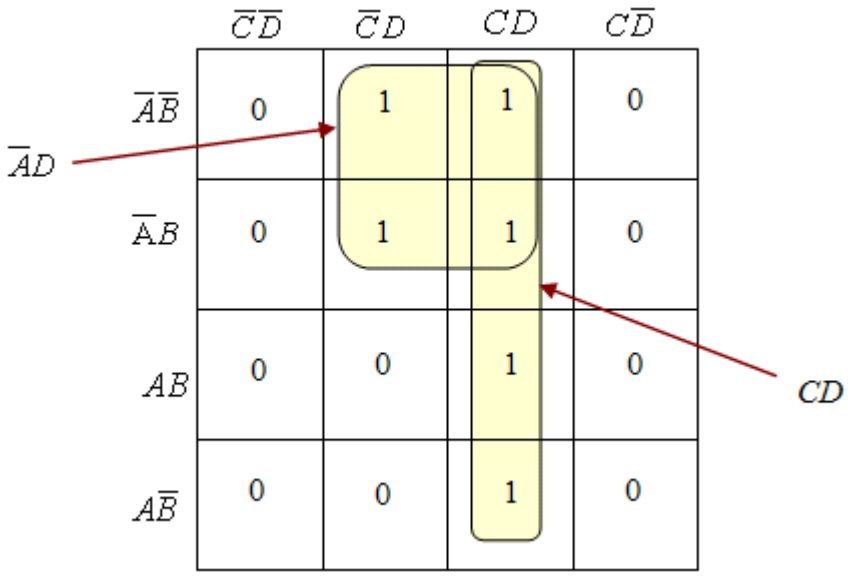
المداخل				الخرج
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

الحـــــــل

الخطوة الأولى: للحصول على التعبير الجبري يمكن كتابة الحدود التي تعطي الخرج Y المساوي للقيمة "1" في جدول الحقيقة (٣ -٤).وبتجميع هذه الحدود يمكننا استنتاج التعبير الجبري كما يلي:

$$Y = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}B\overline{C}D + \overline{A}BCD + A\overline{B}CD + ABCD$$

الخطوة الثانية: هي رسم خريطة كارنوف لأربعة متغيرات كما في الشكل(٣ -٢٢)، ونقوم بوضع خلايا 1's التي في عمود الخرج Y من جدول الحقيقة في الخلايا المكافئه لها على خريطة كارنوف.



الشكل(٣ -٢٢): خريطة كارنوف للدالة في مثال (٣ -٦).

الخطوة الثالثة: بالنظر إلى خريطة كارنوف في الشكل(٣ -٢٢) نجد أنه يمكن تجميع الخلايا في مجموعتين كل مجموعة تحتوي على أربعة من الخلايا1's، وبالتالي فإن الشكل المربع العلوي والذي يحتوي على أربعة خلايا 1's، المتغير B والمتغير $\overline{B}$ يمكن حذفهما وبالمثل المتغير C و المتغير $\overline{C}$ وتكون النتيجة هي $\overline{A}D$. وكذلك بالنسبة للشكل المستطيل على الخريطة والذي يحتوي على أربعة خلايا 1's فإنه يمكن حذف كل من المتغيرات $\overline{A}, A, \overline{B}, B$ والنتيجة هي CD. والتعبير الجبري المبسط على ذلك يكون: $Y = \overline{A}D + CD$

٣ -٦ دوائر الجامع والطارح الثنائية

يتناول هذا الجزء كيفية إجراء عمليات الجمع والطرح الثنائي فقط بواسطة البوابات المنطقية كأحد العمليات الرئيسة في الأنظمة الرقمية أو ما يطلق عليه الدوائر الحسابية للجمع والطرح الثنائي.

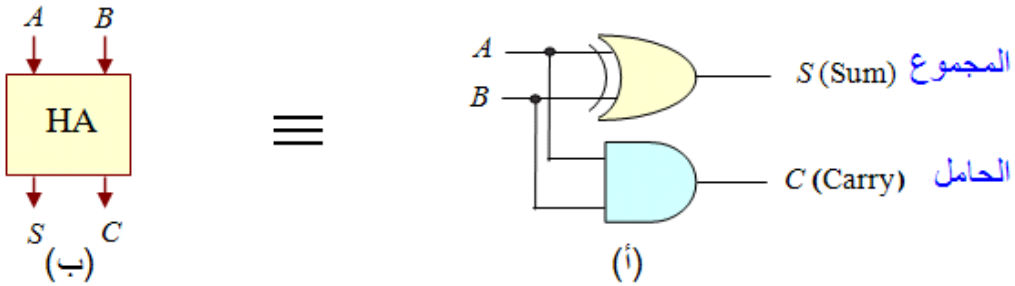
٣ -٦ -١ دائرة الجامع النصفي Half-Adder Circuit

سبق وأن درسنا القواعد الأربعة للجمع الثنائي، والجدول (٣ -٥) مراجعة لهذه القواعد حيث المداخل هي A, B والخرج يمثل حاصل الجمع Sum(S) والباقي المرحل أو المحمول Carry(C).

الجدول (٣ -٥): القواعد الأربع للجمع الثنائي.

الدخل		الخرج	
A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

بدراسة عمود الجمع S في جدول الحقيقة نجد أنه يماثل تمامًا خرج البوابة XOR، والآن إذا نظرنا إلى عمود المحمول C نجد أنه يماثل تمامًا خرج البوابة AND. والشكل(٣ -٢٣(أ)) يوضح كيفية توصيل البوابتين لجمع الدخلين A, B والحصول على الخرجين C, S وتسمى الدائرة باسم الجامع النصفي.



الشكل (٣ -٢٣): الدوائر المنطقية والمخطط الصندوقي للجامع النصفي.

والمخطط الصندوقي لدائرة الجامع النصفي كما في الشكل(٣ -٢٣(ب)) حيث يرمز الحرفان HA إلى كلمتي Half Adder أي الجامع النصفي، والدالة المنطقية المبسطة للخرجين S, C يمكن الحصول عليهما مباشرة من جدول الحقيقة، وبالرجوع إلى الجدول نجد أن:

$$S = \overline{A}B + A\overline{B} \quad (3.2)$$
$$C = AB \quad (3.3)$$

٣ -٦ -٢ دائرة الجامع الكامل Full-Adder Circuit :

عند دراسةجمع الأعداد الثنائية وجد أنه عند جمع خانتين 2-bits غالبًا ما يتبقى مقدار يسمى الباقي أو المرحل أو المحمولCarry والذي يجب أن يرحل ليجمع مع الخانة التالية، وعلى هذا فإنه في أحد الأعمدة يكون الجمع لثلاثة أرقام أو خانات Bits وليس لرقمين فقط وبالتالي فإن الجامع النصفي لن يستطيع العمل في هذه الحالة، ونكون في حاجة إلى دائرة جديدة تستطيع جمع ثلاثة أرقام في نفس الوقت، وهذه الدائرة تسمى بدائرة الجامع الكامل.

ودائرة الجامع الكامل هي دائرة توافقية تستطيع جمع ثلاثة أرقام Bits في نفس الوقت، وهي تتكون من ثلاثة مداخل وخرجين، اثنان من المداخل هما A,B يمثلان الرقمين المراد جمعهما والدخل الثالث Input carry(C_{in}) يمثل الرقم الباقي أو المرحل من جمع الرقمين السابقين، وهناك خرجان هما الحامل Carry والمجموع Sum، وجدول الحقيقة لدائرة الجامع الكامل توضح كما بالجدول (٣ -٦).

الجدول (٣ -٦): قواعد الجمع في حالة الجامع الكلي

المداخل			الخرج		تحليل الخرج	حاصل الجمع
A	B	C_{in}	S	C		
0	0	0	0	0	المجموع 0 مع عدم وجود حامل 0	0 + 0 + 0 = 0
0	0	1	1	0	المجموع 1 مع عدم وجود حامل 0	0 + 0 + 1 = 1
0	1	0	1	0	المجموع 1 مع عدم وجود حامل 0	0 + 1 + 0 = 1
0	1	1	0	1	المجموع 0 مع حامل 1	$0 + 1 + 1 = 10_2$ or $2_{10}1$
1	0	0	1	0	المجموع 1 مع عدم وجود حامل 0	1 + 0 + 0 = 1
1	0	1	0	1	المجموع 0 مع حامل 1	$1 + 0 + 1 = 10_2$ or $2_{10}1$
1	1	0	0	1	المجموع 0 مع حامل 1	$1 + 1 + 0 = 10_2$ or $2_{10}1$
1	1	1	1	1	المجموع 1 مع حامل 1	$1 + 1 + 1 = 11_2$ or $3_{10}1$

الأعمدة الثلاثة الأولى في الجدول تمثل الدخل والمكون من A,B,C_{in} وبذلك يكون عدد احتمالات الدخل يساوي $2^3=8$ ثمانيةاحتمالات. أما بالنسبة لأعمدة الخرج والمكونة من C,S فإنه يتم الحصول عليها من حاصل الجمع الرياضي للمدخلات الثلاثة وكما هو مبين في الجدول السابق. نلاحظ أنه يمكن كتابة التعبير المنطقي الذي يمثل الخرج S,C من جدول الحقيقة كما يلي:

$$S=\overline{A}\overline{B}C_{in}+\overline{A}B\overline{C}_{in}+A\overline{B}\overline{C}_{in}+ABC_{in} \quad (3.4)$$

$$C=\overline{A}BC_{in}+A\overline{B}C_{in}+AB\overline{C}_{in}+ABCi_{n} \quad (3.5)$$

وللوصول إلى الشكل النهائي والمبسط لدائرة الجامع الكامل، يجب البدء بكتابة المعادلتين السابقتين للوصول إلى التصميم الأمثل ولنبدأ بمعادلة الخرج S:

$$S=\overline{A}\overline{B}C_{in}+\overline{A}B\overline{C}_{in}+A\overline{B}\overline{C}_{in}+ABC_{in}=(\overline{A}B+A\overline{B})\overline{C}_{in}+(\overline{A}\overline{B}+AB)C_{in} \quad (3.6)$$

المقدار $\overline{A}B+A\overline{B}$ يمثل معادلة XOR بدخلين، والمقدار $\overline{A}\overline{B}+AB$ يمثل معادلة XNOR بدخلين ويمكن وضع المعادلة السابقة على الصورة التالية:

$$S=(A\oplus B)\overline{C}_{in}+(\overline{A\oplus B})C_{in} \quad (3.7)$$

وبالنظر إلى هذه المعادلة نجد أنها تمثل XOR بدخلين أحدهما $(A\oplus B)$ والآخر C_{in} وبالتالي فإن الصورة النهائية لمعادلة S تصبح:

$$S=(A\oplus B)\oplus C_{in}=A\oplus B\oplus C_{in} \quad (3.8)$$

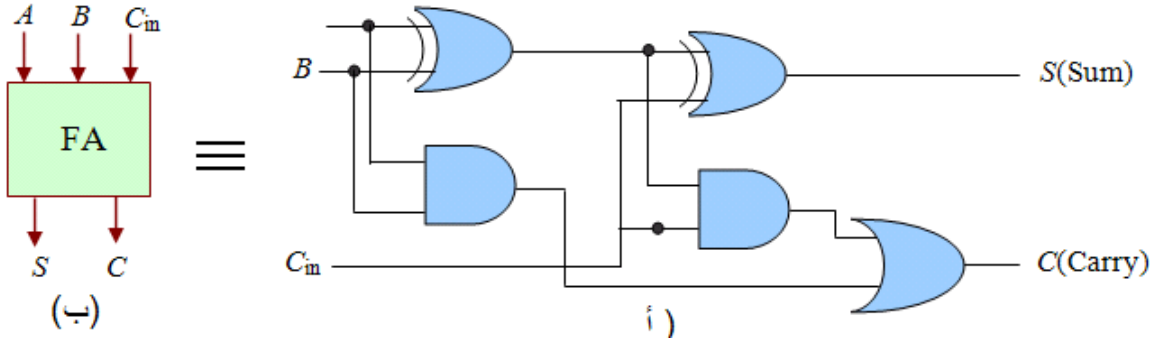
أي إن معادلة S يمكن تمثيلها باستخدام بوابتي XOR ، الأولى دخلها A,B والثانية دخلها هو خرج الأولى مع C_{in}.

والآن لنبدأ في تحليل معادلة C للوصول إلى التمثيل الأمثل لها:

$$C=\overline{A}BC_{in}+A\overline{B}C_{in}+AB\overline{C}_{in}+ABCi_{n}=(\overline{A}B+A\overline{B})C_{in}+AB(\overline{C}_{in}+C_{in}) \quad (3.9)$$

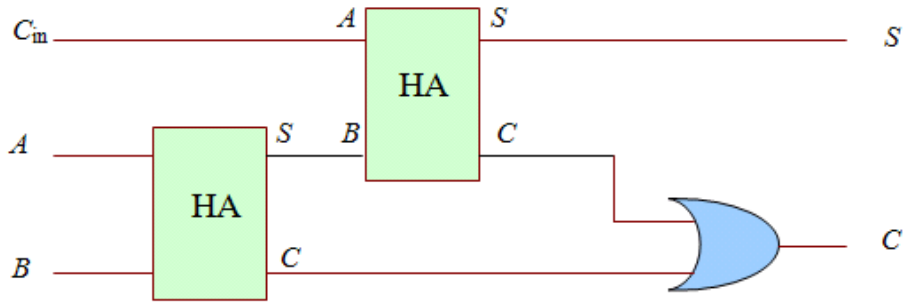
$$C=(A\oplus B)C_{in}+AB \quad (3.10)$$

وتمثيل معادلة S ومعادلة C بالبوابات موضح في الشكل(٣ -٢٤(أ))، والمخطط الصندوقي لدائرة الجامع الكامل موضح في الشكل(٣ -٢٤(ب)) حيث يرمز الحرفان FA إلى اختصار كلمتي "Full Adder" أي الجامع الكامل.



الشكل (٣ -٢٤): الدائرة المنطقية للجامع الكامل.

ومن الدائرة في الشكل(٣ -٢٤(أ)) يتضح لنا أن الجامع الكامل يتكون من دائرتين للجامع النصفي مع بوابة OR والمخطط الصندوقي للجامع الكامل باستخدام عدد 2 جامع نصفي وبوابة OR موضح في الشكل (٣ -٢٥).



الشكل (٣ -٢٥): المخطط الصندوقي للجامع الكامل.

٣ -٦ -٣ دائرة الطارح النصفي Half Subtractor Circuit:

طرح عددين ثنائيين يمكن أن يتم عن طريق أخذ المتمم للمطروح ثم نجمع الناتج على المطروح منه، وبهذه الطريقة أصبحت عملية الطرح عملية جمع وتتطلب جامعًا كاملًا أو عددًا منه لتمثيل الدائرة. ومن الممكن تمثيل الطرح باستخدام الدوائر المنطقية بطريقة مباشرة، وبهذه الطريقة، كل خانة Bit من المطروح تطرح من الخانة المقابلة لها من المطروح منه للحصول على خانةحاصل الطرح أو الفرق Difference.

وإذا كانت خانة المطروح منه أصغر من خانة المطروح، فهناك واحد "1" سوف يستعار Borrowed من الخانة التي تليه، وكما أن هناك جامعًا نصفيًا وجامعًا كاملاً، فيوجد لدينا أيضًا طارح نصفي وطارح كامل.

والطارح النصفي هو دائرة توافقية تطرح خانتين "2-bits" وتعطي لنا خرجًا "D" يمثل الفرق بينهما ولها أيضًا خرج آخر "B_0" يساوي "1" في حالة الاستعارة أو الاستلاف.فإذا كان المطروح منه أقل من المطروح فمن الضروري استعارة واحد "1" من الرتبةالأعلى، والواحد المستعار يضيف اثنين على المطروح منه، مقارنةبالنظام العشري حيث الاستعارة تضيف عشرة.

جدول الحقيقة (٣ -٧) يوضح القواعد الأربع للطرح الثنائي"وهي العلاقة بين المداخل والخرج للطارح النصفي". والصيغة البولينية للخرج D، والاستعارة B_0 يمكن استنتاجه مباشرة من جدول الحقيقة:

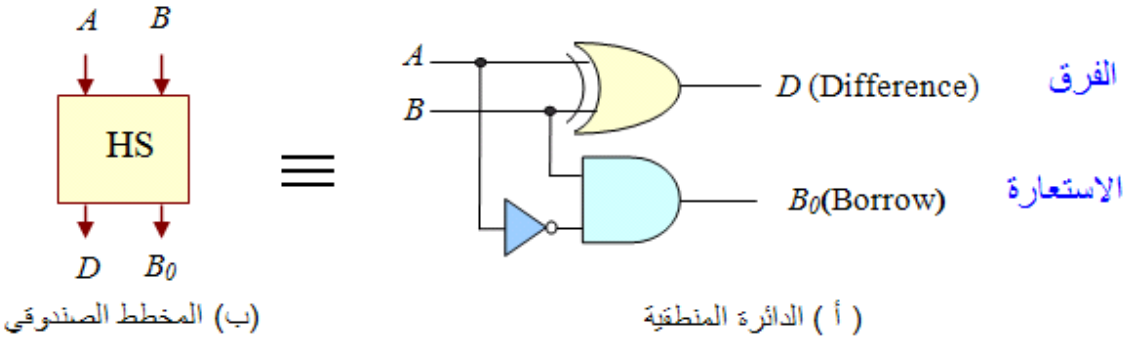
$$D = \overline{A}B + A\overline{B} \;\&\; B_o = \overline{A}B \qquad (3.11)$$

الجدول (٣ -٧): القواعد الأربع للطرح الثنائي.

المداخل		الخرج	
A	B	D	B_0
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

لاحظ من معادلة الخرج D أنه يماثل تمامًا الخرج S في الجامع النصفي وبذلك يمكن تمثيله عن طريق بوابة XOR ، بينما الخرج B_0 يختلف عن الخرج C في الجامع النصفي بأن المتغيرAمعكوس ويمكن تمثيله عن طريق بوابة AND لها الدخلان $\overline{A}$ ، B .

الشكل(٣ -٢٦(أ)) يوضح كيفية تمثيل الطارح النصفي، بينما الشكل(٣ -٢٦(ب)) يمثل المخطط الصندوقي له، حيث يرمز الحرفانHS إلى اختصار كلمتي HalfSubtractor.



الشكل (٣ -٢٦): الدائرة المنطقية والمخطط الصندوقي للطارح النصفي.

٣ -٦ -٤ دائرة الطارح الكامل Full Subtractor Circuit:

الطارح الكامل هو دائرة توافقية تؤدي عملية الطرح بين رقمين 2-bits مأخوذًا في الاعتبار أن 1ربما يستعار من الرقم الذي يليه. هذه الدائرة لها ثلاثة مداخل ومخرجان.ويرمز للمداخل الثلاثة بالمطروح منه A والمطروح B والمستعار السابق B_{in} على الترتيب. أما الخرجان فيرمزان إلى فرق الطارح الكاملD والمستعار B_0 ، وجدول الحقيقة موضح في الجدول (٣ -٨)حيث إن الصفوف الثمانية للمداخل تمثل التشكيلات المحتملة للمتغير الثنائي. أما متغيرات الخرج فإنه يمكن تحديدها من العلاقة $A-B-B_{in}$. التشكيلات التي لها $B_{in}=0$ كأنها تمثل الاحتمالات الأربعة في جدول الحقيقة للجامع النصفي.

وعندما يكون الدخل $B_{in}=1$ توجد أربع حالات:

$A=0, B=0$ نستعير 1 والذي يجعل $B_0=1$ و $A=0+2=2$ والخرج $D=2-0-1=1$.

$A=0, B=1$ نستعير 1 والذي يجعل $B_0=1$ و $A=0+2=2$ والخرج $D=2-1-1=0$.

$A=1, B=0$ فلا تغيير $A=1$ والخرج $D=1-0-1=0$ فلن نحتاج للاستعارة $B_0=0$.

$A=1, B=1$ نستعير 1 والذي يجعل $B_0=1$ و $A=1+2=3$ والخرج $D=3-1-1=1$.

الجدول (٣ -٨): قواعد الطرح في حالة الطارح الكامل.

المداخل			الخرج	
A	B	B_{in}	D	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

ويمكن كتابة الدالة المنطقية للطارح الكامل من جدول الحقيقة كما يلي:

$$D=\overline{A}\overline{B}B_{in}+\overline{A}B\overline{B}_{in}+A\overline{B}\overline{B}_{in}+ABB_{in} \quad (3\text{-}12)$$

وهي تماثل تماما معادلة Sفي الجامع الكامل (المعادلة (٣ -٤)وبالتالي يمكن وضعها في الصورة النهائية على الشكل:

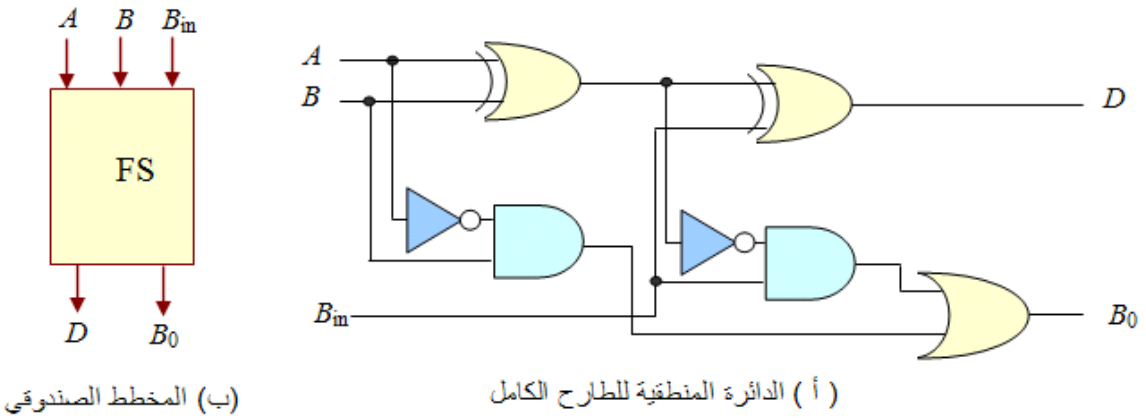
$$D=(A\oplus B)\oplus B_{in}=A\oplus B\oplus B_{in} \quad (3\text{-}13)$$

وبالنسبة للخرج الثاني B_0 فتكون الشكل الدالة له كالآتي:

$$B_o = \overline{A}\overline{B}B_{in} + \overline{A}B\overline{B}_{in} + \overline{A}BB_{in} + ABB_{in} = B_{in}(\overline{A}\overline{B} + AB) + \overline{A}B(\overline{B}_{in} + B_{in}) \quad (3\text{-}14)$$

$$B_o = B_{in}(\overline{A \oplus B}) + \overline{A}B \quad (3\text{-}15)$$

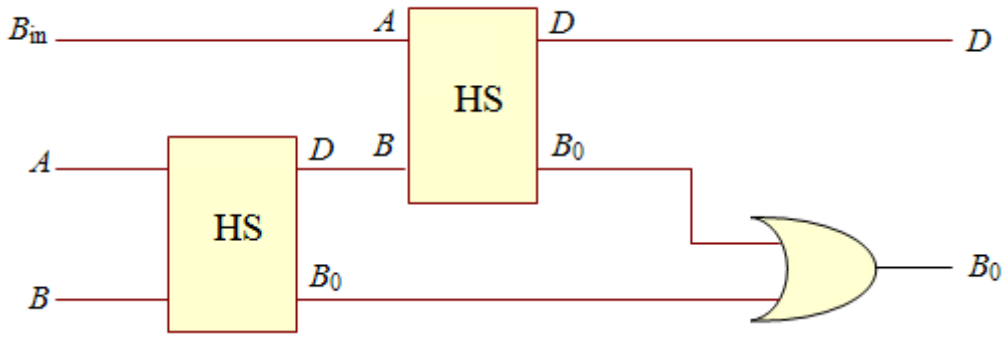
وتمثيل معادلتي الخرج D و B_0 موضح في الشكل(٣ -٢٧(أ))، والمخطط الصندوقي لدائرة الطارح الكامل موضح بالشكل(٣ -٢٧(ب)) حيث يرمز الحرفان FS إلى اختصار Full Subtractor أي الطارح الكامل.وبالرجوع إلى الدائرة في الشكل(٣ -٢٧(أ)) يتضح لنا أن الطارح الكامل يتكون من دائرتين للطارح النصفي مع بوابة OR، والمخطط الصندوقي موضح في الشكل (٣ -٢٨).



(ب) المخطط الصندوقي

(أ) الدائرة المنطقية للطارح الكامل

الشكل (٣ -٢٧): الدائرة المنطقية والمخطط الصندوقي للطارح الكامل.



الشكل (٣ -٢٨): المخطط الصندوقي لتكوين الطارح الكامل من دائرتين للطارح النصفي.

تدريبات على الوحدة الثالثة

(٣ -١) طبق نظريات دي مورجان على كل من الصيغ الآتية:

a) $\overline{A\overline{B}(C+\overline{D})}$ b) $\overline{AB(CD+EF)}$

c) $\overline{(A+\overline{B}+C+\overline{D})}+\overline{ABC\overline{D}}$ d) $\overline{\overline{(\overline{A}+B+C+D)(A\overline{B}\overline{C}D)}}$

(٣ -٢) حقق كلاً من الصيغ المنطقية الآتية مستخدمًا بوابات NAND فقط:

a) $ABCD+\overline{D}E$ b) $A\overline{B}C+AB+\overline{D}$

c) $A\overline{B}\overline{C}+D+E$ d) $A\overline{B}C+\overline{A}BC+ABC+AB\overline{C}$

(٣ -٣) حقق كلاً من الصيغ المنطقية الآتية مستخدمًا بوابات NOR فقط:

a) $(A+B+C)(A+\overline{B})$ b) $\overline{\overline{A}B\overline{C}+(D+\overline{E})}$

c) $(\overline{A}B+C)(D\overline{E}+\overline{F})$ d) $\overline{\overline{(A+\overline{B})}(\overline{C}+D)}$

(٣ -٤) باستخدام خرائط كارنوف صمم دائرة منطقية في أبسط صورة لجدول الحقيقة الموضح:

الجدول(٣ -٩): جدول الحقيقة لدائرة منطقية.

المداخل			الخرج
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

(٣ -٥) باستخدام خرائط كارنوف بسط كلاً من الصيغ البولينيةالآتية:

a) $A\overline{B}\overline{C}D+A\overline{B}C\overline{D}+ABC\overline{D}+\overline{A}B\overline{C}D+AB\overline{C}D+\overline{A}BC\overline{D}$

b) $ABC\overline{D}+\overline{A}B\overline{C}D+A\overline{B}\overline{C}D+AB\overline{C}D+\overline{A}BC\overline{D}+ABC\overline{D}+A\overline{B}C\overline{D}$

c) $\overline{A}B\overline{C}D+\overline{A}B\overline{C}\overline{D}+AB\overline{C}\overline{D}+AB\overline{C}D+A\overline{B}\overline{C}D$

d) $\overline{A}\overline{B}\overline{C}\overline{D}+\overline{A}\overline{B}\overline{C}D+\overline{A}B\overline{C}\overline{D}+\overline{A}B\overline{C}D+\overline{A}BCD+\overline{A}BC\overline{D}+A\overline{B}\overline{C}D+A\overline{B}CD$

(٣ -٦) في دائرة الجامع الكامل والموضحة في الشكل(٣ -٢٣)، حدد الحالة المنطقية (1 or 0) عند كل خرج بوابة للمدخلات الآتية:

a) $A = 1, B = 1, C_{in} = 1$ b) $A = 0, B = 1, C_{in} = 1$

c) $A = 0, B = 1, C_{in} = 0$ d) $A = 1, B = 1, C_{in} = 0$

(٣ -٧) ماالقيم المنطقية للمدخلات لدائرة الجامع الكامل والتي تعطي في الخرج القيم المنطقية الآتية:

a) $S = 0, C_{out} = 0$ b) $S = 1, C_{out} = 0$
c) $S = 1, C_{out} = 1$ d) $S = 0, C_{out} = 1$

(٣ -٨) في دائرة الطارح الكامل والموضحة في الشكل(٣ -٢٦)، حدد الحالة المنطقية (1 or 0) عند كل خرج بوابة للمدخلات الآتية:

a) $A = 1, B = 1, B_{in} = 1$ b) $A = 1, B = 0, B_{in} = 1$
c) $A = 1, B = 1, B_{in} = 0$ d) $A = 0, B = 1, B_{in} = 1$

الوحدة الرابعة

الدوائر المنطقية المتعاقبة

الدوائر المنطقية المتعاقبة

الهدف العام :

القدرة على التعرف على الدوائر المنطقية المتعاقبة.

الأهداف التفصيلية :

عندما تكتمل هذه الوحدة يكون المتدرب قادرًا وبكفاءة على أن:

١. يعرف الأنواع المختلفة للقلابات.
٢. يتعلم دوائر مسجلات الإزاحة.
٣. يتعرف على الدوائر المختلفة للعدادات.
٤. يفهم وحدات التعدد (منتخبات البيانات) ووحدات فك التعدد.
٥. يتعرف على الدوائر المختلفة للمزمنات.

مقدمة

تصنف الدوائر المنطقية إلى نوعين رئيسين، النوع الأول ويسمى بالدوائر المنطقية التوافقية "Combinational Logic Circuits" وفيها يعتمد خرج الدائرة في أية لحظة زمنية على المداخل الموجودة في تلك اللحظة، أما النوع الآخر فيسمى بالدوائر المنطقية التعاقبية "Sequential Logic Circuits" ويتميز هذا النوع من الدوائر بوجود ذاكرة "Memory" حيث يعتمد خرج الدائرة في لحظة ما على الدخل المطبق والخرج السابق للدائرة.

في الدوائر المنطقية التوافقية تكون وحدة البناء الأساسية هي البوابات المنطقية، بينما في الدوائر المنطقية التعاقبية تكون وحدة البناء هي دائرة القلاب "Flip-Flop Circuit"،والقلاب عبارة عن دائرة رقمية منطقية عملها الأساسي هو تخزين المعلومات بسعة خانة رقمية واحدة إما صفر "0" أو واحد"1". ويوجد القلاب في إحدى حالتين مستقرتين إحداهما تمثل الرقم الثنائي "0" والثانية تمثل الرقم الثنائي "1".

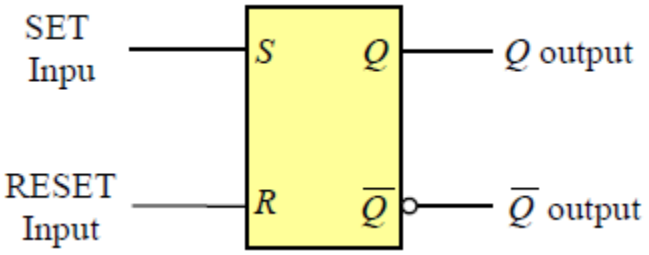
وإذا وضع القلاب في إحدى حالتي الإستقرار فإنه يظل فيها طالما تم تزويده بمصدر القدرة اللازمة أو حتى يتم تغيير هذه الحالة وذلك بتطبيق مستويات منطقية مناسبة في الدخل وكما سيتضح ذلك من خلال دراستنا للأنواع المختلفة للقلابات والتي يطلق عليها أيضًا اسم متعددة الإهتزازات ثنائية الإستقرار "Bi-stable Multi-vibrator" يمكن بناء القلابات من بوابات NAND أو بوابات NOR، أو شراؤها على شكل دوائر رقمية متكاملة " Digital Integrated Circuits". وأخيرًا يمكن ربط القلابات لتكوين دوائر منطقية مثل العدادات "Counters"ومسجلات الإزاحة"Shift Registers" وغيرها.

٤ -١ **القلابات** Flip-Flop's:

٤ -١ -١ **الماساكات** Latches:

دائرة الماسك هي نوع من عناصر التخزين ثنائية الإستقرار والتي عادة ما توضع في تصنيف منفصل عن دوائر القلابات. فالماسكات من حيث طبيعة العمل تشبه دوائر القلابات لأنها عنصر ثنائي الإستقرار يمكن وضعه في إحدى حالتي الإستقرار بواسطة نظام التغذية الخلفية والذي فيه يوصل الخرج خلفيًا إلى الدخل المعاكس. والفرق الرئيس بين الماساكت والقلابات هو في الطريقة المستخدمة لتغيير حالتي الإستقرار فقط.

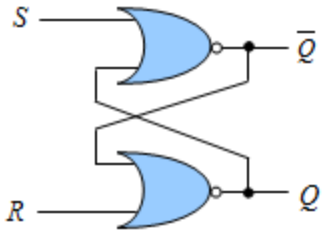
والماسك "Latch" هو نوع من أنواع متعدد الذبذبات ثنائي الإستقرار Bistable Multi-vibrator. يوضح الشكل (٤ -١) الرمز المنطقي لدائرة الماسك من النوع SR ومنه يتضح وجود مدخلين يرمز لأحدهما بالرمز S ويعرف بالمدخل الفعال"Set Input" أو مدخل الوضع في الحالة "1" ويرمز للآخر بالرمز R ويعرف بالمدخل غير الفعال "Reset Input" أو مدخل الوضع في الحالة "0" كما يوجد لها مخرجان يرمز لأحدهما بالرمز Q ويعرف بالخرج الطبيعي ويرمز للآخر بالرمز $\overline{Q}$ ويعرف بالخرج المتمم.



الشكل (٤ -١): الرمز المنطقي لدائرة الماسك من النوع SR.

ويقال إن دائرة الماسك في حالة فعالة أو نشطة Set عندما يكون $Q=1$ $\overline{Q}=0$,ويقال إنها في حالة غير فعالة أو خاملة Reset عندما يكون $Q=0$ ، $\overline{Q}=1$. ومن التعريف الأساسي للماسك نجد أنه عندما نؤثر على المدخل S بالمستوى المنطقي "1" يكون المستوى المنطقي للخرج $Q=1$ (الحالة الفعالة) بغض النظر عن حالة Q السابقة، وفي نفس الوقت يكون المستوى المنطقي للخرج $\overline{Q}=0$. وإذا أثرنا على المدخل R بالمستوى المنطقي "1" يصبح الخرج $\overline{Q}=1$ بينما يصبح الخرج $Q=0$ (الحالة غير الفعالة)، أما إذا أثرنا على كل من S, R في نفس الوقت بالمستوى المنطقي "1" فإن مستوى الخرج المنطقي لا يمكن التنبؤ به "Unpredictable"، ويجب تفادي ذلك حتى نتجنب الخلل في عمل دائرة الماسك.

ويمكن بناء دائرة الماسك SR من بوابتي NOR باستخدام خاصية التغذية الخلفية المرتدة من مخرج إحدى البوابتين إلى مدخل البوابة الآخرى كما هو موضح في الشكل (٤ -٢).



الشكل(٤ -٢): دائرة الماسك SR ذات المداخل الفعالة العالية.

ونظرًا لأن المستوى المنطقي الفعال لبوابة NOR هو "1" (أي مستوى الدخل الذي يحدث عنده تغير في حالة الخرج)، لذا فإن جدول الحقيقة لدائرة الماسك في هذه الحالة يأخذ الصورة الموضحة في جدول (٤ -١)، وتسمى الدائرة في هذه الحالة بدائرة الماسك ذي المداخل الفعالة العالية "Active HighInputs".

الجدول (٤ -١): جدول الحقيقة لدائرة الماسك SR ذي المداخل العالية.

(Mode of Operation)	وضع التشغيل	الخرج	المداخل	
		Q	R	S
No Change	وضع الإمساك (عدم التغير)	Q_0	**0**	**0**
Latch RESETS	وضع غير الفعال	0	1	0
Latch SETS	وضع الفعال	1	0	1
Invalid condition	وضع الحظر أو وضع غير مسموح به	?	1	1

وبالنظر إلى جدول الحقيقة الموضح يمكننا ملاحظة الآتي:

عند وجود المستوى المنطقي "0" على المدخلين S,R في نفس الوقت لا تتغير حالة الماسك وتظل قيمة الخرج كما هي (السطر الأول بالجدول) ويعرف هذا الوضع بوضع الإمساك أو عدم التغيير Q_o.

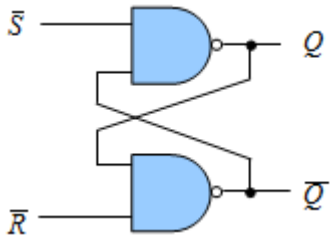
عندما يتغير المستوى المنطقي على الدخل R من "0" إلى "1"يصبح الخرج $Q=0$ (الحالة غير الفعالة) كما في السطر الثنائي بالجدول، أما إذا كان $Q=0$ أصلًا فيظل كما هو دون تغيير.

عندما يتغير المستوى المنطقي على الدخلS من "0" إلى "1" يصبح الخرج $Q=1$ (الحالة الفعالة) كما في السطر الثالث بالجدول، أما إذا كان $Q=1$ أصلًا فيظل الخرج كما هو بدون تغيير.

غير مسموح بوجود المستوى المنطقي "1" على المدخلين S,R في نفس الوقت نظرًا لأنه يمثل الحالة الفعالة للبوابة NOR، ومن ثم تصير المخارج في هذه الحالة غير معرفة كما في السطر الأخير.

حالة المخارج تتغير فقط عندما تتغير المداخل وتحتفظ المخارج بحالتها بدون أي تغير إذا ظلت المداخل بدون تغير، أي أن دائرة الماسك تمسك على حالة معينة إذا لم تتغير المداخل، ومن ثم قيل إن لها خاصية الاحتفاظ بالبيانات بصفة مؤقتة.

ويمكن بناء دائرة الماسك من بوابتي NAND كما في الشكل (٤ -٣) ونظرًا لأن المستوى الفعال لبوابة NAND هو "0" لذا فإن جدول الحقيقة في هذه الحالة يأخذ الصورة الموضحة في الجدول (٤ -٢) وتعرف الدائرة في هذه الحالة بدائرة الماسك ذي المداخل الفعالة المنخفضة "Active Low Inputs".



الشكل (٤ -٣): دائرة الماسك SR ذي المداخل الفعالة المنخفضة.

الجدول (٤ -٢): جدول الحقيقة لدائرة الماسك SR ذي المداخل المنخفضة.

المداخل		الخرج	وضع التشغيل	
$\bar{S}$	$\bar{R}$	Q		(Mode of Operation)
0	0	?	وضع الخطر أو وضع غير مسموح به	Invalid condition
0	1	1	الوضع الفعال	Latch SETS
1	0	0	الوضع غير الفعال	Latch RESETS
1	1	Q_o	وضع الإمساك (عدم التغير)	No Change

وبالنظر إلى جدول الحقيقة الموضح يمكننا ملاحظة الآتي:

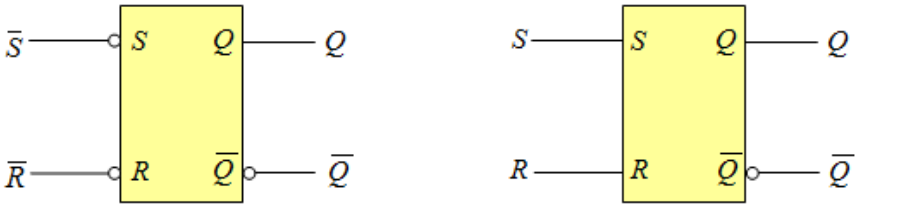
غير مسموح بوجود المستوى "0" على المدخلين في نفس الوقت نظرًا لأنه يمثل المستوى الفعال لبوابة NAND ومن ثم فإن حالة المخارج تكون غير معروفة (السطر الأول).

عندما يكون المستوى المنطقي على المداخل $\overline{S}=0$ و $\overline{R}=1$ يتغير المستوى المنطقي للخرج إلى "1" كما في السطر الثاني للجدول، أما إذا كان الخرج $Q=1$ أصلًا فيظل كما هو بدون تغيير.

عندما يكون المستوى المنطقي على المداخل $\overline{S}=1$ و $\overline{R}=0$ يتغير المستوى المنطقي للخرج إلى "0"، انظر السطر الثالث من الجدول، أما إذا كان الخرج $Q=0$ أصلاً فيظل كما هو بدون تغير.

وجود المستوى المنطقي "1" على المدخلين في نفس الوقت لا يغير حالة دائرة الماسك ويظل الخرج كما هو Q_0 (السطر الأخير).

الشكل (٤ -٤) يوضح الرمز المنطقي "Logic Symbol" لدائرة الماسك ذي المداخل الفعالة العالية ودائرة الماسك ذي المداخل الفعالة المنخفضة.



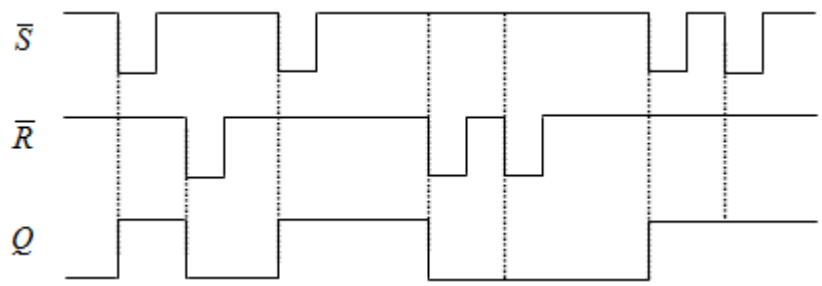
(أ) الماسك ذو المداخل المرتفعة HIGH (ب) الماسك ذو المداخل المنخفضة LOW

الشكل (٤ -٤): الرمز المنطقي لدائرة الماسك ذي المداخل الفعالة العالية والمنخفضة.

المثال التالي يوضح كيفية عمل دائرة الماسك ذي المداخل الفعالة المنخفضة وذلك عن طريق وضع نبضات على كل من $\overline{S},\overline{R}$ وملاحظة الشكل الخرج Q. وسوف نتجنب وضع $\overline{S}=0,\overline{R}=0$ حيث إن حالة الخرج لا تكون معروفة في هذه الحالة.

مثال ٤ -١: إذا كانت نبضات الدخل لكل من $\overline{S},\overline{R}$ كما في الشكل (٤ -٥). ارسم شكل نبضات الخرج Q بفرض أن الحالة التي عليها الخرج قبل تطبيق أول نبضة لكلا الدخلين هي $Q_o=0$.

الحـــــل



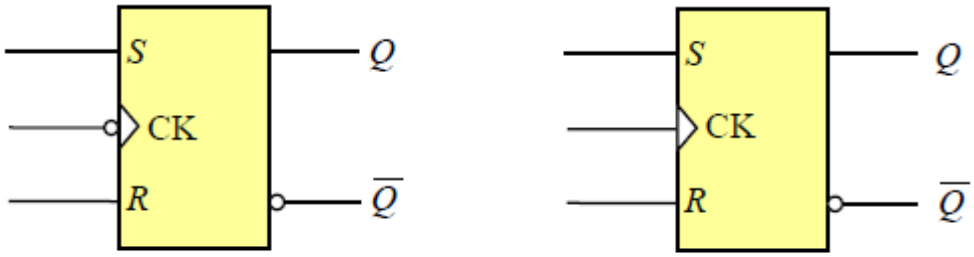
الشكل (٤ -٥): المخطط الزمني لدائرة الماسك.

٤ -١ -٢ القلاب SR المتزامن Clocked S-R Flip–Flop:

يعرف الماسك SR أو $\overline{SR}$ السابق دارسته بالماسك غير المتزامن نظرًا لتغير وضع الخرج الطبيعي Q مباشرة مع تغيير المداخل فور التأثير بالمستوى المنطقي الفعال كما يحدث في الدوائر المنطقية التوافقية، ولذلك فإن الدوائر المنطقية التوافقية ودوائر الماسك تعمل بشكل لا تزامني.

إن النظم الإلكترونية المنطقية تحتاج إلى دوائر ماسك متزامن (قلاب متزامن) للتغلب على المشاكل التي قد تحدث عن تأخير انتقال المعلومات خلال النظام مما يعوق تسلسل المعلومات طبقاًللتوقيت الزمني المطلوب، ولذا فإن القلاب SR المتزامن يعمل وفقًا لنبضات توافق أو توقيت أي يعمل تزامنياً. ويمكن القول بأن كلمة تزامن تعني أن الخرج سوف يتغير فقط عند نقطة محددة من نبضات التزامن أو ما يطلق عليها نبضات الساعة "Clock Pulse" وسوف تكتب اختصارًا CK.

الشكل (٤ -٦) يوضح الرمز المنطقي لقلاب SR المتزامن وفيه نلاحظ وجود مدخل إضافي لنبضة التزامن أو نبضة الساعة CK.

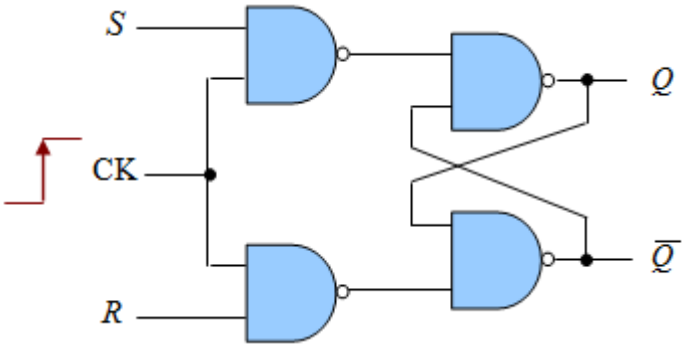


(أ) حافة النبضة الموجبة (ب) حافة النبضة السالبة

الشكل (٤ -٦): الرمز المنطقي للقلاب SR المتزامن.

في الشكل (٤ -٦(أ)) نلاحظ عدم وجود حلقة دائرية صغيرة أمام مدخل نبضة الساعة وهذا يعني أن خرج القلاب SR لن يتغير إلا مع وصول حافة النبضة الموجبة " Positive Edge Trigger" أي التغير عند الحافةمن "0" إلى "1"، بينما وجود هذه الحلقة بالشكل (٤ -٦(ب)) يعني أن خرج القلاب سوف يتغير مع وصول حافة النبضة السالبة "Negative EdgeTrigger" أي إن التغير عند الحافةمن "1" إلى "0".

يبين الشكل (٤ -٧) دائرة القلاب SR المتزامن باستخدام بوابات NAND، حيث أضيفت بوابتي NAND إلى الماسك الأساسي وذلك لإضافة خاصية التزامن له. ويتم نقل البيانات الموجودة على مدخل البيانات S,R إلى الخرج Q عندما تكون نبضة التزامن عند الحافة الموجبة حيث تعمل كنبضة سماح لنقل البيانات من الدخل إلى الخرج.



الشكل (٤ -٧): دائرةالقلاب SR المتزامن.

الجدول (٤ -٣): جدول الحقيقة لدائرة القلاب SR المتزامن.

المداخل			الخرج	وضع التشغيل	(Mode of Operation)
S	R	CK	Q		
0	0	X	Q_0	وضع الإمساك (عدم التغير)	No Change
0	1	↑	0	الوضع غير الفعال	Latch RESETS
1	0	↑	1	الوضع الفعال	Latch SETS
1	1	↑	?	وضع الخطر أو وضع غير مسموح به	Invalid condition

جدول الحقيقة (٤ -٣) يبين بالتفصيل طريقة تشغيل القلاب SR المتزامن على النحوالتالي:

عندما تصل نبضة التزامن CK إلى المدخل، بينما المداخل S,R عند المستوى المنطقي "0" فإن الخرج لا يتغير أي يظل كما كان قبل مجيء نبضة التزامن ويعرف هذا الوضع بالإمساك.

عندما يتم التأثير على المدخل R بالمستوى العالي $S=0, R=1$ وتنتقل نبضة التزامن من "0" إلى "1" فإن الخرج يصبح مساوياً للصفر "0" ويقال أن القلاب في الحالة غير الفعالة Reset.

عند التأثير على المدخل S بالمستوى المنطقي العالي $S=1, R=0$ وتنتقل نبضة التزامن من "0" إلى "1" فإن الخرج $Q = 1$ ويقال إن القلاب في الحالة الفعالة Set.

والوضع المحظور عندما يكون $S=1,R=1$ لا يستخدم كما قلنا سابقاً لأن حالة الخرج في هذه الحالة تكون غير معروفة.

ونظرية العمل وجدول الحقيقة للقلاب SR الذي يعمل مع حافة النبضة السالبة (التي تتغير من "1" إلى "0") تماثل تماماً القلاب السابق مع اختلاف واحد فقط إن التغير في الخرج سوف يحدث مع تغير نبضة التزامن من الموجب إلى السالب.

مثال (٤ -٢): ارسم شكل نبضات الخرج Q لدائرة القلاب SR والموضحة في الشكل (٤ - ٦)، إذا كانت نبضات الدخل لكل من S,R,CK كما في الشكل (٤ -٨). افترض أن دائرة القلاب تعطي خرجاً $Q=0$ قبل وصول أول نبضة من نبضات التزامن.

الحـــــل

عند نبضة التزامن الأولى: $S=0,R=0$ ، وبالتالي الخرج Q لن يتغير أي إن $Q=0$.

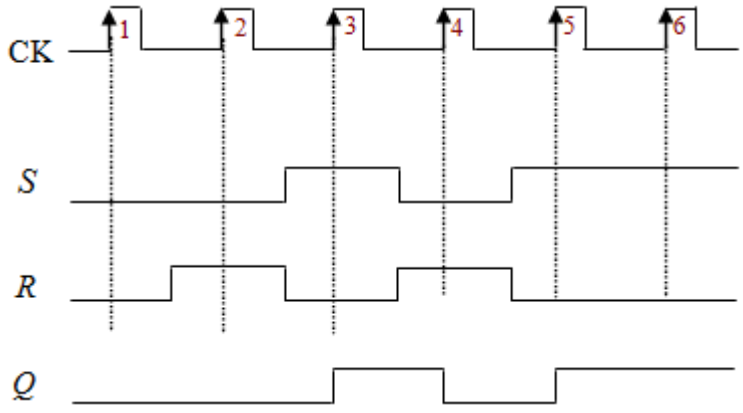
عند نبضة التزامن الثانية: $S=0,R=1$ ، وبالتالي يظل الخرج $Q=0$ (Reset).

عند نبضة التزامن الثالثة: $S=1,R=0$ ، وبالتالي يتحول الخرج Q إلى "1" أي إن $Q=1$ (Set).

عند نبضة التزامن الرابعة: $S=0,R=1$ ، وبالتالي يكون الخرج $Q=0$ (Reset).

عند نبضة التزامن الخامسة: $S=1,R=0$ ، وبالتالي يكون الخرج $Q=1$ (Set).

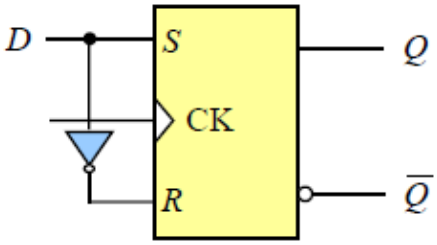
عند نبضة التزامن السادسة: $S=1,R=0$ ، وبالتالي يظل الخرج يساوي "1" أي إن $Q=1$.



الشكل (٤ -٨): المخطط الزمني لدائرة القلاب SR.

٤ -١ -٣ دائرة القلاب من النوع "D" D-Type Flip-Flop:

دائرة القلاب من النوع D يمكن استخدامها كوحدة تخزين لخانة واحدة "Single Bit" من المعلومات "0 أو 1". وبإضافة بوابة عاكس إلى دائرة القلاب SR المتزامن تتحول إلى دائرة قلاب من النوع D كما هو موضح في الشكل (٤ -٩).



الشكل (٤ -٩): دائرة القلاب من النوع D.

نلاحظ أن دائرة القلاب من النوع D بدخل واحد فقط وهو الدخل D بالإضافة إلى نبضة التزامن CK. فإذا كان D عند المستوى المنطقي "1" يكون الدخل $S=1$ والدخل $R=0$ ،وعندما تصل نبضة التزامن إلى المدخل CK، فإن خرج دائرة القلاب يكون هو المستوى المنطقي "1"(Set) . وإذا كان D عند المستوى المنطقي "0" يكون الدخل $S=0$ والدخل $R=1$ ،وعندما تصل نبضة التزامن إلى المدخل CK، فإن خرج دائرة القلاب يكون هو المستوى المنطقي "0"(Reset).

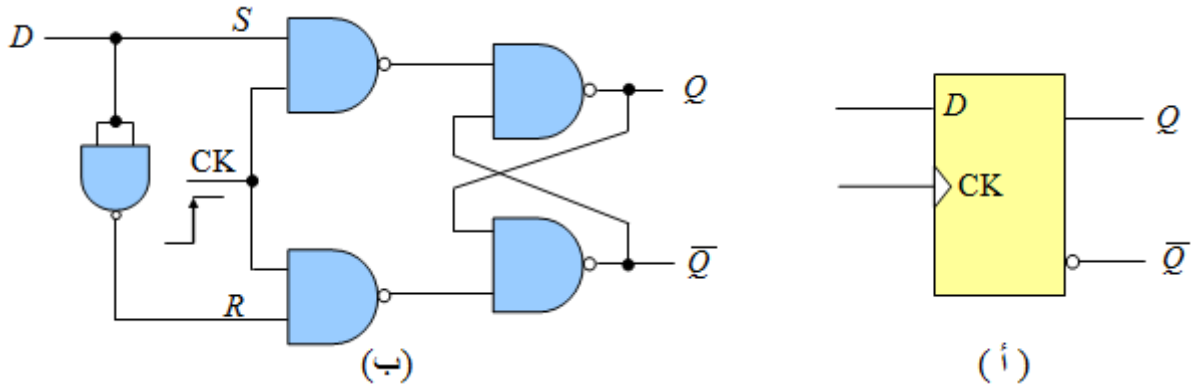
في الحالة الفعالة "Set" نقول إنه تم تخزين "1" بدائرة القلاب، وفي الحالة غير الفعالة "Reset" نقول إنه تم تخزين "0" بدائرة القلاب. وطريقة التشغيل السابقة لدائرة القلاب من النوع D والذي يتغير الخرج له عند الحافة الموجبة لنبضة التزامن "Positive Edge Trigger" موضحة في الجدول (٤ -٤).

الجدول (٤ -٤): جدول الحقيقة لدائرة القلاب D المتزامن.

المداخل		الخرج	وضع التشغيل	(Mode of Operation)
D	CK	Q		
1	↑	1	الحالة الفعالة	(SET) (stores 1)
0	↑	0	الحالة غير الفعالة	(RESET) stores 0)

ونلاحظ من الجدول أن الخرج Q يتبع الدخل D عند وصول نبضة التزامن. ويوضح الشكل (٤ -١٠ (أ)) الرمز المنطقي للقلاب ذي المدخل الواحد D للبيانات بالإضافة إلى مدخل

نبضات التزامن CK ويسمى القلاب أحيانًا بقلاب التأخير الزمني "Delayed time Filp-flop". كما أن بناء دائرة القلاب D باستعمال بوابات NAND موضح بالشكل (٤ -١٠ (ب)).

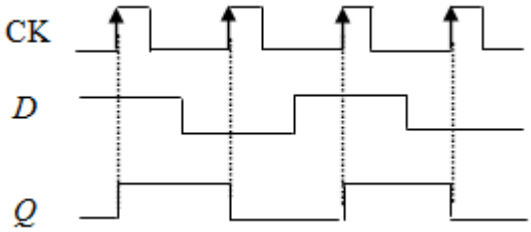


الشكل (٤ -١٠): رمز دائرة القلاب D وبناؤه باستعمال بوابات NAND.

مثال (٤ -٣): ارسم شكل نبضات الخرج Q لدائرة القلاب من النوع D والموضحة في الشكل (٤ -١٠) إذا كان شكل نبضات الدخل D كما في الشكل (٤ -١١). افرض أن دائرة القلاب تعطي خرجاً $Q = 0$ قبل وصول أول نبضة تزامنية.

الحـــــل

الخرج Q يتبع حالة الدخل D عند الوقت الذي تتغير فيه نبضة التزامن من "0" إلى "1" أي عند الحافة الموجبة.

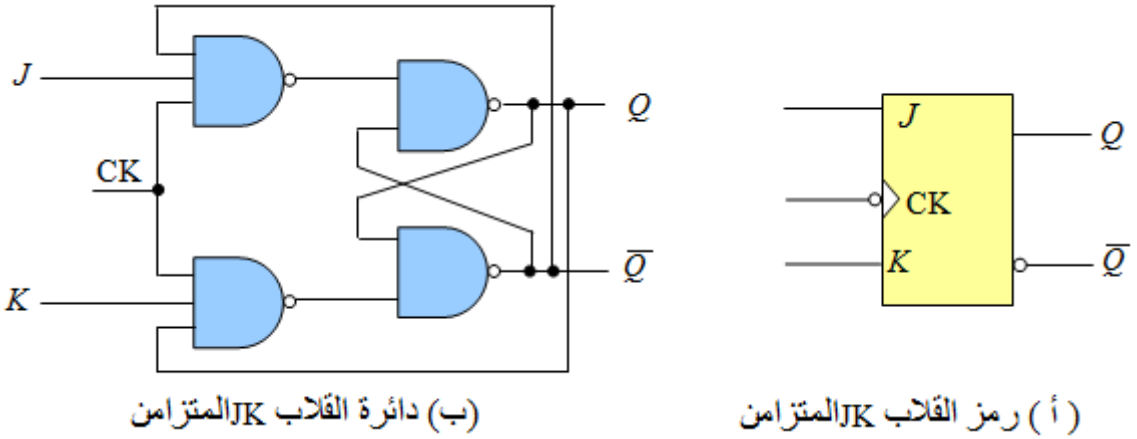


الشكل (٤ -١١) المخطط الزمني لدائرة القلاب من النوع D.

٤ -١ -٤ القلاب JK المتزامن Clocked JK Flip Flop:

تعتبر دائرة القلاب JK من أكثر أنواع القلابات استخداماً. والرمزان J, K يمثلان الدخل. وطريقة عمل القلاب JK تماثل تمامًا القلاب SR في الأوضاع الثلاثة الأولى للتشغيل وهي عدم التغير أو الإمساك والحالة الفعالة (Set) والحالة غير الفعالة (Reset). والفرق فقط أن القلاب JK ليس له حالة حظر كما هو الحال في حالة القلاب SR.

الشكل (٤ -١٢) يبين دائرة القلاب JK المتزامن وكذلك الرمز المنطقي له. وكما ذكرنا سابقًا فإن هذا القلاب يقوم بجميع أعمال القلاب SR المتزامن يضاف إليها السماح بتحديد شروط الخرج عندما تكون المداخل J,K عند المستوى المنطقي "1" وفي وجود نبضة التزامن.



(ب) دائرة القلاب JK المتزامن (أ) رمز القلاب JK المتزامن

الشكل (٤ -١٢): دائرة القلاب JK المتزامن والرمز المنطقي له.

نلاحظ من الشكل (٤ -١٢) أن دائرة هذا القلاب مختلفة عن دائرة القلاب SR حيث إن الخرجين Q ، $\overline{Q}$ موصلان على الدخل مرة آخرى.

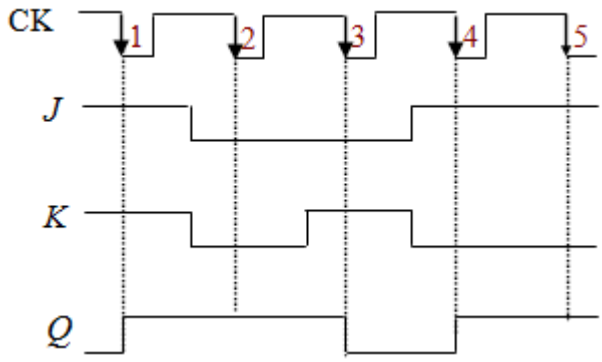
والجدول (٤ -٥) يوضح جدول الحقيقة للقلاب JK، ويبين السطر الأول حالة الإمساك أو عدم التغيير عندما يكون كل من J,K مساويًا للصفر "0"، بينما يبين السطر الثاني من الجدول حالة الخمول أو المسح (Reset) أو الحالة "0" عندما تكون المداخل $J=0,K=1$ مع وصول نبضة التزامن، أما السطر الثالث فيبين الوضع في الحالة الفعالة (Set) للقلاب JK عندما تكون المداخل $J=1,K=0$ مع وصول نبضة التزامن. ويبين السطر الرابع حالة هامة من حالات القلاب JK تسمى وضع التبديل "Toggle"، فعندما يكون كلُ من الدخلين J,K في المستوى المنطقي "1" فإن الخرج Q يتحول إلى الحالة العكسية له عندما تصل نبضة التزامن إلى المدخل CK.

الجدول (٤ -٥): جدول الحقيقة للقلاب JK المتزامن.

المداخل			الخرج	وضع التشغيل	(Mode of Operation)
J	K	CK	Q		
0	0	↓	Q_0	وضع الإمساك (عدم التغير)	No Change
0	1	↓	0	الوضع غير الفعال	(RESET)
1	0	↓	1	الوضع الفعال	(SET)
1	1	↓	$\overline{Q}$	وضع التبديل	Toggle

مثال (٤ -٤): ارسم شكل نبضات الخرج Q لدائرة القلاب JK والموضحة في الشكل (٤ - ١٢) إذا كان شكل نبضات الدخل لكل من JK وكذلك CK موضحًا في الشكل (٤ - ١٣). افترض أن القلاب يعطي خرجاً $Q = 0$ قبل وصول أول نبضة تزامن.

الحـــــل



الشكل (٤ -١٣): المخطط الزمني لدائرة القلاب JK المتزامن.

عند وصول نبضة التزامن الأولى، كل من J,K يساوي "1" ولأن هذا هو وضع التبديل فإن الخرج Q يتحول إلى المستوى "1".

عند نبضة التزامن الثانية يكون وضع الإمساك أو عدم التغيير نظرًا لأن $J = K = 0$.

عند حدوث النبضة الثالثة، يكون $J = 0, K = 1$ وهو وضع Reset وبالتالي تكون $Q = 0$.

عند حدوث النبضة الرابعة، يكون $J = 1, K = 0$ وهو وضع Set وعليه يكون $Q = 1$.

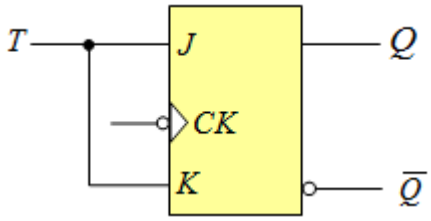
الوضع Set يستمر مع وصول النبضة الخامسة نظرًا لعدم تغير J,K وبالتالي يظل الخرج Q على الوضع "1".

٤ -١ -٥ دائرة القلاب من النوع "T" T-Type Flip-Flop:

دائرة القلاب من النوع T يمكن بناؤها من دائرة القلاب JKالمتزامن وذلك بربط كل من الدخلين J,K مع بعضهما البعض كما هو موضح في الشكل (٤ -١٤)، ومنه نلاحظ أن القلاب من النوع T له دخل واحد فقط وهو الدخل T بالإضافة إلى نبضة التزامن. والرمز T هو اختصار لكلمة (Toggle) وتعني التبديل أو تغيير الحالة.

عند توصيل الدخل T بالمستوى المنطقي "1" مع تغذية المدخل CK بنبضات التزامن، ومع استمرار تدفق نبضات التزامن على المدخل CK يبدأ الخرج في التبديل أو التغيير ويحدث

التبديل عند الطرف الهابط لنبضة التوقيت وهو ما تشير إليه الدائرة الصغيرة أمام المدخل CK في الشكل (٤ -١٤). وجدول الحقيقة(٤ -٦) يوضح عمل القلاب من النوع T.



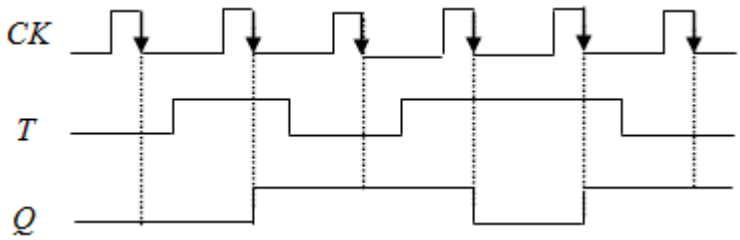
الشكل (٤ -١٤): الرمز المنطقي لدائرة القلاب من النوع T.

الجدول (٤ -٦): جدول الحقيقة للقلاب من النوع T.

المداخل		الخرج	وضع التشغيل	(Mode of Operation)
T	CK	Q		
0	↓	Q_0	وضع الإمساك (عدم التغير)	No Change
1	↓	$\overline{Q}_0$	وضع التبديل	Toggle

مثال (٤ -٥): ارسم شكل نبضات الخرج Q لدائرة القلاب من النوع T إذا كان الدخل T وكذلك الدخل CK كما في الشكل (٤ -١٥) وبافتراض أن القلاب يعطي خرجاً $Q=0$ قبل وصول أول نبضة تزامن.

الحـــــل



الشكل (٤ -١٥): المخطط الزمني لدائرة القلاب من النوع T.

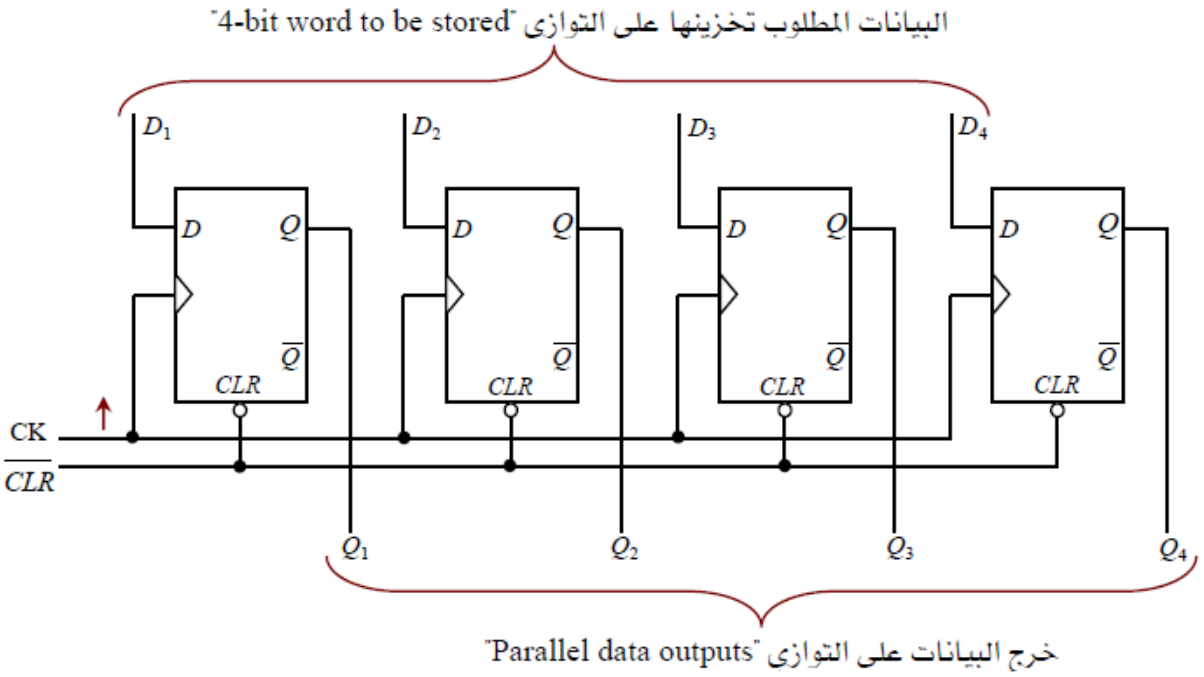
من الشكل نجد أن الخرج Q يتغير إذا كانت T=1 وذلك مع نبضة التزامن الهابطة، فعند النبضة الأولى $T=0$ وبالتالي فإن الخرج Q لن يتغير، وعند النبضة الثانية $T=1$ تتغير Q من "0" إلى "1" وهكذا.

٤ -٢ مسجلات الإزاحة Shift Registers:

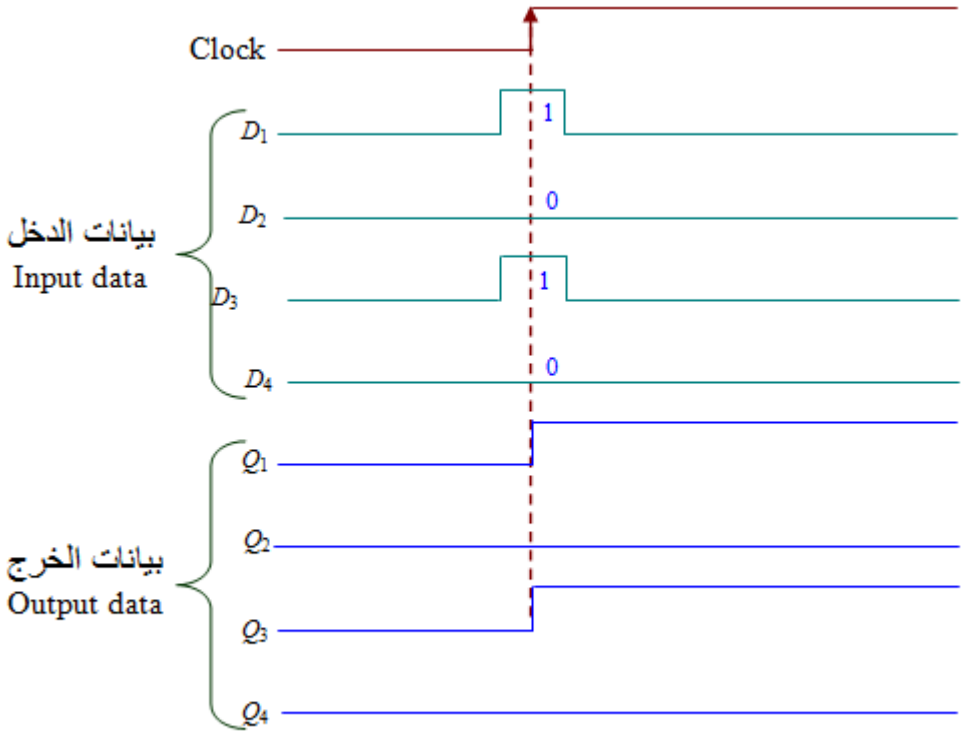
تعتبر المسجلات أحد أنواع الدوائر المنطقية التعاقبية، وتستخدم المسجلات عادة لتخزين البيانات، ومن دراستنا السابقة للدوائر القلابة وجدنا أنه يمكن تخزين رقم ثنائي مفرد "Bit" بواسطة دائرة قلاب مفرد، ومن ثم يمكن توصيل عدد من الدوائر القلابة معًا لبناء ما يعرف بالمسجل، والذي يستخدم كذاكرة مؤقتة لتخزين كمية صغيرة من البيانات ولفترة زمنية قصيرة وذلك تمهيدًا لنقلها كما في مسجلات النقل أو العزل "Buffer Register" أو لإزاحة البيانات إلى اليسار "Left Shift" أوإلى اليمين "Right Shift" أو تحويل البيانات المتوالية "Serial Data" إلى بيانات متوازية "Parallel Data" والعكس كما في مسجلات الإزاحة"Shift Registers".

٤ -٢ -١ مسجلات العزل Buffer Registers:

مسجل العزل ببساطة يستخدم لتخزين كلمة رقمية "Digital word" مكونة من مجموعة من الأرقام الثنائية "Bits". الشكل(٤ -١٦(أ)) يوضح كيفية بناء مسجل عزل باستخدام دوائر القلابات من النوعDمكون من أربع مراحل "4-stages" والتي يتم تنشيطها عند الحافة الموجبة لنبضة التزامن "Positiveedge-triggered".



(أ) مسجل عزل مكون من أربع مراحل باستخدام دوائر القلابات من النوع D



(ب) المخطط الزمني لمسجل العزل

الشكل(٤ -١٦): مسجل العزل ذو الأربعة مراحل.

البيانات المطلوب تخزينها تتكون من أربعة أرقام ثنائية "4-bits"، يتم تطبيقها على المداخل D_4D_3,D_2,D_1, للمسجل وتظهر على المخارج Q_4Q_2, Q_3,Q_1, عند حدوث أول نبضة تزامن موجبة عند مدخل نبضات التزامن CK كما هو موضح في الشكل(٤ -١٦ (ب)).وهذه البيانات تكون موجودة بصفة مستمرة على الخرج.

وحيث إنه تم إدخال كلمة مكونة من أربعة أرقام ثنائية على التوازي لمدخل المسجل، وتم إخراجها على التوازي أيضاً، لذلك فإن مسجلات العزل غالبًا ما تسمى بالمسجلات متوازية المدخل -متوازية الخرج "Parallel-in, Parallel-out Registers". هناك دخل آخر يسمى دخل المسح "Clear-input" والمنشط عند الحافة السالبة "Active-low"وهو يستخدم لمسح جميع دوائر القلابات.

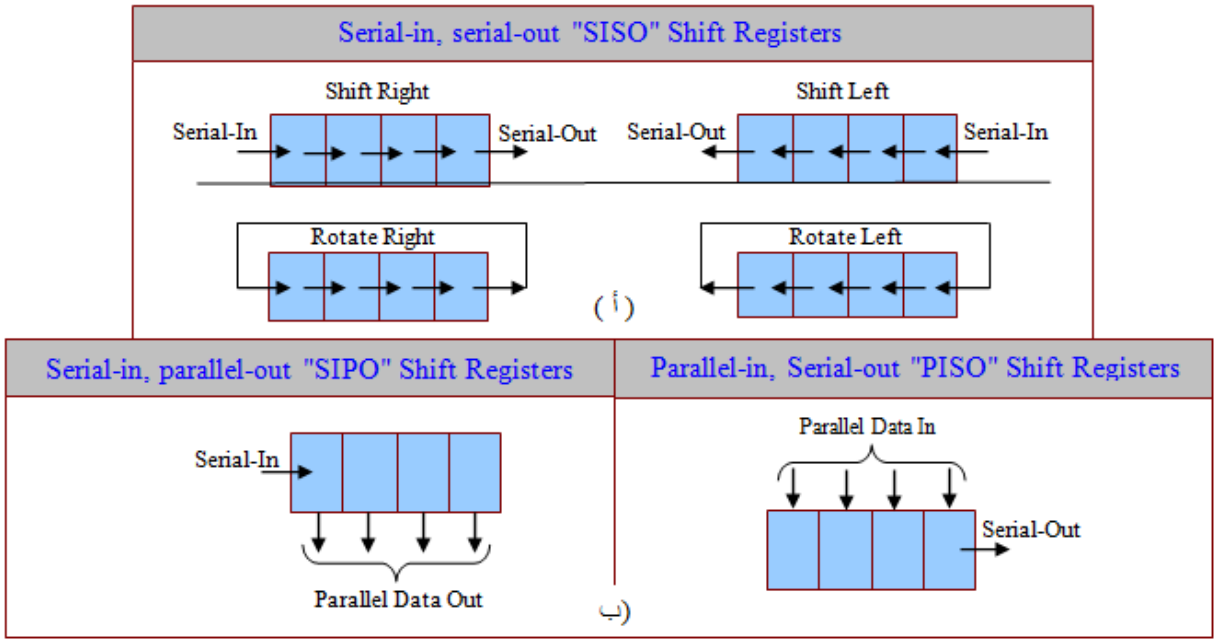
٤ -٢ -٢ مسجلات الإزاحة Shift Registers

مسجل الإزاحة هو مسجل لتخزين البيانات تمهيدًا لتحريكها "move" أو إزاحتها "Shift" يسارًا أو يميناً، والأنواع الثلاثة الأساسية لمسجلات الإزاحة موضحة بالشكل (٤ -١٧)وهي:

مسجلات إزاحة متوالية المدخل – متوالية الخرج "Serial-in, Serial-out Shift "SISO.

مسجلات إزاحة متوالية المدخل – متوازية الخرج "Serial-in, Parallel-out Shift "SIPO.

مسجلات إزاحة متوازية المدخل – متوالية الخرج "Parallel-in, Serial-out Shift "PISO.



الشكل(٤ -١٧): تصنيف مسجلات الإزاحة.

٤ -٢ -٢ -١ مسجلات الإزاحة متوالية المدخل - متوالية الخرج "SISO"

الجدول (٤ -٧) يوضح كيفية عمل مسجل الإزاحة. ففي هذا المثال نجد أن المسجل يحتوي على البيانات 0110 (محتوى ابتدائي) بينما البيانات الخارجية المتوالية 1001 موجودة على دخل المسجل في انتظار حدوث إزاحة لها.

الجدول (4-7): كيفية عمل مسجل الإزاحة.

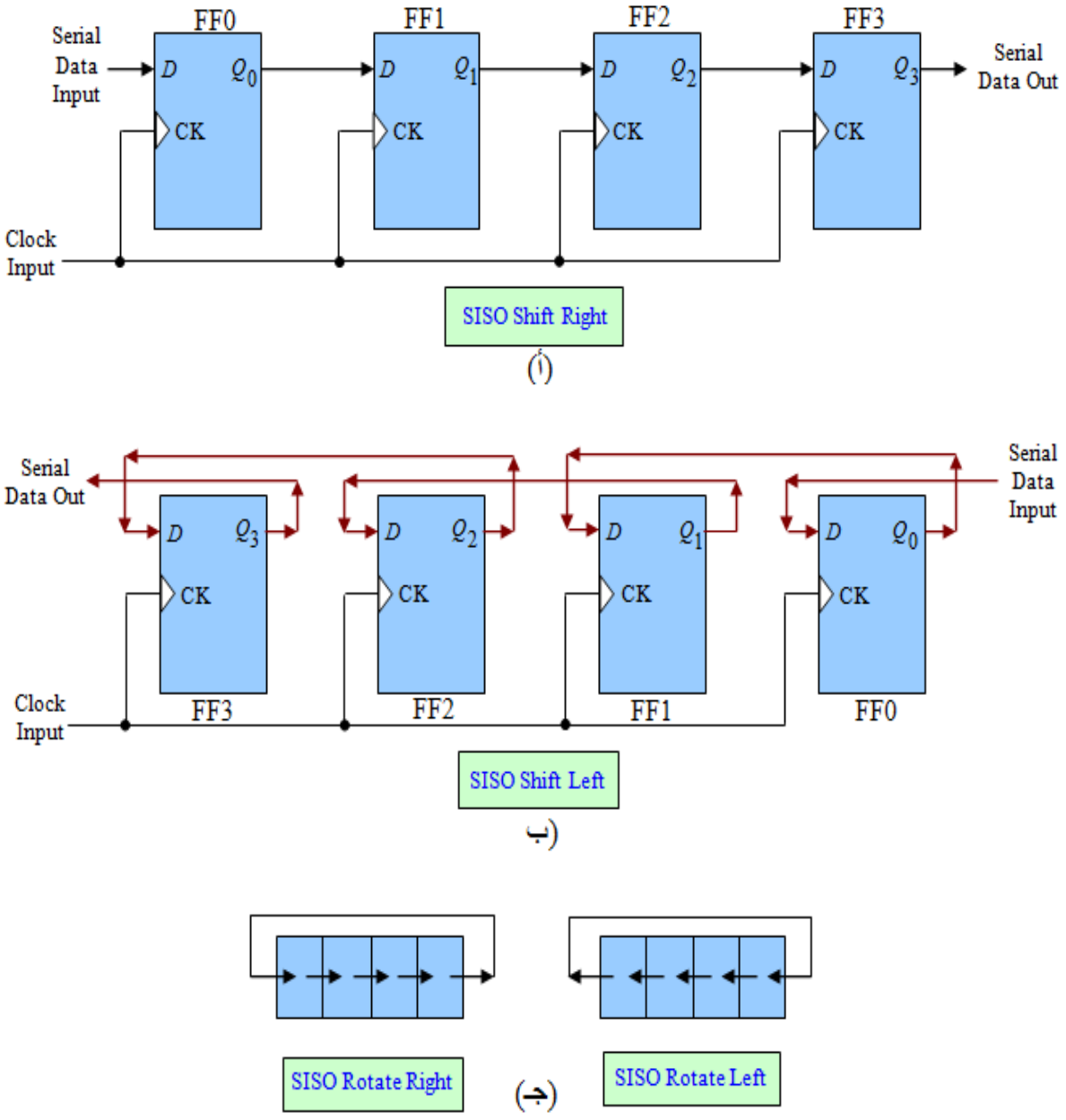
نبضات التزامن	البيانات المراد تخزينها	خرج المسجل			
Clock	Input	Q_0	Q_1	Q_2	Q_3
-	-	0	1	1	0
1st	1	1	0	1	1
2nd	0	0	1	0	1
3rd	0	0	0	1	0
4th	1	1	0	0	1

بعد نبضة التزامن الأولى 1st Clock pulse، يتم إزاحةالبيانات المخزنة بالمسجل بمقدار خانة واحدة إلى اليمين وفي نفس الوقت فإن الرقم الأول من البيانات الخارجية المتوالية سيتم إزاحته داخل الخانة الأولى من المسجل. بعد نبضة التزامن الثانية 2nd Clock pulse، يكون هناك رقمان من الأرقام المخزنة "0110" قد تمت إزاحتها خارج المسجل بينما تم تخزين رقمين من الأرقام الخارجية المتوالية "1001". بعد نبضة التزامن الثالثة، ثلاث إزاحات في اتجاه اليمين تكون قد تمت. وبعد نبضة التزامن الرابعة، فإن البيانات الأصلية المخزونة "0110" تكون قد حدث لها إزاحة خارج المسجل، بينما البيانات المطبقة على الدخل "1001" حدث لها إزاحة بالكامل داخل المسجل وهي الآن مخزنة فيه.

الشكل(٤ -١٨(أ)) يوضح مسجل إزاحة مكون من أربع مراحل 4-bits وذلك باستخدام دائرة القلاب من النوع D. البيانات المتوالية يتم إدخالها إلى الطرف D لدائرة القلاب الأولى FF0،وخرج دائرة القلاب الأولى Q_0 يوصل إلى الدخل D لدائرة القلاب الثانية FF1، وخرج دائرة القلاب الثانية Q_1 يوصل إلى الدخل لدائرة القلاب الثالثة FF2، وخرج دائرة القلاب الثالثة Q_2 يوصل إلى الدخل لدائرة القلاب الرابعة FF3، وخرج دائرة القلاب الرابعة Q_3 يمثل الخرج المتوالي النهائي لدائرة المسجل.

نبضات التزامن "Clock input" توضع لحظيًا على كل القلابات، ومع كل حافة موجبة "Positiveedge" من النبضات تتم إزاحة خانة واحدة 1-bitمن بيانات الدخل إلى المسجل، وبالتالي فإن مسجل الإزاحة متوالي الدخل – متوالي الخرج يحتاج إلى أربع نبضات تزامن ليتم تسجيل البيانات الأربعة الموجودة على المدخل، ومن ناحية أخرى فإن هذا المسجل يحتاج إلى أربعة نبضات أخرى لإزاحة المعلومات إلى الخارج.

الدائرة في الشكل (٤ -١٨(أ)) تبين كيفية توصيل أربعة دوائر قلابة من النوع D وذلك لبناء مسجل إزاحة إلى اليمين من النوع متوالي الدخل – متوالي الخرج " SISO Shift-Right Shift Register". والدائرة في الشكل(٤ -١٨(ب)) توضح كيفية بناء مسجل إزاحة إلى اليسار مكون من أربعة دوائر قلابة من النوع D على الشكل متوالي الدخل – متوالي الخرج " SISO Shift-Left Shift Register".



الشكل (٤ -١٨): مسجل إزاحة إلى اليمين واليسار ودوران يمين ويسار مكون من أربع مراحل.

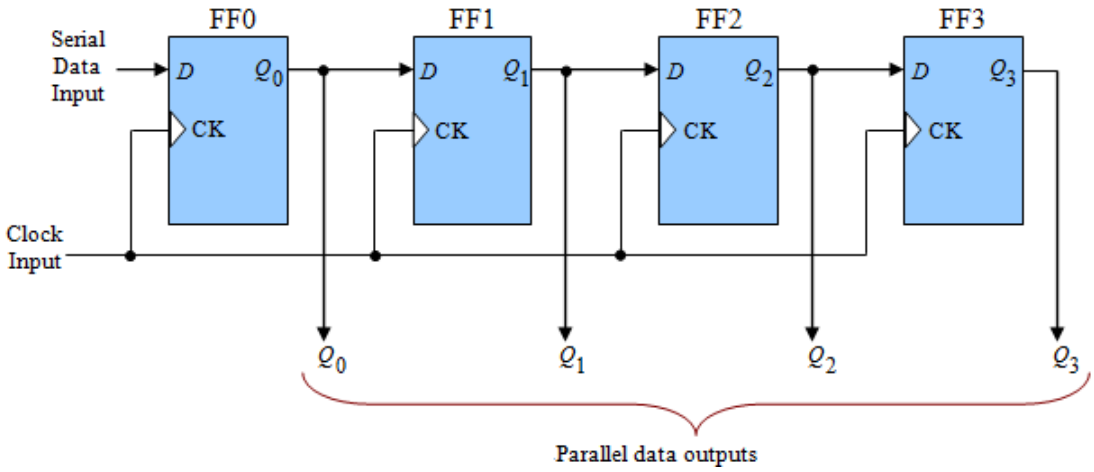
في بعض التطبيقات يتم توصل البيانات المتوالية في الشكل(٤ -١٨(أ))، والشكل(٤ - ١٨(ب)) مباشرة للخلف مرة أخرى إلى طرف الدخل المتوالي للمسجل، بمعنى أن البيانات الخارجة يتم تسجيلها مرة أخرى دون أن تُفقد وتسمى هذه العمليات كما هو موضح في الشكل(٤ -١٨(جـ))باسم توالي المدخل – توالي الخرج دوران يمين "SISO Rotate-Right" أوتوالي المدخل – توالى الخرج دوران يسار "SISO Rotate-Left".

٤ -٢ -٢ -٢ مسجلات إزاحة متوالية الدخل - متوازية الخرج:

"SIPO"Serial-in, Parallel out Shift Registers

الشكل (٤ -١٩) يوضح النوع الثاني من مسجلات الإزاحة والذي يسمى بمسجل الإزاحة متوالي الدخل – متوازي الخرج.

ولإدخال البيانات في هذا المسجل، يتم تطبيق البيانات المتوالية والمكونة من 4-bits على مدخل البيانات على التوالي "Serial data input" وتتم إزاحتها تحت التحكم في نبضات الدخل المتزامنة (إزاحة واحدة في اتجاه اليمين لكل نبضة).



الشكل (٤ -١٩): مسجل إزاحة متوالي الدخل -متوازي الخرج.

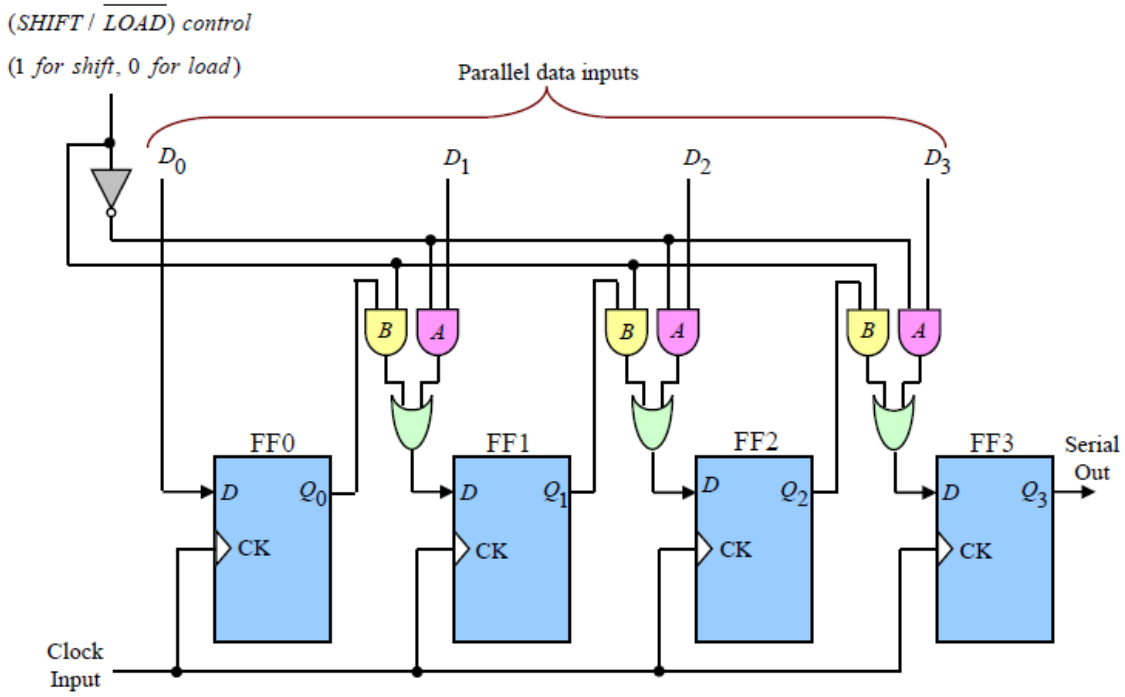
ولإدخال أو تخزين كلمة مكونة من أربعة أرقام "4-bits" على التوالي داخل هذا المسجل نحتاج إلى أربع نبضات تزامن. البيانات المخزونة داخل مسجل الإزاحة تكون موجودة على المخارج الأربعة Q_3,Q_2,Q_1,Q_0 كأربعة أرقام "4-bits" خرج على التوازي.

٤ -٢ -٢ -٣ مسجلات إزاحة متوازية الدخل - متوالية الخرج:

"PISO"Parallel-in, Serial-outShift Registers

الشكل (٤ -٢٠) يوضح كيف يمكن بناء مسجل مكون من أربعة مراحل من النوع متوازي الدخل – متوالي الخرج وذلك باستخدام دوائر القلابات من النوع D. يتم التحكم في الدائرة عن طريق طرف تحكم الدخل $SHIFT/\overline{LOAD}$. عندما يكون طرف التحكم $SHIFT/\overline{LOAD}$ في الوضع Low، فإن جميع البوابات AND على اليمين والمرمزة A تكون نشطة "Enabled" نتيجة لعكس إشارة التحكم هذه عن طريق العاكس "Inverter". هذه

البوابات الفعالة تعمل على توصيل البيانات من خطوط الدخل للبيانات D_3,D_2,D_1,D_0 إلى مداخل البيانات على دوائر القلابات. عند وصول نبضة التزامن "Clock pulse"، فإن هذه البيانات سوف يتم تخزينها داخل المسجل وتظهر على المخارج Q_3,Q_2,Q_1,Q_0.



الشكل (٤ -٢٠): مسجل إزاحة متوازي الدخل -متوالي الخرج.

وعندما يكون طرف التحكم $SHIFT / \overline{LOAD}$ في الوضع High، فإن جميع البوابات AND على اليساروالمرمزة B تكون فعالة أو نشطة Enabled. هذه البوابات الفعالة توصل الخرج Q_0 إلى الدخل D لدائرة القلاب الثانية FF1، وتوصل الخرج Q_1 إلى الدخل لدائرة القلاب الثالثة FF2، وكذلك توصل الخرج Q_2 إلى دخل دائرة القلاب الرابعة FF3. وفي هذا الوضع، فإن البيانات المخزنة داخل مسجل الإزاحة سوف تحدث لها إزاحة جهة اليمين وبمقدار خانة واحدة "1-bit" مع كل نبضة من نبضات التزامن الموجودة على الدخل "Clock input".

٤ -٣ العدادات Counters:

العدادات مثل المسجلات يمكن بناؤها من دوائر القلابات. يصمم المسجل كي يقوم بتخزين عدد من الخانات الثنائية "Binary bits"،بينما الخانات الثنائية التي يتم تخزينها عن طريق

العداد تمثل عدد نبضات التزامن التي دخلت على مدخل نبضات التزامن "Clock input"، ونبضات التزامن المطبقة على العداد تعمل على تغيير حالة دوائر القلابات المصمم منها العداد وبملاحظة خرج دوائر القلابات يمكننا تحديد عدد نبضات التزامن التي تم تطبيقها على مدخل العداد.

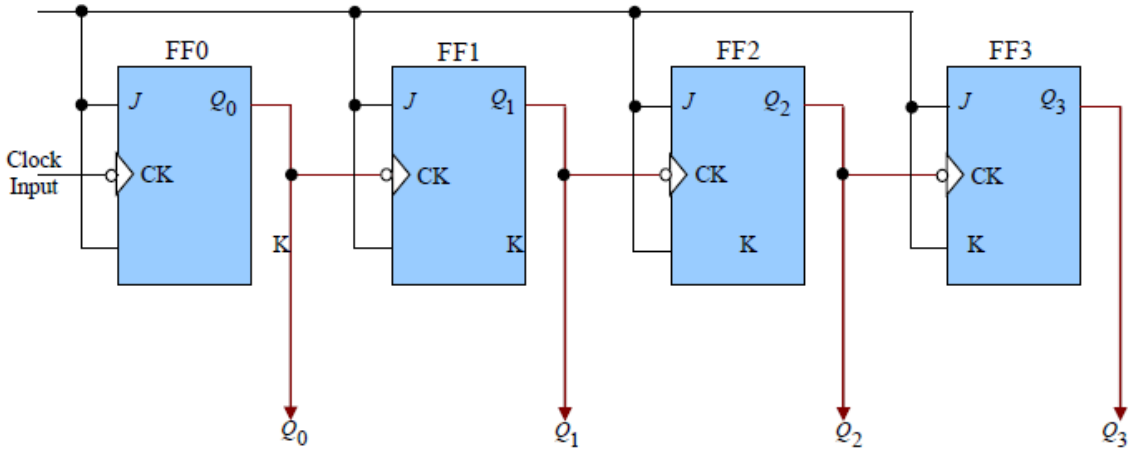
وهناك نوعان أساسيان من دوائر العدادات أحدهما يسمى بالعدادات غير المتزامنة "Asynchronous Counters" والآخر يسمى بالعدادات المتزامنة "Synchronous Counters". والفرق الرئيس بين هذين النوعين هو طريقة توصيل نبضات التزامن بين الدوائر القلابة التي يتكون منها العداد.

٤ -٣ -١ العدادات الثنائية التصاعدية غير المتزامنة:

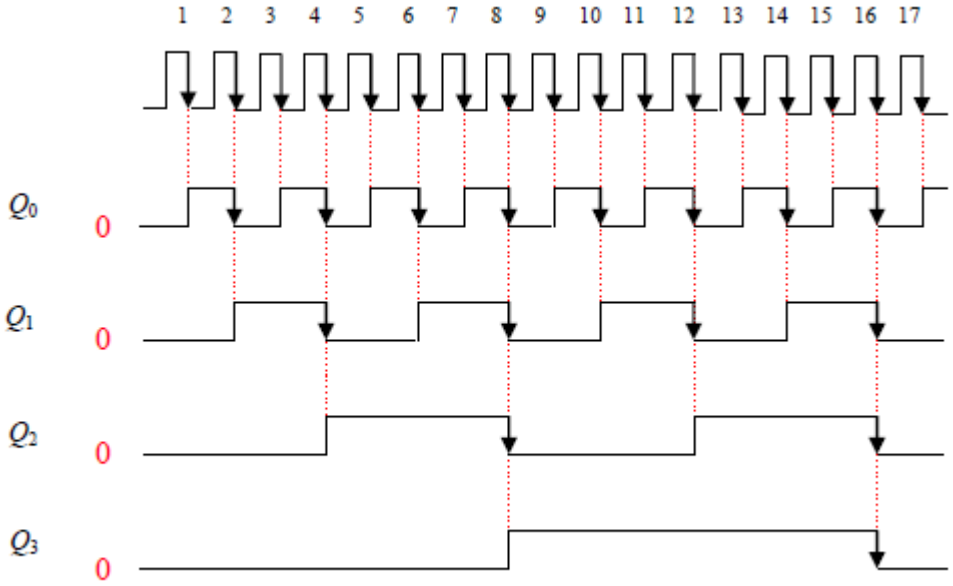
الشكل(٤ -٢١(أ)) يوضح كيفية بناء عداد غير متزامن تصاعدي مكون من أربعة مراحل، كل مرحلة عبارة عن القلاب JK المتزامن. في هذه الدائرة نرى أن جميع دوائر القلابات موصلة على التوالي بمعنى أن الخرج لإحدى دوائر القلابات سوف يستخدم كنبضات تزامن للقلاب الذي يليه.

ويلاحظ أن الدخل *J,K* لجميع القلابات موصل بالمستوى High، وعلى ذلك فإن خرج كل دوائر القلابات سوف يحدث له تبديل "Toggle"مع كل حافة سالبة "Negative edge" من نبضات التزامن. أشكال الموجات لنبضات التزامن الرئيسة لهذه الدائرة مع الخرج *Q* لكل دائرة قلاب موضحة في الشكل(٤ -٢١(ب)).

الخرج Q3,Q2,Q1,Q0 تمثل الكلمة المكونة من أربع خانات "4-bit word" والتي نفترض أنها عند بداية العد تساوي 0000 كما هو موضح في أقصى اليسار من الشكل الموجي للنبضات وموضحة أيضًا في السطر الأول من جدول الحقيقة المبين في جدول (٤ -٨). خرج دائرة القلاب FF0 يمثل خانة LSB للخرج Q0 بينما يمثل خرج دائرة القلاب FF3 خانة MSB للخرجQ3.



(أ) بناء عداد غير متزامن تصاعدي مكون من ٤ مراحل



(ب) أشكال الموجات لنبضات التزامن

الشكل (٤ -٢١): عداد تصاعدي غير متزامن مكون من أربعة مراحل مع أشكال النبضات.

ونلاحظ أن دائرة القلاب FF0 تنشط عن طريق نبضات التزامن الرئيسة "Clock input"، وبالتالي فإن الخرج Q_0 يحدث له تبديل "Toggle" مع كل نبضة من نبضات الدخل التزامنية كما هو موضح على الخرج Q_0 في الشكل(٤ -٢١(ب))، وهذا يعني أن الحافة السالبة الأولى لنبضة التزامن سوف تجعل Q_0 يتبدل من "0" إلى "1" والحافة السالبة الثانية سوف تجعله يتبدل من "1" إلى "0" وهكذا. وهذا الخرج Q_0 موصل كنبضات تزامن إلى دخل دائرة القلاب FF1، وعليه فإن كل حافة سالبة من Q_0 سوف تجعل الخرج Q_1 يتبدل "Toggle". وبالمثل فإن

كل حافة سالبة من Q_1 سوف تجعل الخرج Q_2 يتبدل، وكل حافة سالبة من Q_2 سوف تجعل الخرج Q_3 يتبدل.

جدول (٤ -٨): جدول الحقيقة للعداد التصاعدي غير المتزامن.

خرج العداد				
Q_3	Q_2	Q_1	Q_0	العشري
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	13
1	1	1	1	15

Cycle Repeats

Binary Count

•أقصى عد للعداد (N) :

بالنظر إلى جدول الحقيقة للعداد والموضح في الجدول (٤ -٨)، نجد أنه بعد النبضة التزامنية الأولى يكون خرج العداد 0001، وبعد النبضة التزامنية الثانية يكون الخرج 0010، وبعد النبضة التزامنية الثالثة يكون الخرج 0011... وهكذا. وأقصى عدد ممكن أن يصل إليه العداد محكوم بعدد دوائر القلابات المصمم منها العداد، ويمكن حساب أقصى عدد يصل إليه العداد قبل تكرار الدورة Maximum count before cycle repeats من العلاقة:

$$N = 2^n - 1 \quad (4\text{-}1)$$

حيث: n هي عدد دوائر القلابات في دائرة العداد " Number of flip-flops in the counter circuit".

وفي دائرة العداد الموضحة في الشكل(٤ -٢١ (أ)) فإن أقصى عدد للعداد هو :

$$N = 2^n - 1 = 2^4 - 1 = 16 - 1 = (15)_{10} \equiv (1111)_2 \quad (4\text{-}2)$$

- **مقياس العداد** Modulus of Counter MOD :

يعرف مقياس العداد "Modulus of counter" أو باختصار MOD بأنه عدد التشكيلات المختلفة لخرج العداد. وكمثال على ذلك فإن العداد الموضح في الشكل(٤ -٢١(أ)) له MOD يساوي 16 لأن العداد يولد 16 خرجًا مختلفاً من 0000 إلى 1111كما هو موضح في جدول الحقيقة (٤ -٨). كما يمكن حساب MOD لأي عداد باستخدام العلاقة:

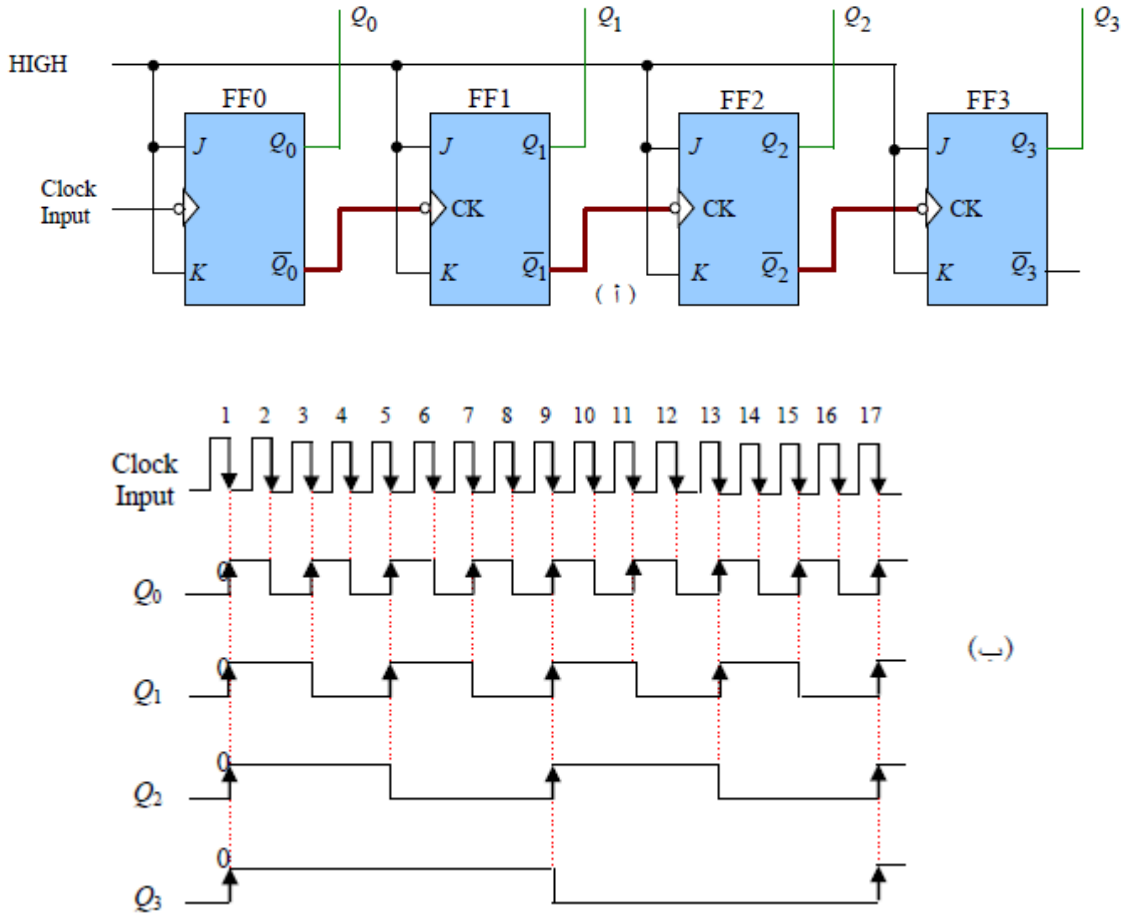
$$MOD=2^n \quad (4\text{-}3)$$

٤ -٣ -٢ العدادات الثنائية التنازلية غير المتزامنة:

في العداد التصاعدي الذي تمت دراسته كانت كل نبضة تزامن تجعل خرج العداد يزيد بمقدار "1". وبعمل تعديل بسيط في دائرة العداد التصاعدي يمكننا الحصول على العداد التنازلي والذي ينقص خرجه بمقدار "1" مع كل نبضة تزامن. الشكل(٤ -٢٢(أ)) يبين بناء عداد تنازلي مكون من أربع مراحل باستخدام أربع دوائر قلابة من النوع JK. ونلاحظ توصيل الخرج $\overline{Q}$ لكل مرحلة كدخل نبضات تزامن لها بدلًا من الخرج Q في حالة العداد التصاعدي.

نبضات التزامن وشكل الخرج Q لهذا العداد موضحة في الشكل(٤ -٢٢(ب)). وبالنظر إلى أقصى اليسار نجد أن جميع الدوائر القلابة سوف تبدأ من وضع RESET وبالتالي فإن Q_3,Q_2,Q_1,Q_0 تساوي 0000. فإذا كانت جميع مخارج الدوائر القلابة Q تساوي Low تكون جميع المخارج $\overline{Q}$ هي 1111. وبناء على ذلك فإن مداخل نبضات التزامن لكل من الدوائر القلابة FF3,FF2,FF1,FF0 تساوي High. وحيث إن المداخل J,K لكل دوائر القلاب الأربع موصلة High فإن الخرج لكل قلاب سوف يحدث له تبديل "Toggle" وذلك عند كل حافة سالبة من نبضات الدخل المتزامنة. وعند وصول الحافة السالبة الأولى لنبضة التزامن إلى القلاب FF0، فإن الخرج Q_0يتبدل من "0" إلى "1"، وهذا بالطبع يجعل الخرج $\overline{Q}_0$يتغير من "1" إلى "0" وهذه الحافة السالبة سوف تدخل كنبضةتزامن إلى القلاب FF1، مما يسبب أيضاتبديل في الخرج Q_1 من "0" إلى "1"ويجعل الخرج $\overline{Q}_1$

يتغير من "1" إلى "0". فيصبح $\overline{Q}_1$ كنبضة تزامن للقلاب FF2، ... وهكذا.



الشكل (٤ -٢٢): عداد تنازلي غير متزامن مكون من أربعة مراحل مع أشكال النبضات.

بعد نبضة التزامن الأولى يكون الخرج على العداد Q_3,Q_2,Q_1,Q_0 يساوي $1111 = (15)_{10}$ كما هو موضح في السطر الأول لجدول الحقيقة في الجدول (٤ -٩). وبالتالي فإن دائرة العداد التنازلي تبدأ في العد التنازلي برقم واحد مع كل نبضة تزامن تطبق على الدخل. وبالعودة مرة أخرى إلى شكل النبضات في الشكل(٤ -٢٢(ب))، يمكننا أن نرى أن دائرة القلاب FF0 يحدث لها تبديل عند كل حافة سالبة من نبضات التزامن، وبالتالي فإن تردد الخرج Q_0 يساوي نصف تردد الدخل، ونلاحظ أن الخرج Q_3,Q_2,Q_1 يحدث له تبديل مع كل حافة موجبة لنبضة التزامن التي تصل من دائرة القلاب السابق له.

جدول (٤ -٩): جدول الحقيقة للعداد التنازلي غير المتزامن.

خرج العداد				العشري
Q_3	Q_2	Q_1	Q_0	
1	1	1	1	15
1	1	1	0	13
1	1	0	1	13
1	1	0	0	12
1	0	1	1	11
1	0	1	0	10
1	0	0	1	9
1	0	0	0	8
0	1	1	1	7
0	1	1	0	6
0	1	0	1	5
0	1	0	0	4
0	0	1	1	3
0	0	1	0	2
0	0	0	1	1
0	0	0	0	0

Cycle Repeats

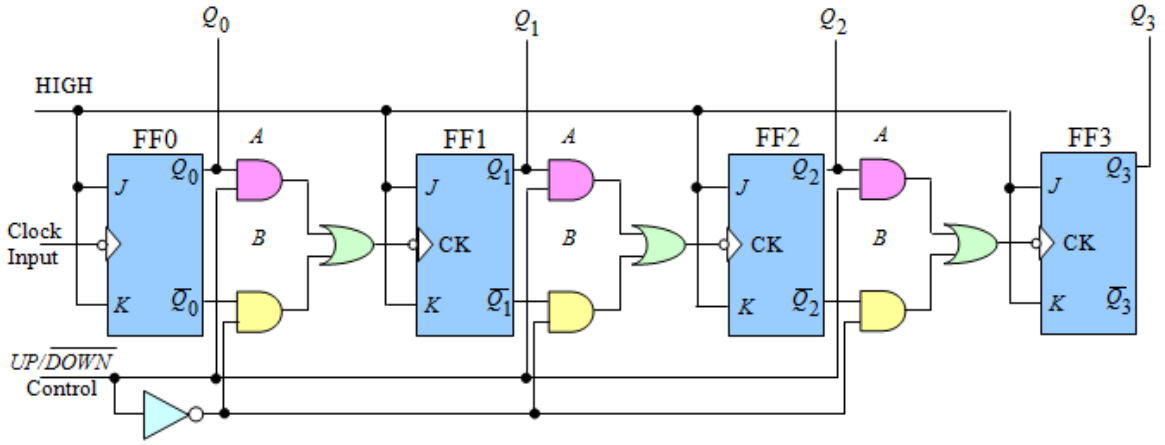
Binary Count

٤ -٣ -٣ العدادات الثنائية التصاعدية / التنازلية غير المتزامنة:

Asynchronous Binary Up/Down Counters

بمقارنة دائرة العداد التصاعدي والتنازلي غير المتزامنين، نجد أن الفرق الوحيد بين الدائرتين أن دوائر القلابات في العداد التصاعدي تنشط عن طريق نبضات التزامن التي تأتي من الخرج Q بينما تنشط دوائر القلابات في العداد التنازلي عن طريق نبضات التزامن التي تأتي من الخرج $\overline{Q}$.

الشكل (٤ -٢٣) يبين كيفية بناء عداد تصاعدي/ تنازلي عن طريق ثلاث مجموعات من AND-OR يتم التحكم في تشغيلها عن طريق خط التحكم $UP/\overline{DOWN}$.

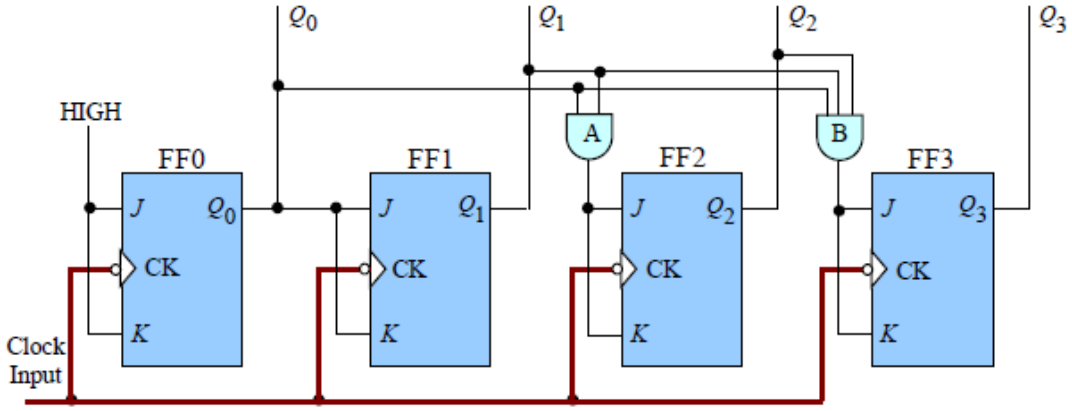


الشكل (٤ -٢٣): العداد التصاعدي التنازلي.

إذا كان خط التحكم $UP/\overline{DOWN}$ في الوضع High، فإن كل البوابات AND العلويةوالمرمزةA تكون فعالة Enabled، وبالتالي يتم توصيل كل خرج Q إلى مدخل النبضات المتزامنة لدوائر القلاب، مما يجعل العداد يعمل كعداد تصاعدي، .وفي المقابل، إذا كان خط التحكم $UP/\overline{DOWN}$ في الوضع Low، فإن كل البوابات العلوية سوف تكون في الحالة غير الفعالة "Disabled" بينما كل البوابات السفلية والمرمزة B سوف تكون في الحالة الفعالة "Enabled" وبالتالي يتم توصيل كل خرج $\overline{Q}$ إلى مدخل النبضات المتزامنة لدوائر القلاب، مما يجعل العداد يعمل كعداد تنازلي.

٤ -٣ -٤ العدادات الثنائية التصاعدية المتزامنة:

الشكل (٤ -٢٤) يوضح كيفية توصيل أربع دوائر قلابة من النوع JK وبوابتي AND لبناء دائرة عداد تصاعدي متزامن مكون من أربع مراحل 4-bit أو MOD-16 ونلاحظ من الدائرة أنه قد تم تمييز خط نبضات التزامن "بخط ثقيل" لنرى أن كل دوائر القلابات في دائرة العداد المتزامن يحدث لها تنشيط "Trigger" عن طريق نبضات التزامن في نفس الوقت. وهذا التوصيل على التوازي يجعل العداد متزامناً، وبالتالي فإن جميع دوائر القلابات سوف تنشط مع كل نبضة من نبضات التزامن.



الشكل (٤ -٢٤): عداد تصاعدي متزامن مكون من أربعة مراحل.

والآن سوف ندرس كيفية عمل هذا العداد حيث إن الدخلين J,K لدائرة القلاب FF0 توضع على المستوى High، وبناء عليه فإن الخرج سوف يحدث له تبديل "Toggle" مع كل نبضة تزامن تمامًا مثل المرحلة الأولى في العداد التصاعدي غير المتزامن والذي سبق شرحه، حيث الخرج يتغير من Low إلى High ومن High إلى Low وهكذا.

الدخلان J,K لدائرة القلاب FF1 يتم التحكم فيها عن طريق الخرج المقسوم على 2 لدائرة القلاب FF0 . وهذا يعني أنه عندما يكون الخرج Q_0 في المستوى Low، فإن الخرج Q_1 لدائرة القلاب FF1 لن يحدث له تغيير "No change" وعندما يكون الخرج Q_0 في المستوى High، فإن الخرج Q_1 سوف يحدث له تبديل "Toggle".

الدخلان J,K لدائرة القلاب FF2 يتم التحكم فيها عن طريق خرج بوابة AND-A دخليها هما Q_0,Q_1. وهذا يعني أنه عندما تكون $Q_0 = Q_1 =$ High فإن خرج بوابة AND-A سوف يكون High، وهذا الخرج يُنشِط "Enable" دائرة القلاب FF2 وذلك لعمل التبديل المطلوب.

الدخلان J,K لدائرة القلاب FF3 يتم التحكم فيها عن طريق خرج بوابة AND-B لها المداخل Q_2,Q_1,Q_0. وهذا يعني أنه عندما تكون Q_2,Q_1,Q_0 في المستوى High فإن خرج بوابة AND-B سوف يكون High وهذا الخرج يُنشِط دائرة القلاب FF3 لعمل التبديل.

- مميزات العدادات المتزامنة :

أهم مميزات العدادات غير المتزامنة أو عدادات التموج Ripple Counters هو بساطة تكوين الدائرة، ويمكن أن نلاحظ ذلك عند مقارنة دائرة العداد التصاعدي غير المتزامن فيالشكل(٤ -٢١) (أ) مع دائرة العداد التصاعدي المتزامن في الشكل (٤ -٢٤).

أهم عيوب العدادات غير المتزامنة هو تردد التشغيل المحدود لها أو ما يسمى بسرعة العد المحدودة، ولأن دخل نبضات التزامن يطبق فقط على دخل أو دائرة قلاب، فإن الدائرة تأخذ بعض الوقت حتى يتمكن العداد من تغيير جميع المخارج له، وهذا ما يسمى زمن تأخير الانتشارPropagation-delaytime للعداد والذي يساوي في هذه الحالة مجموع أوقات تأخير الانتشار لكل دائره من دوائر القلابات التي يتكون منها العداد.

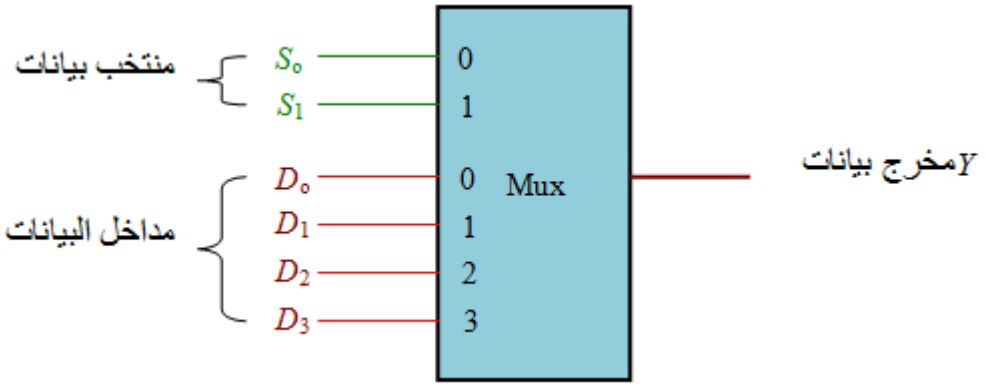
هذه المحدودية تعني أنه لا يمكننا تنشيط دخل العداد بنبضة تزامن جديدة قبل أن تستقر جميع مخارج العداد على وضعها النهائي، وبناء عليه فإن تردد الدخل لنبضات التزامن (النبضات المطلوب عدها) لها سرعة محدودة أو تردد محدود. وتعتبر العدادات المتزامنة حل مباشر لمحدودية العدادات غير المتزامنة حيث إن زمن تأخير الانتشار لها صغير، وذلك نتيجة لأن جميع دوائر القلابات التي يتكون منها العداد يتم تنشيطها جميعًا مع كل نبضة تزامن، وهذا يعني أن كل دوائر القلابات سوف تغير حالتها في نفس الوقت، وبالتالي فإن زمن تأخير الانتشار للعداد يساوي زمن تأخير الانتشار لدائرة قلابة واحدة.

في الحقيقة يجب أن نأخذ في الاعتبار الوقت اللازم لانتقال النبضات من المخارج حتى تصل إلى المداخل من خلال البوابات. وبأخذ هذين العاملين في اعتبارنا يمكننا الوصول إلى الصيغة العامة لحساب زمن التأخير للعدادات التزامنية وهي:

$$t_p = t_p(\text{Single flip-flop}) + t_p\ (\text{Single AND-gate})$$

٤ -٤ وحدات التعدد أو منتخبات البيانات Multiplexers or Data Selectors:

وحدة التعدد عبارة عن جهاز يوجه المعلومات الرقمية المأخوذة من عدة مصادر لنقلها على خط نقل واحد، إلى الوجهة المقصودة. وحدة التعدد الأساسية لها عدة خطوط دخل وخط خرج واحد ولها أيضًا مداخل اختيار بيانات والتي تسمح للبيانات الرقمية على أي من خطوط الدخل لتفتح على خط الخرج ومن هذا المنطلق يمكن أن نطلق عليها أيضًا منتخبات البيانات.الشكل(٤ -٢٥) يبين الرمز المنطقي لوحدة تعدد لها أربعة خطوط بيانات دخل وخطا اختيار بيانات.



الشكل(٤ -٢٥): وحدة تعدد ٤×١.

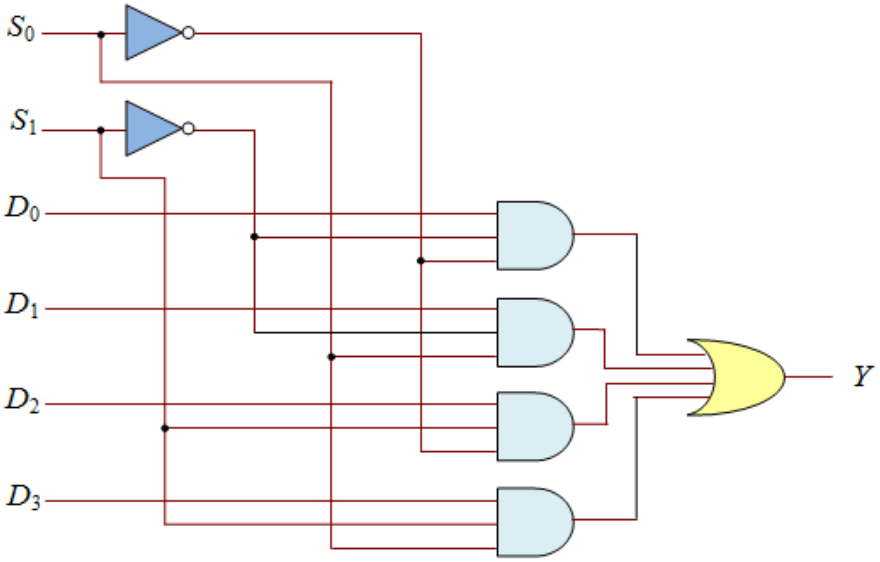
تواجد الشفرة الثنائية في الشكل(٤ -٢٥) على دخول منتخب البيانات S سوف يمكن البيانات المختارة على الدخل من المرور إلى الخرج، فإذا تم تطبيق الرقم الثنائي "0" أى أن $S_1 = 0, S_0 = 0$ على خطوط منتخب البيانات فإن بيانات الدخل D_0 تظهر على خط خرج البيانات، وإذا تم تطبيق الرقم الثنائي "1" أي $S_1 = 0, S_0 = 1$ فإن بيانات الدخل D_1 تظهر على خط خرج البيانات، وإذا تم تطبيق الرقم الثنائي "2" أي $S_1 = 1, S_0 = 0$ فإن بيانات الدخل D_2 تظهر على خط خرج البيانات، وأخيرًا إذا طبقنا الرقم الثنائي "3" أي $S_1 = 0, S_0 = 0$ فإن بيانات الدخل D_3 تظهر على خط خرج البيانات، كما في الجدول(٤ -١٠).

جدول (٤ -١٠): الصيغة المنطقية لخرج وحدة التعدد.

S_0	S_1	الخرج	الصيغة المنطقية للخرج
0	0	D_0	$Y = D_0\overline{S}_1\overline{S}_0$
0	1	D_1	$Y = D_1\overline{S}_1 S_0$
1	0	D_2	$Y = D_1 S_1\overline{S}_0$
1	1	D_3	$Y = D_1 S_1 S_0$

وبالتالي تكون بيانات الخرج الكلية هي: $Y = D_0\overline{S}_1\overline{S}_0 + D_1\overline{S}_1 S_0 + D_2 S_1\overline{S}_0 + D_3 S_1 S_0$

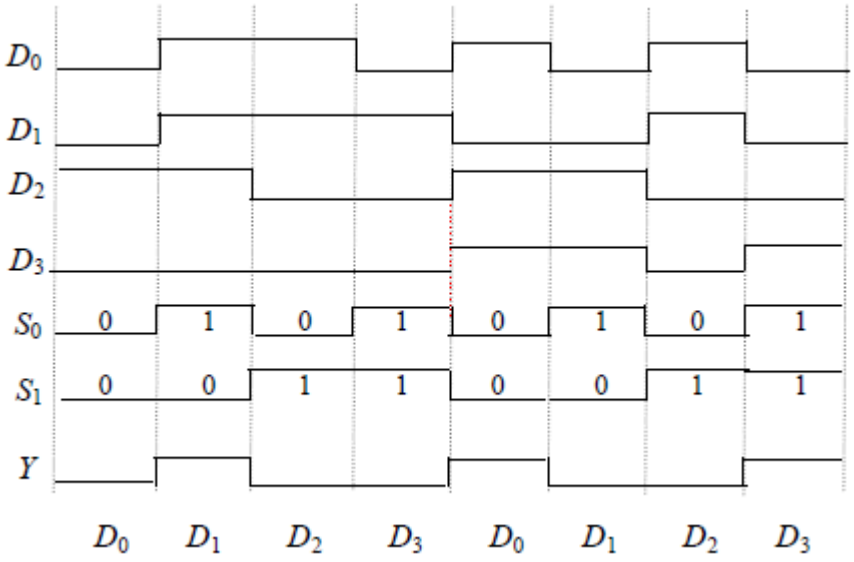
ويمكن تحقيق هذه المعادلة ببناء دائرة منطقية تحتوي على أربع بوابات AND ثلاثية المداخل وبوابة واحدة OR بأربعة مداخل وعاكسين لتوليد المكملات لكل من S_0, S_1 كما بالشكل(٤ -٢٦).



الشكل(٤ -٢٦): الشكل المنطقي لوحدة تعدد بأربعة مداخل.

مثال (٤ -٦): الأشكال الموجية لبيانات المداخل ومنتخب البيانات الموضحة بالشكل(٤ - ٢٧) تم تطبيقها على وحدة التعدد المبينة بالشكل(٤ -٢٦).

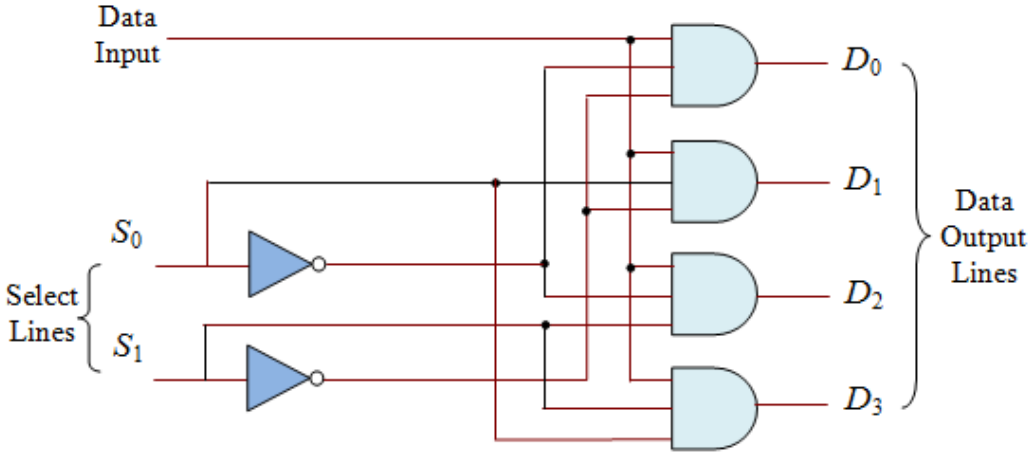
وتم إيجاد الشكل الموجي للخرج Y كعلاقة مع المدخلات.



الشكل(٤ -٢٧): الأشكال الموجية لدخل وخرج واحد.

٤ -٥ وحدات فك التعدد Demultiplexers:

وحدة فك التعدد تعكس دالة التعدد حيث يتم أخذ المعلومة الرقمية من خط دخل واحد ويتم توزيعها إلى عدد من خطوط الخرج ولهذا تسمى هذه الوحدة بموزع البيانات" Data subscriber". الشكل(٤ -٢٨) يوضح تركيب دائرة وحدة فك التعدد بدخل واحد وأربعة مخارج حيث يذهب خط بيانات الدخل إلى جميع بوابات AND. منتخب البيانات ذو الخطين يُمَكن بوابة واحدة فقط من العمل والبيانات الظاهرة على خط دخل البيانات تمر خلال البوابة المختارة إلى خط خرج البيانات المصاحب.

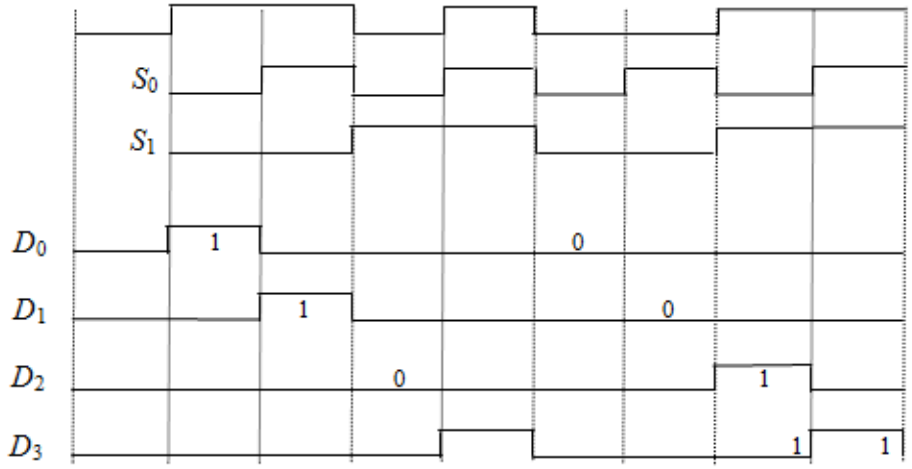


الشكل(٤ -٢٨): دائرة وحدة فك التعدد.

مثال (٤ -٧): الشكل(٤ -٢٩) هو الشكل الموجي لدخل البيانات "Data in" ومداخل منتخب البيانات S_1، S_0. أوجد الأشكال الموجية لخرج البيانات D_0, D_1, D_2, D_3 لوحدة فك التعدد في الشكل(٤ -٢٨).

الحـــــل

لاحظ أن الخطوط المختارة تذهب من خلال الترتيب الثنائي ولهذا كل نبضة دخل توجه بالتتابع إلى D_0, D_1, D_2, D_3 بالترتيب كما بالشكل(٤ -٢٩).



الشكل(٤ -٢٩): الأشكال الموجية لدخل وخرج وحدة فك التعدد.

٤ -٦ دوائر المزمنات Timers

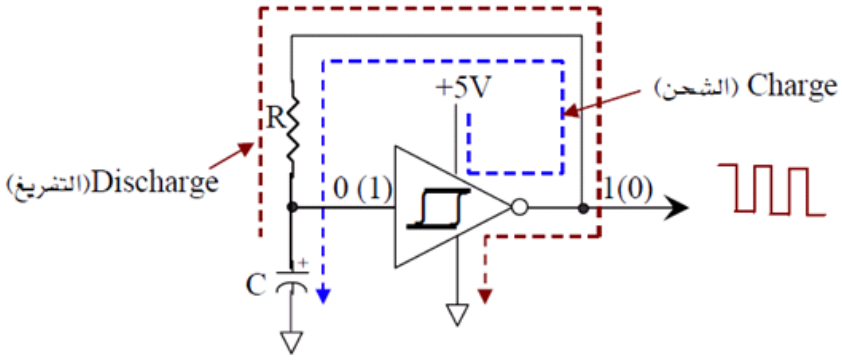
التوقيت عامل مهم في عمل الدوائر الرقمية والحاسبات وذلك للتحكم في الأجهزة المختلفة تعاقبيا ولإجراء عملية التزامن فيما بينها. وللتحكم في الوقت للدوائر الرقمية فإن إشارة الساعة (Clock Signal) وهي عبارة عن نبضات منتظمة بسرعة معينة تكون موزعة على جميع العناصر في النظام الرقمي في نفس الوقت (تزامن). هذه الإشارة يمكن توليدها عن طريق مولد نبضات (Crystal or 555 timer). وهذه الإشارة عبارة عن نبضات مربعة الشكل متتابعة تكون حادة ولها حافتان: الحافة الأمامية والحافة الخلفية (Rising and falling edge).

وهاتان الحافتان تستخدمان للتحكم في تتابع العمليات في الدوائر الرقمية.

ودوائر J-K, S-R, D-type القلابة كلها تعتبر أمثلة على متعدد الإهتزازات ثنائي الإستقرار (Bistable Multivibrator) وذلك لأن لها حالتين (Bi) مستقرتين (Set and Reset States) . وسوف نتعرض لدراسة متعدد الإهتزازات غير المستقر (Astable Multivibrator) والذي ليس له حالة استقرار، وعادة ما يستخدم كمولد للنبضات. والنوع الثالث لمتعدد الإهتزازات هو أحادي الإستقرار (Monostable Multivibrator) والذي له حالة واحدة للاستقرار وحينما يتم تنشيطه فإنه يولد نبضة مستطيلة لها عرض ثابت.

٤ -٦ -١ دائرة متعدد الإهتزازات غير المستقر Astable Multivibrator Circuit

دائرة متعدد الإهتزازات غير المستقر والذي يطلق عليه أحيانًا اسم طليق الحركة (Free Running) يمكن بناؤه من البوابات المنطقية كما هو موضح بالشكل (٤ -٣٠) والذي يوضح كيفية توصيل العاكس (Inverter) من نوع (Schmitt-trigger) ليعمل كمولد نبضات.



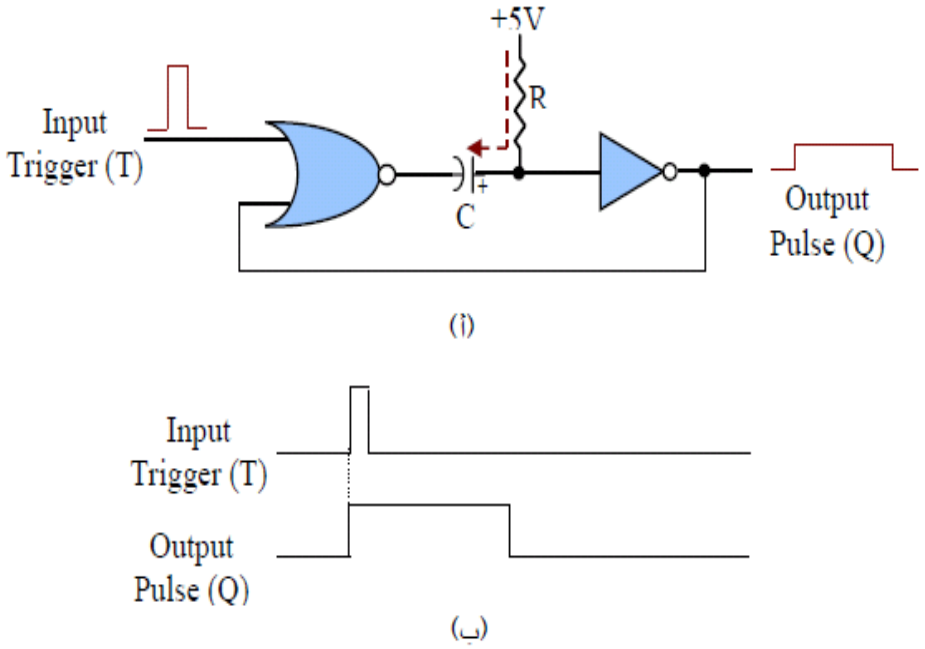
الشكل (٤ -٣٠) دائرة متعدد الإهتزازات غير المستقر.

عندما يوصل مصدر القدرة لأول مرة إلى هذه الدائرة فإن المكثف تكون شحنته تساوي صفرًا وهذا المستوى (Low) يتم عكسه عن طريق العاكس فيعطي خرجًا عاليًا (High) وهو يساوي (5V). فيبدأ المكثف في الشحن عبر المقاومة R، وبعد فترة من الزمن تعتمد على قيمة كل من المكثف والمقاومة تزداد الشحنة الموجبة على المكثف لتصبح (High) على دخل العاكس ومن ثم يتحول خرج العاكس إلى القيمة (Low) مرة أخرى. ومن خلال المقاومة يبدأ المكثف في التفريغ وعندما تصل شحنة المكثف إلى القيمة (Low) فإن العاكس يعطي في الخرج (High) ليبدأ شحن المكثف من جديد وتتكرر الدورة باستمرار طالما أن مصدرالقدرة موصل إلى الدائرة. وتعتمد قيمة التردد في الخرج على قيم كل من المكثف والمقاومة.

٤ -٦ -٢ دائرة متعدد الإهتزازات أحادي الإستقرار Monostable Multivibrator Circuit

شكل (٤ -٣١ -أ) يوضح دائرة متعدد الإهتزازات أحادي الإستقرار . عندما تكون نبضة الدخل (القادح) أو الـ (Trigger) في المستوى المنخفض (Low)، وفي نفس الوقت الخرج Q في المستوى المنخفض أيضًا (Low)، فإن خرج البوابة NOR يكون في المستوى العالي (High)، وبناءًا عليه فإن الخرج من دائرة العاكس يكون (Low) تاركا الدائرة في هذه الحالة المستقرة.

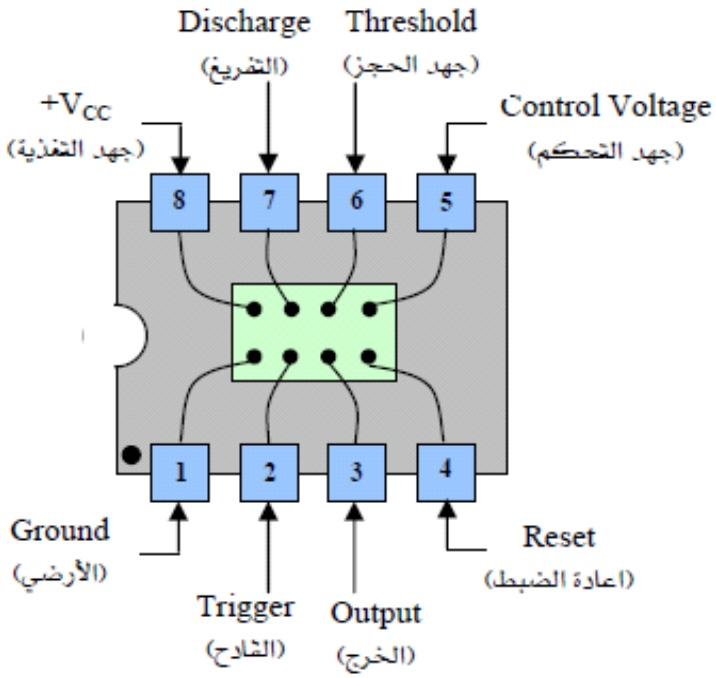
وعندما نعطي نبضة موجبة على طرف الدخل (Trigger) تتسبب هذه النبضة في جعل خرج البوابة NOR في الوضع (Low) مما يعزز خرج الدائرة في الوضع (Low) وحتى بعد انتهاء نبضة الدخل لتصبح (Low) فإن الطرف الآخر للدخل يحافظ على وضع الدائرة مستقرة عند هذا الوضع. بعد فترة من الزمن يشحن المكثف ليصبح دخل دائرة العاكس (High) ويكون خرجها (Low) لتعود إلى حالتها المستقرة الأولى مرة ثانية. ونرى هنا أن الحالة المستقرة إستقرارًا طبيعيًا هي حالة (Low) وعندما نعطي نبضة (Trigger) مهما كان عرضها فإن الدائرة تغير من حالتها لفترة زمنية معينة ثم تعود لحالتها المستقرة الأولى مرة أخرى. وعرض نبضة الخرج أيضًا تعتمد على قيمة كل من المكثف والمقاومة.



الشكل (٤ -٣١): دائرة متعدد الإهتزازات أحادي الإستقرار . (ا) الدائرة (ب) شكل الدخل والخرج.

٤ -٦ -٣ دائرة المزمن 555 The 555 Timer Circuit

تعتبر دائرة المزمن 555 من أكثر دوائر المزمنات استخدامًا وذلك لرخص ثمنها ، وهي موجودة على هيئة شريحة (IC) لها ثمانية أطراف كما هو موضح بالشكل (٤ -٣٢) . والإسم 555 مستنتج من مقسم الجهد الموجود بالدائرة داخل الشريحة والذي يتكون من ثلاث مقاومات قيمة كل منها 5kΩ.

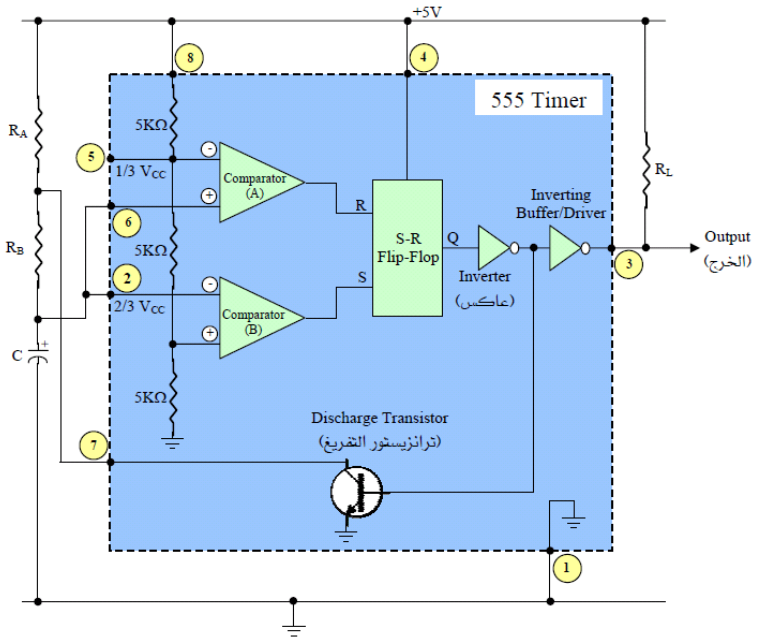


شكل (٤ -٣٢) أطراف شريحة المزمن ٥٥٥.

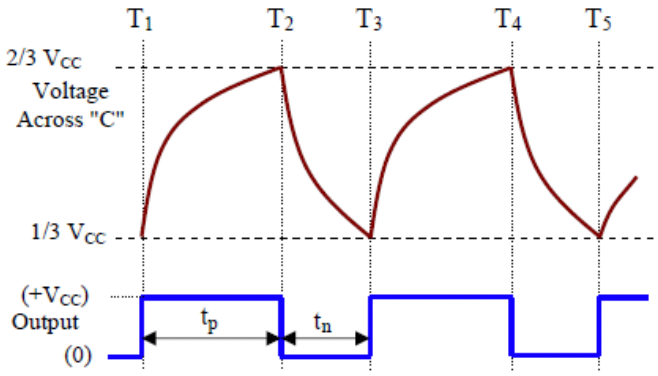
والمزمن ٥٥٥ هو مزمن عام يمكن أن يعمل في وضعين للتشغيل، أحدهما الوضع غير المستقر (Astable) والآخر الوضع أحادي الإستقرار (Monostable). ويمكن استخدامه أيضًا كمقسم للتردد (Frequency Divider) أو معدل للتردد (Frequency Modulator) إعتمادًا على كيفية توصيل أطراف الدائرة مع المكونات الخارجية.

٤ -٦ -٣ -١ المزمن 555 كمتعدد الإهتزازات غير المستقر

شكل (٤ -٣٣) يوضح كيفية توصيل المزمن 555 ليعمل في وضع التشغيل غير المستقر (Astable) . أشكال الموجات الموضحة بالشكل (٤ -٣٤) تبين لنا كيفية الشحن والتفريغ للمكثف C المتصل خارجيًا بالشريحة، وكيف أن جهد الخرج يتغير ما بين القيمتين (+Vcc) وهي قيمة جهد المنبع وبين الجهد (0V).



شكل (٤ -٣٣) كيفية توصيل المزمن 555 ليعمل في وضع التشغيل غير المستقر (Astable).



شكل (٤ -٣٤) موجات شحن وتفريغ المكثف وشكل جهد الخرج المصاحب.

ولشرح كيفية عمل الدائرة نفترض أن الخرج لدائرة القلاب S-R في الوضع (High) وهو الزمن T1 في شكل الخرج. وهذا الخرج لدائرة القلاب سوف يعكس إلى الوضع (Low) مما يجعل ترانزستور التفريغ الداخلي في الوضع (OFF). في هذه الحالة فإن المكثف الخارجي (C) يبدأ في الشحن في إتجاه $+V_{CC}$ من خلال المقاومتين R_A, R_B . وعند الزمن T2، فإن الشحنة الموجودة على المكثف تصل إلى ($2/3\ V_{CC}$)، وبناءًا عليه فإن خرج دائرة المقارن A سيكون (High) لأن الجهد على طرفه الآخر هو ($1/3\ V_{CC}$) ويجعل دائرة القلاب في الوضع (RESET) وتصبح (Q=0). وهذا يجعل الخرج (الطرف رقم ٣) للمزمن 555 في الوضع (Low)، وبالتالي فإن قاعدة ترانزستور التفريغ تصبح (High)، مما يجعله في الوضع (ON).

ومع وجود هذا الترانزستور في الوضع ON، فإن المكثف C يبدأ في تفريغ شحنته. وعند الزمن T3 تكون الشحنة على المكثف قد وصلت إلى ($1/3\ V_{CC}$) ونتيجة لذلك فإن خرج المقارن B سيكون في المستوى (High) ويضع دائرة القلاب S-R في الحالة (SET) وتكون (Q=1) وعودتها إلى الحالة الأصلية لها. ويكون ترانزستور التفريغ في الوضع (OFF) مرة أخرى ومن ثم يسمح للمكثف C بالشحن وتتكرر الدورة. وكما نرى من الشكل (٤ -٢٣أ) أن المكثف C يشحن من خلال المقاومتين R_A, R_B إلى الجهد ($2/3\ V_{CC}$) ويفرغ خلال المقاومة R_B إلى الجهد ($1/3\ V_{CC}$). ويمكن حساب الزمن t_p عن طريق العلاقة:

$$t_p = 0.7(R_A + R_B)C$$

والزمن t_n (Negative time) يمكن حسابه عن طريق العلاقة:

$$t_n = 0.7R_BC$$

وعليه يكون زمن الدورة الكاملة T هو مجموع الأزمنة t_p و t_n:

$$T = t_p + t_n$$
$$= 0.7(R_A + 2R_B)C$$

ويمكن حساب تردد الخرج للمزمن 555 من العلاقة:

$$f = \frac{1}{T} = \frac{1}{0.7(R_A + 2R_B)C}$$

ويمكن وضع العلاقة السابقة على الصورة:

$$f = \frac{1.43}{(R_A + 2R_B)C}$$

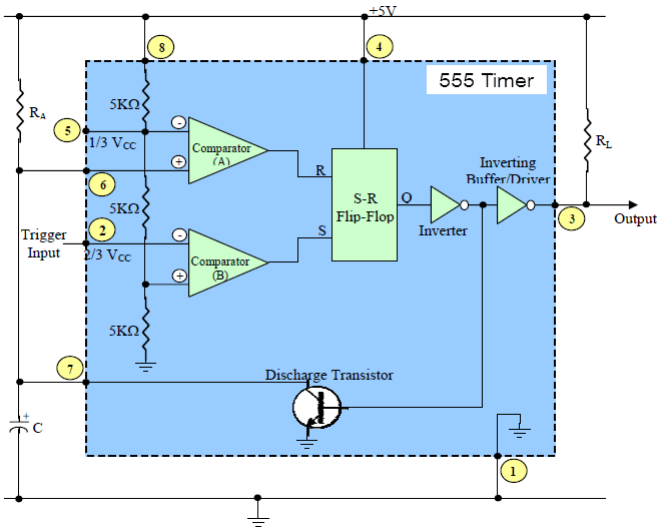
٤ -٨ -٣ -٢ المزمن 555 كمتعدد الإهتزازات أحادي الإستقرار

شكل (٤ -٣٥أ) يوضح كيفية توصيل المزمن 555 ليعمل كمتعدد الإهتزازات أحادي الإستقرار أو ما يطلق عليه (one-shot). والأشكال الموجية في الشكل (٤ -٣٥ب) تبين علاقة الزمن لكل من دخل القادح وشحن وتفريغ المكثف، والخرج النهائي للمزمن. عرض نبضة الخرج (P_W) يعتمد على قيم المكونات الخارجية R_A, C.

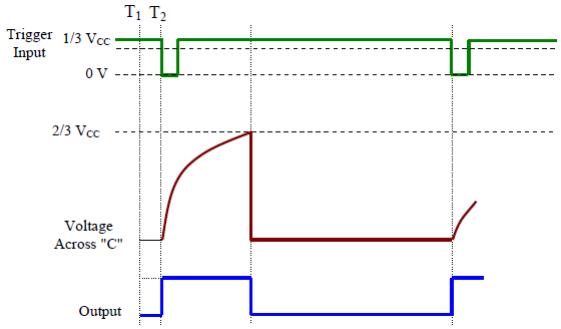
عند الزمن T1 في الشكل (٤ -٢٤ب)، دائرة القلاب S-R تكون في حالة (RESET) وبناءًا عليه يكون خرجها (Low) أي (Q=0). وهذا الخرج يعكس عن طريق دائرة العاكس، ثم يعكس مرة ثانية ويعزل عن طريق المرحلة الأخيرة، ليكون الخرج للمزمن 555 يساوي صفر فولت (Low). الخرج (Low) من دائرة القلاب S-R سوف يعكس ويظهر كدخل (High)

على قاعدة ترانزستور التفريغ، فيكون في الوضع (ON)، وبذلك يعمل الترانزستور كمسار لتفريغ شحنة المكثف إلى الأرضي.

عند الزمن T2 تطبق نبضة القادح (Trigger) على الطرف 2 لدائرة المزمن 555 أحادي الإستقرار . هذه النبضة السالبة سوف تجعل الدخل السالب للمقارن B يقل عن ($1/3\ V_{CC}$)، وبذلك يكون خرج المقارن B يساوي (High)، ويضع دائرة القلاب S-R في الوضع (SET) أي أن الخرج (Q=1). هذا سوف يجعل الخرج النهائي للمزمن 555 في الوضع (High) ويعمل على جعل ترانزستور التفريغ في الحالة (OFF).



شكل (٤ -٣٥أ) كيفية توصيل المزمن 555 ليعمل في وضع التشغيل أحادي الإستقرار (Mono-stable).



شكل (٤ -٣٥ب) علاقة دخل القدح وشحن وتفريغ المكثف C وشكل جهد الخرج.

وعند هذه اللحظة يبدأ المكثف C بالشحن من خلال المقاومة R_A في اتجاه $+V_{CC}$ كما نرى في الشكل (٤ -٣٥ب). خرج المزمن 555 يظل كما هو في الوضع (High) حتى تصل الشحنة على المكثف إلى أكثر من ($2/3\ V_{CC}$). فعند هذه اللحظة (T3) يكون خرج المقارن A في

الوضع (High)، ويعمل على وضع دائرة القلاب S-R في الوضع (RESET)، ويجعل أيضا خرج المزمن في الحالة (Low)، وكذلك يجعل ترانزستور التفريغ في الحالة (ON) وبالتالي يبدأ المكثف C في تفريغ شحنته.

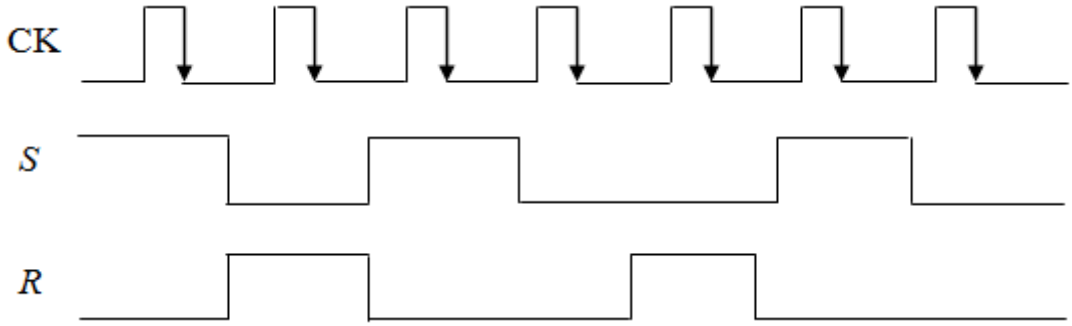
والدائرة سوف تظل في هذه الحالة المستقرة حتى تصل نبضة القادح الجديدة وذلك لتكرار الدورة مرة أخرى.

الحافة الموجبة لنبضة الخرج تحدث نتيجة نبضة القادح، بينما الحافة السالبة لنبضة الخرج تعتمد على زمن الشحن للمكثف C من خلال المقاومة R_A والذي بدوره يعتمد قيم هذه المكونات. ويمكن حساب عرض نبضة الخرج من العلاقة التالية:

$$P_W = 1.1 R_A C$$

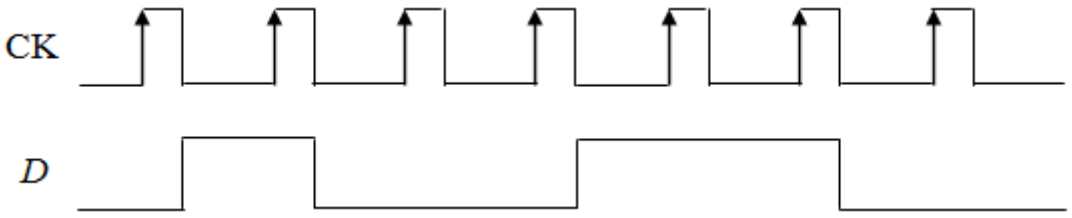
تدريبـــات على الوحدة الرابعة

(٤ -١) ارسم شكل نبضات الخرج Q لدائرة القلاب SR والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن "Negative edge trigger" إذا كانت نبضات الدخل كما هو موضح بالشكل (٤ -٣٦). افترض أن دائرة القلاب تعطي خرجاً $Q=0$ قبل وصول أول نبضة من نبضات التزامن.



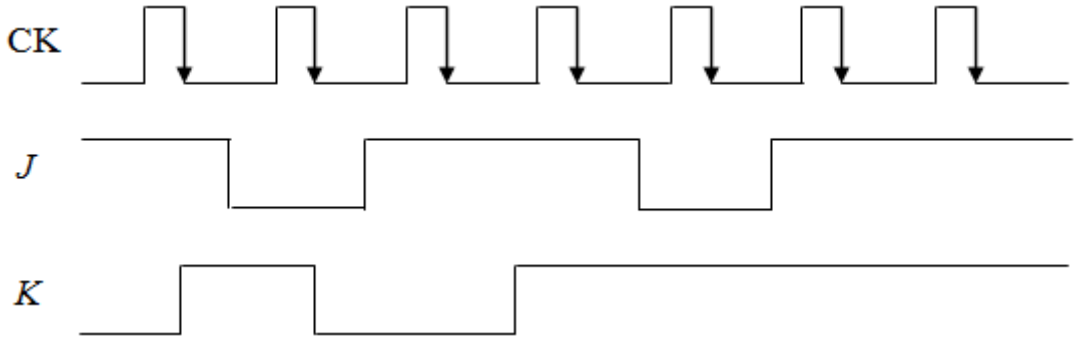
الشكل (٤ -٣٦): المخطط الزمني للتمرين (٤ -١)

(٤ -٢) ارسم شكل نبضات الخرج Q لدائرة القلاب من النوع D والتي يتغير الخرج لها عند الحافة الموجبة لنبضات التزامن "Positive edge trigger" إذا كانت نبضات الدخل كما هو موضح بالشكل (٤ -٣٧). افترض أن دائرة القلاب تعطي الخرج $Q=0$ قبل وصول أول نبضة من نبضات التزامن.



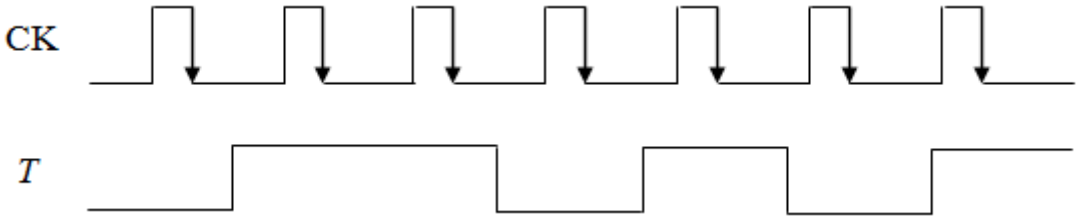
الشكل (٤ -٣٧): المخطط الزمني للتمرين (٤ -٢)

(٤ -٣) ارسم شكل نبضات الخرج Q لدائرة القلاب JK والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن إذا كانت نبضات الدخل كما بالشكل (٤ -٣٨)، افترض أن دائرة القلاب تعطي خرجًا Q=0 قبل وصول أول نبضة من نبضات التزامن.



الشكل (٤ -٣٨): المخطط الزمني للتمرين (٤ -٣)

(٤ -٤) ارسم شكل نبضات الخرج Q لدائرة القلاب من النوع T والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن إذا كانت نبضات الدخل كما هو موضح بالشكل (٤ -٣٩). افترض أن دائرة القلاب تعطي خرجًا Q=0 قبل وصول أول نبضة من نبضات التزامن.



الشكل (٤ -٣٩): المخطط الزمني للتمرين (٤ -٤)

(٤ -٥) في الشكل(٤ -٢٥) إذا كانت S1=0, S0=1, D3=0, D2=1, D1=0, D0=1 فأوجد قيمة الخرج.

(٤ -٦) ارسم دائرة لمزمن 555 يعمل كمتعدد الإهتزازات غير مستقر مع توضيح التوصيلات مع العناصر الخارجية ثم قم برسم موجات شحن وتفريغ المكثف وشكل جهد الخرج.

(٤ -٧) ارسم دائرة لمزمن 555 يعمل كمتعدد الإهتزازات أحادي الإستقرار مع توضيح التوصيلات مع العناصر الخارجية ثم قم برسم موجات الدخل والخرج.

الوحدة الخامسة

مقدمة عن المعالج الدقيق

مقدمة عن المعالج الدقيق

الهدف العام :

القدرة على التعرف على المفاهيم الأساسية للمعالج الدقيق ومكوناته الأساسية وكيفية برمجته.

الأهداف التفصيلية :

عندما تكتمل هذه الوحدة يكون المتدرب قادرًا وبكفاءة على أن:

١. يعرف اللوحة الأم والمعالج الدقيق.
٢. يعرف المفاهيم والمكونات الأساسية للمعالج الدقيق.
٣. يتقن فهم وظيفة وكيفية عمل وحدات الإدخال والإخراج.
٤. يتعرف على الذاكرة وأنواعها وكيفية الكتابة عليها والقراءة منها.
٥. يتعرف على لغات البرمجة المختلفة للحاسب ولغة التجميع.

مقدمة

نتيجة التطور السريع في تقنيات التصنيع للدوائر المتكاملة وخصوصًا الرقمية منها وكذلك الدوائر ذات المقياس الواسع (LSI) المقياس وذات المقياس الواسع جدًا (VLSI) فقد تمكنت الصناعة بفضل هذه التقنية من تصنيع الآلاف من العناصر الإلكترونية على شريحة واحدة مساحتها لا تتعدى عدة مليمترات مربعة مما أحدث ثورة في عالم الحاسبات الشخصية التي تعتمد في تصميمها على الدوائر المتكاملة مما أدى بالتالي إلى ظهور المعالجات الدقيقة التي تعتبر كدائرة متكاملة رقمية واسعة المقياس أو واسعة جدًا يمكن أن تبرمج بواسطة سلسلة من الأوامر لأداء الوظائف المحددة على البيانات.

٥ -١ الحاسب الآلي و المعالج الدقيق

يبني عمل الحاسبات الآلية (Computers) على وحدة أساسية به وهي ما يسمى المعالج الدقيق Microprocessor أو وحدة المعالجة المركزية (CPU). والمعالج الدقيق Microprocessor يرمز له أحيانا ب (µP) وهو أحد المكونات الإلكترونية الرقمية القابلة للبرمجة أي أنه شريحة ذات أطراف عديدة تستقبل الأوامر وتقوم بتنفيذها تباعا حسب برنامج مخزن مسبقا في شريحة ذاكرة خارجية.و بذلك يستخدم المعالج الدقيق بالعديد من الوظائف مثل التحكم في عملية صناعية أو متغير طبقا لمدخلات من الحساسات (المستشعرات) الإلكترونية أو إعدادات المستخدم وهو عبارة عن شريحة دائرة متكاملة تحتوى على عدد ضخم من الترانزستورات المصغرة فمثلا المعالج بنتيوم ٤ يحتوى على ١٥ مليون ترانزستور (transistor). تتكون وحدة المعالجة المركزية في معظم أنظمة الحاسوب الدقيق (microcomputer) من شريحة أو أكثر من المعالج الدقيق (microprocessor) . يتكون المعالج الدقيق من ثلاث وحدات أساسية هي وحدة الحساب والمنطق (ALU) و وحدة التحكم (CU)، ووحدة السجلات وكل من هذه الوحدات تتكون داخليًا من عدة مكونات.

ويمكن تلخيص ما سبق في أن المعالج الدقيق هو عبارة عن دائرة رقمية متكاملة واحدة لها القدرة على:

- تنفيذ مجموعة مخزنة من الأوامر لأداء مهمة محددة.
- التعامل مع دوائر ذاكرة خارجية سواء بقراءة البيانات منها أو كتابة البيانات عليها.

٥ -١ -١ تطور المعالجات

منذ عام ١٨٥٤م وحتى اليوم تطورت العلوم بشكل كبير جدًا في مجال الحاسبات والميكروبروسيسور. ففي عام ١٨٥٤م ظهر جبر بوليان ويعتبر Boole هو رائدنظرية المعلومات. ومن يومها حتى اليوم ظهرت أنواع كثيرة وأجيال متعددة من المعالجات الدقيقة ومن أشهرها: Ziolog, Motorolla, AMD و Intel وهي الأشهر على الإطلاق وسوف نأخذ فكرة سريعة عنها في السطور التالية وهي أساس عمل أجهزة الحاسبات المنتشرة عالميا في هذه الأيام.

تعددت أنواع المعالجات التي تنتجها شركة إنتل في الوقت الحاضر وتتفاوت جميعها فى المزايا والتصميم والسرعة والخصائص واستهلاك الطاقة.

ففي عام ١٩٧١ أنتجت شركة إنتل الأمريكية معالج 4004 وهو عبارة عن (4-bit CPU) ويحتوي على ٢٣٠٠ ترانزستور ثم في أواخر نفس العام أنتجت الشركة المعالج 8008 وهو عبارة عن (8-bit CPU) بحيث تنقل البيانات بسرعة أكبر. وفي عام ١٩٧٣ أنتجت الشركة المعالج 8080 وهو عبارة عن (8-bit CPU) فهو يستطيع تنفيذ تعليمات أكثر بالإضافة أنه يستطيع التعامل مع ذاكرة أكبر أربع أضعاف من المعالج 8008. وفي عام ١٩٧٧ أنتجت الشركة المعالج 8085 وهو عبارة عن (8-bit CPU) بسرعات أعلى وإمكانيات أكبر. وفي عام ١٩٧٨ أنتجت الشركة المعالج 8086 وهو عبارة عن (16-bit CPU) وله مميزات أنه يستطيع التعامل مع ذاكرة أكبر ١٦ ضعف من المعالج 8085 بالإضافة إلى سرعاته الأعلى في نقل البيانات. وفى عام ١٩٨٣ أنتجت إنتل المعالج 80286 ثم في العام ١٩٨٦ أنتجت إنتل المعالج 80386 وهو عبارة عن (32-bit CPU) ويمكنه التعامل مع ذاكرة 4-GB . وفي عام ١٩٨٩ أنتجت الشركة المعالج 80486 وزادت من سرعاته و إمكانياته. وفي عام ١٩٩٣ أنتجت الشركة المعالج80586 والذي أطلقت عليه اسم بنتيوم وبعد ذلك ظهرت معالجات أسرع منها مثل معالج وبنتيوم٢ وبنتيوم ٣ وبنتيوم ٤ . ثم ظهر المعالج كور ديو (Core Due) ثم كور ٢ ديو (Core2 Due) وفي الآونة الأخيرة ظهر المعالجات (i3, i5, i7) والتي يتميز كل معالج عن سابقه بعدد المعالجات التي تعمل بالتوازي (في آن واحد) في شريحة واحدة. وكذلك تتميز عن بعضها في حجم الذاكرة العشوائية التي تستخدمها وكذلك الذاكرة الداخلية للمعالج والتي تسمى ذاكرة الكاش (Cash memory) والتي من شأنها تسريع الحسابات للمعالج بشكل كبير.

٥ -١ -٢ العناصر الأساسية للحاسب الآلي

أنظمة الحاسبات الآلية تتكون من عناصر محددةأساسية وهي: وحدة المعالجة المركزية "Central Proccessing Unit CPU" والذاكرة "Memory" وأجهزة الدخل والخرج " Input and Output Devices" والتي تتصل مع بعضها البعض من خلال ثلاثة نواقل داخلية وهي ناقل البيانات "Data Bus" وناقل العنوان "Address Bus" وناقل التحكم "Control Bus". أجهزة الدخل والخرج توصل من خلال طرفيات الدخل والخرج كما في الشكل (٥ -١).

الشكل(٥ -١): صورة حاسب آلي حقيقي

٥ -٢ اللوحة الأم Motherboard

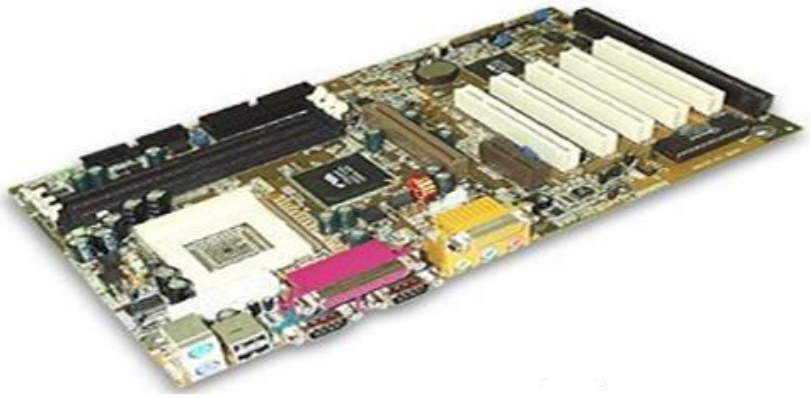
بتفحصنا للحاسب الدقيق نجد أن عمله ينشأ من القلب وهو المعالج الدقيق بشكل أو بآخر، والذي يتكون أساسًا من وحدة تخزين المعلومات وهي الذاكرة، ووحدات الإدخال والإخراج للمعلومات، بالإضافة إلى المعالج الدقيق نفسه كل ذلك مدمج على لوحة أساسية تسمي اللوحة الأم "Motherboard" كما في الشكل(٥ -٢)، وهي تشتمل علي جميع دوائر الإسناد الضرورية لعمل المعالج الدقيق بما في ذلك دوائر وحدات التعدد "Multiplexers" والبوابات المنطقية "Logic Gates" والمؤقت "Clock" ومصدر التغذية "Power Supply".

٥ -٣ وحدة الإدخال/الإخراج

المعالج يرتبط عمومًا بالأجهزة الخارجية عبر مواجهات الدخل والخرج.

٥ -٣ -١ مواجهة الدخل Input Interface

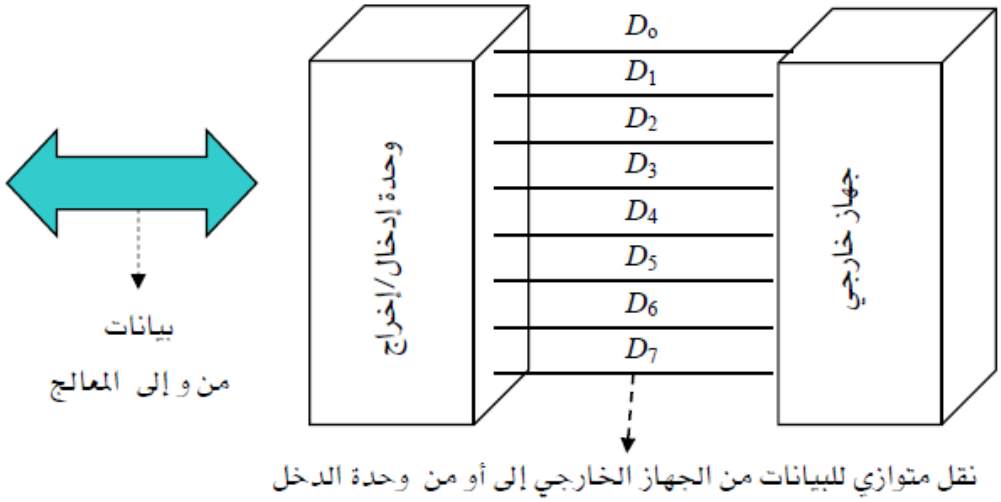
هذا الجهاز يستعمل من طرف المعالج لقراءة أو كتابة البيانات التي ترسل أو تستقبل من الأجهزة الخارجية، حسب نوعية الإرسال المستعمل من الجهاز الخارجي والذي ينقسم إلى نوعين.



الشكل (٥ -٢): صورة اللوحة الأم "Motherboard"

أولاً: النقل المتوازي Parallel Transmission

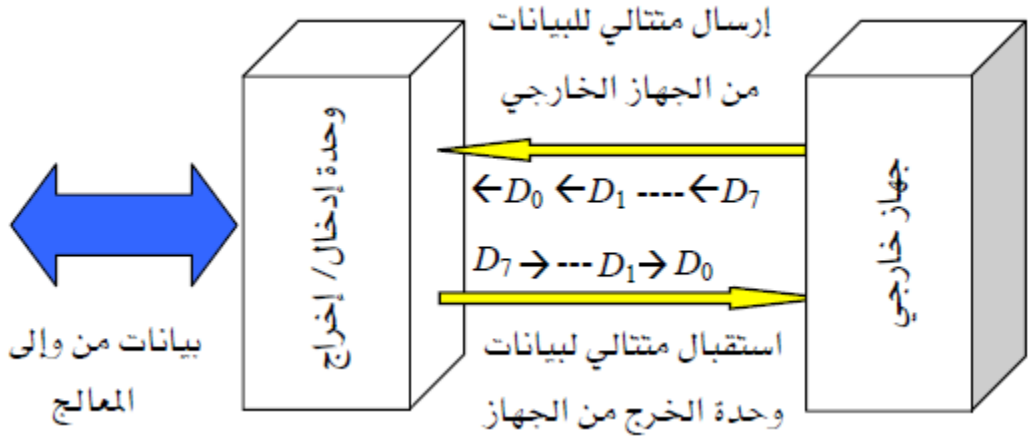
التبادل بين الوحدة والجهاز الخارجي بإرسال أو استقبال البيانات $D_7D_6D_5D_4D_3D_2D_1D_0$ في دفعة واحدة إلى أو من وحدة الدخل على ثمانية أسلاك متوازية.



الشكل (٥ -٣): وحدة دخل ذات نقل متوازٍ

ثانياً: النقل المتتالي Serial Transmission

في هذا النوع الجهاز الخارجي يستعمل سلكًا واحدًا فقط لإرسال أو استقبال البيانات من أوإلى وحدة الدخل، وتنقل الوحدات الرقمية الواحدة بعد الأخرى حسب الشكل(٥ -٤).



الشكل(٥ -٤): وحدة الدخل للنقل المتوالي

٥ -٣ -٢ مواجهة الخرج Output interface

هو الجهاز الخارجي ويمكن أن يمثل عدة أجهزة من بينها:

أجهزة ذات إشارات دخل منطقي/رقمي: حساس، وعداد، ...

أجهزة ذات إشارات دخل تماثلي: تيار، وجهد، وضغط، وحرارة، ...

أجهزة ذات إشارات خرج تماثلي: تحكم لأجهزة نظيري، ومحرك، وتيار، وجهد، ...

أجهزة الربط بالإنسان: شاشة العرض للحاسب، طابعة، ولوحة المفاتيح، ...

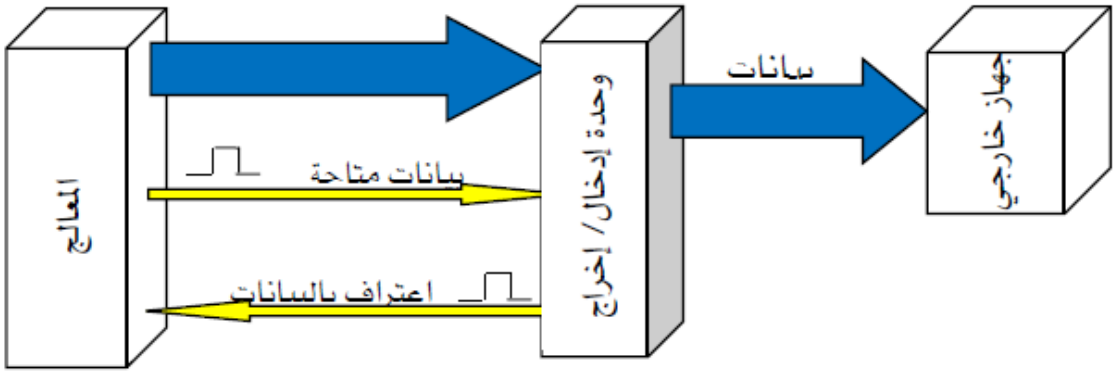
٥ -٣ -٣ إمكانيات الاتصال بين المعالج ووحدات الإدخال/الإخراج

يمكن للمعالج الدقيق أن يستعمل طريقة التحويل المباشر بالمصافحة أو التلبية "Handshaking" وذلك عند نقل البيانات بينه وبين وحدات الإدخال/الإخراج، وهذه الطريقة تعتمد على استعمال إشارات للتحكم في هذا النقل. وهذا النوع من إشارات التحكم يساعد على ضبط انتقال البيانات بين المعالج والأجهزة المحيطة. وبصفة عامة يكون شكل النقل في حالة الإرسال كالتالي: إشارات التحكم في نقل البيانات هي إشارة البيانات المتاحة " Data

Available" وإشارة الاعتراف بالبيانات "DataAcknowledge"، وعملية النقل المباشرتتم عبر الخطوات التالية:

يجهز المعالج البيانات على ناقل البيانات و يرسل إشارة تدل على ذلك نحو وحدة الإدخال/الإخراج.

الوحدة بعد استقبالها لإشارة بيانات متاحة تقوم بقراءة البيانات وترسل بدورها إشارة نحو المعالج لتخبره بقراءتها. المعالج عند استقباله لهذه الإشارة يمكن له تجهيز وإرسال بيانات أخرى وهكذا.



الشكل (٥ -٥): يوضح طريقة التحويل المباشر بالمصافحة

٥ -٤ المكونات الأساسية للمعالج

يتكون المعالج من ثلاث مكونات أساسية: وحدة الحساب والمنطق (ALU) ووحدة السجلات Registers Unit ووحدة التحكم Control Unit. الشكل التالي يبين الوحدات الرئيسية للمعالج بصورة عامة.

الشكل(٥ -٦): المكونات الأساسية للمعالج الدقيق.

٥ -٤ -١ وحدة الحساب والمنطق

تقوم هذه الوحدة بعمليات حسابية على البيانات مثل الجمع والطرح والضرب والقسمة وتقوم أيضًا بعمليات منطقية مثل XOR-OR-AND-NOT.

٥ -٤ -٢ وحدة السجلات

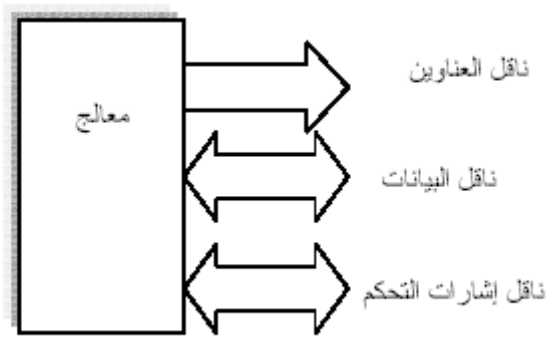
أثناء تنفيذ برنامج ما لسلسلة من التعليمات، تخزن البيانات مؤقتًا في مجموعة من السجلات الداخلية التي تشكل هذه الوحدة، فهذه الوحدة تستخدم كذاكرة داخلية مؤقتة.

٥ -٤ -٢ وحدة التحكم

تشكل هذه الوحدة عصب المعالج وذلك بتنفيذ وظائف التوقيت والتحكم في الإشارات للحصول على البيانات من وإلى المعالج والقيام كذلك بتنفيذ التعليمات المبرمجة وجميع العمليات الأخرى.

٥ -٥ نواقل المعالج

قياسيًا للمعالج ثلاث نواقل لتبادل المعلومات داخليًا وخارجيًا كما هو مبين بالشكل (٥ -٧). هذه النواقل هى: ناقل العناوين وناقل البيانات وناقل التحكم.



الشكل(٥ -٧) نواقل المعالج الدقيق

٥ -٥ -١ ناقل العناوين

ناقل العناوين هو ناقل أحادي الإتجاه، من المعالج إلى الذاكرة أو محيط خارجي آخر. يستعمل المعالج ناقل العناوين لتعيين عناوين لأماكن مختلفة في الذاكرة أو منافذ الدخل والخرج I/O

ports وذلك للقيام بنقل البيانات منها أو إليها ، وحجم أو نطاق العناوين يرتبط بعدد الخطوط أو الخانات المستخدمة.

والمعالجات القديمة لها ٤ خانات، وارتفع هذا الرقم إلى ٨ و ١٦ و ٢٠ و٣٢ و ٦٤ مع تقدم تقنية صناعة المعالجات، وكلما زاد عدد خانات ناقل العناوين كلما زاد حجم الذاكرة التي بإمكان المعالج الوصول إليها.

وباستخدام ١٦ خانة يمكن للمعالج الوصول إلى ٦٠٦٣٥ مكان في الذاكرة. كما إنه باستخدام ٣٢ خانة يمكن للمعالج الوصول إلى 4,295,000,000 مكان في الذاكرة.

والعلاقة التي تربط عدد خانات ناقل العناوين وحجم الذاكرة تتلخص في التالي: $M=2^n$

M: تمثل حجم الذاكرة.

n: عدد خانات نقل العناوين.

مثال: إذا كان عدد خانات نقل العناوين ١٦ يمكن إذن الوصول إلى 2^{16} = ٦٥٥٣٦ بايت .و

إذا كان عدد خانات نقل العناوين ٦٤ يمكن إذن الوصول إلى

2^{64} = 18446744073709551616.بايت

٥ -٥ -٢ ناقل البيانات

يعتبر ناقل البيانات ناقل ذو اتجاهين حتى يتمكن من نقل البيانات من وحدة إلى أخرى. ويمكن لناقل البيانات أن يحمل ٨ أو ١٦ أو ٣٢ أو ٦٤ خانة وهذا حسب نوع المعالج. كلما زاد عدد خانات ناقل البيانات كلما زاد أداء المعالج وسرعة تنفيذ البرامج.

٥ -٥ -٣ ناقل التحكم

يعتبر ناقل إشارات التحكم ذو اتجاهين، إلا أنه لا يوجد شكل قياسي لعدد خانات هذا الناقل. إذ إن عددها وعلاقاتها تختلف كثيرا من معالج إلى آخر.يستخدم المعالج ناقل إشارات التحكم لتنسيق العمليات والإتصال بالمكونات الخارجية.

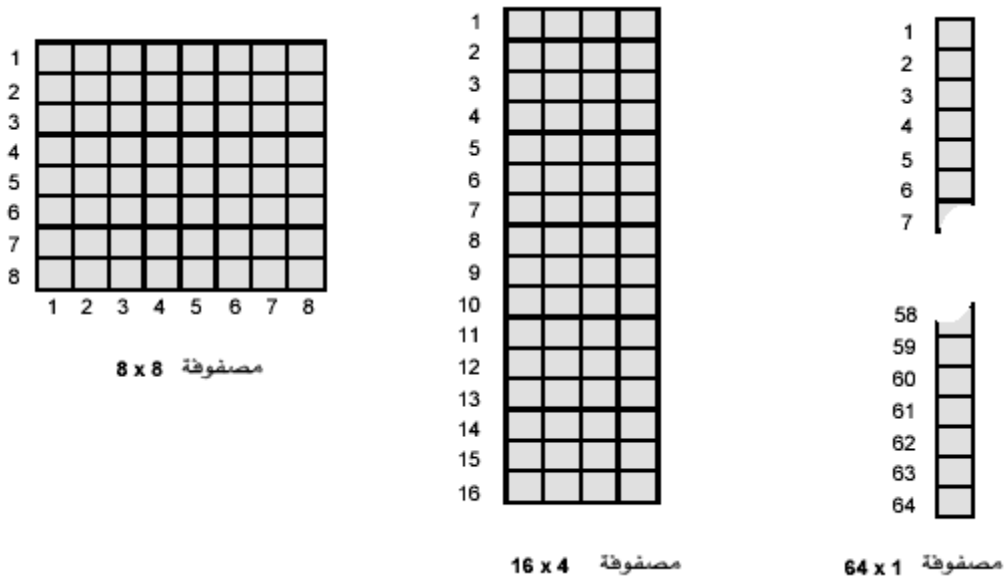
٥ -٦ الذاكرة

الذاكرة هي جزء النظام المخصص لتخزين البيانات على الصورة الثنائية. تتكون الذاكرة من مصفوفة عبارة عن خلايا يتم فيها تخزين المعلومات.

إن أساس خلية الذاكرة هي وحدة قلاب بإمكانها تخزين معلومات تحتوي على بت واحد (1-bit) تخزن الذاكرة البيانات في مجموعات تسمى بايت (1-byte = 8-bits) وهي مجموعة تمثل حرف واحد. وتقاس الذاكرة بالكيلو أو الميجا أو الجيجا بايت. (kB, MB, GB).

كما يحتاج تشغيل الأنظمة المبنية على المعالج الدقيق على دوائر الذاكرة وهذا لحاجة تخزين البرامج والاحتفاظ بالبيانات خلال عملية المعالجة.

تتكون الذاكرة من مصفوفة من الخلايا كما هو موضح بالشكل (٥ -٨).



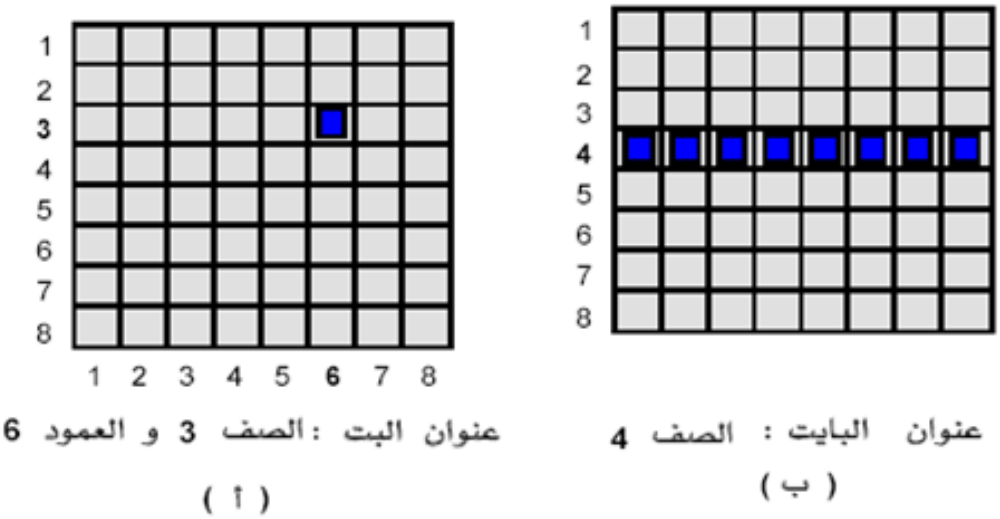
الشكل(٥ -٨)

من خلال الشكل نلاحظ أنه بإمكاننا تمثيل مصفوفة الخلايا بطرق مختلفة. كما أنه بإمكاننا النظر إلى الذاكرة وكأن سعتها 8-bytes أو 16-Nibbles أو 64-bits.

تتميز الذاكرة بعدد الحروف التي تستطيع تخزينها فمثلاً ذاكرة 1-kbyte تستطيع تخزين 1024-bytes كل بايت عبارة عن 8-bits.

٥ -٦ -١ عنوان وسعة الذاكرة

العنوان هو موقع وحدة البيانات في مصفوفة الذاكرة. ففي شكل (٥ -٩) يتحدد عنوان البت في الذاكرة برقم الصف والعمود والذي تقع الخلية المقصودة في تقاطع الصف مع العمود. أما في الشكل (ب) فيتحدد عنوان البايت بعنوان الصف فقط.



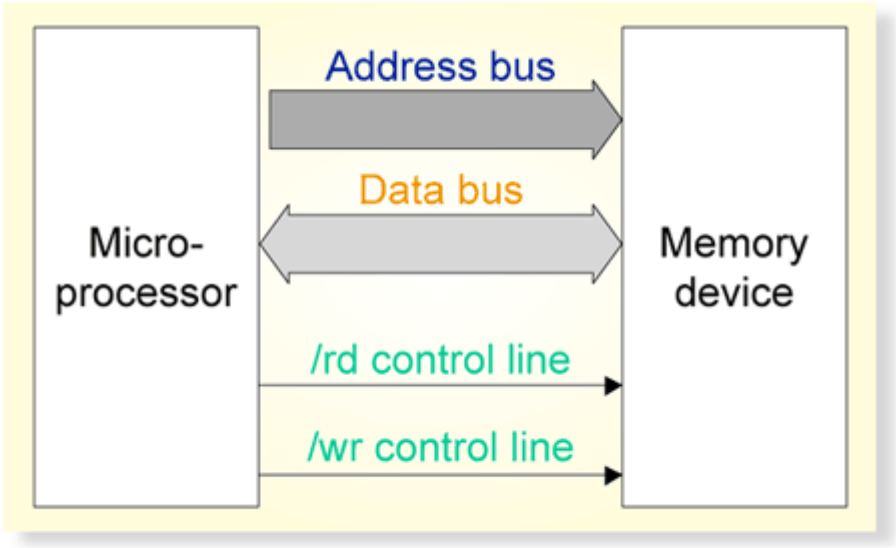
الشكل(٥ -٩)

٥ -٦ -٢ مبدأ تشغيل الذاكرة

عملية الكتابة على الذاكرة تمثل وضع البيانات في عنوان معين في الذاكرة بينما تمثل قراءة الذاكرة في أخذ البيانات من عنوان معين في الذاكرة. تتم عملية إدخال أو إخراج البيانات من الذاكرة على نواقل البيانات Data Bus وكذلك على ناقل التحكم Control Bus وعلى ناقل العناوين Address Bus.

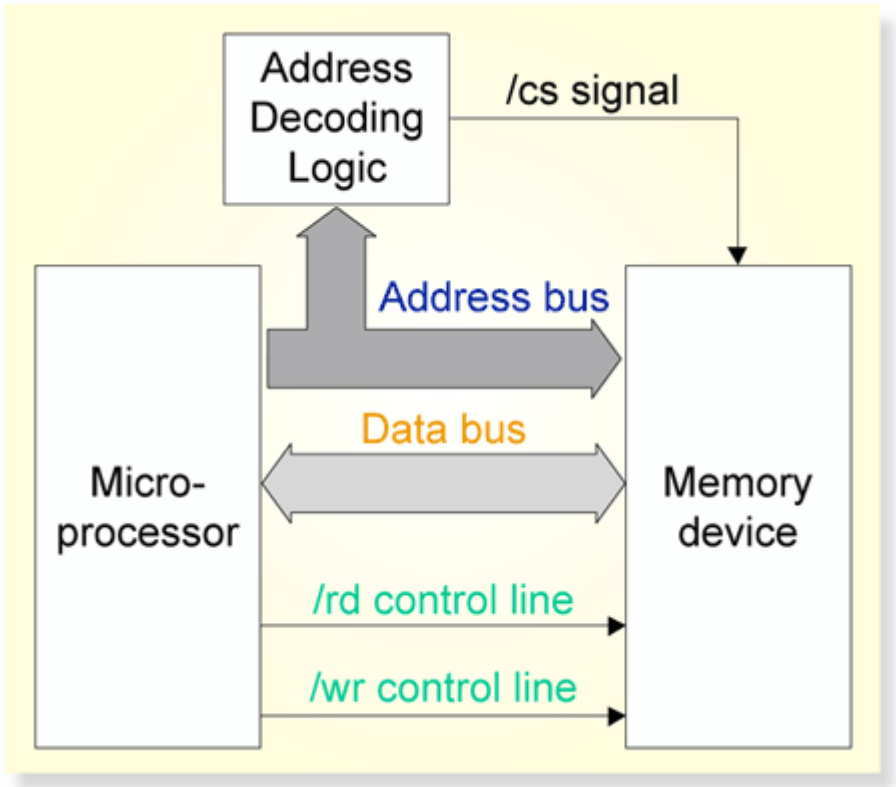
وللكتابة على الذاكرة يرسل المعالج العنوان على ناقل العناوين كما يرسل البيانات المراد كتابتها على ناقل البيانات ويرسل أمر الكتابة على ناقل التحكم (write)، فتقوم الذاكرة المعنية بتخزين البيانات عليها. وللقراءة من الذاكرة يرسل المعالج العنوان على ناقل العناوين ويرسل أمر القراءة على ناقل التحكم (Read)، فتقوم الذاكرة المعنية بوضع بياناتها على ناقل البيانات فيتلقاها المعالج.

الشكل التالي يوضح توصيل المعالج الدقيق مع دوائر الذاكرة الخارجية الخاصة به.



الشكل(٥ -١٠) توصيل المعالج الدقيق مع دوائر الذاكرة الخارجية الخاصة به

الشكل التالي يبين كيف يمكن استخدام محلل شفرة العناوين للحصول على إشارة اختيار دائرة الذاكرة الخارجية.



الشكل(٥ -١١) توصيل محلل شفرة العناوين للحصول على إشارة اختيار دائرة الذاكرة الخارجية.

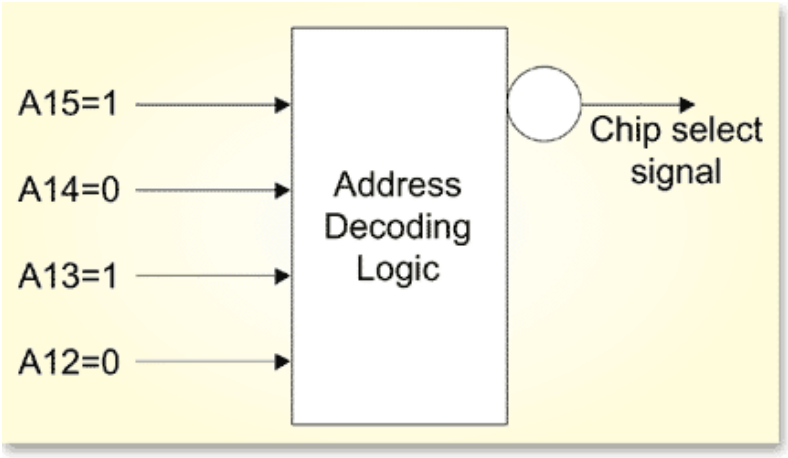
ومهمة دائرة محلل شفرة العناوين هي تحديد عدد معين من العناوين عنده فقط يتم التعامل مع دائرة الذاكرة المخصصة لهذه العناوين.

مثال:

كيف يمكن الحصول على دائرة منطقية لاختيار أي عنوان في المدى من A000 إلى FFFF .

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	1	0	x	x	x	x	x	x	x	x	x	x	x	x

الشكل التالي يوضح أن إشارة اختيار دائرة (CS) سوف يكون فعال إذا كانت خطوط العناوين A15A14A13A12 هي 1010 . وفى أي حالة أخرى سوف تكون هذه الإشارة (CS) غير فعالة.

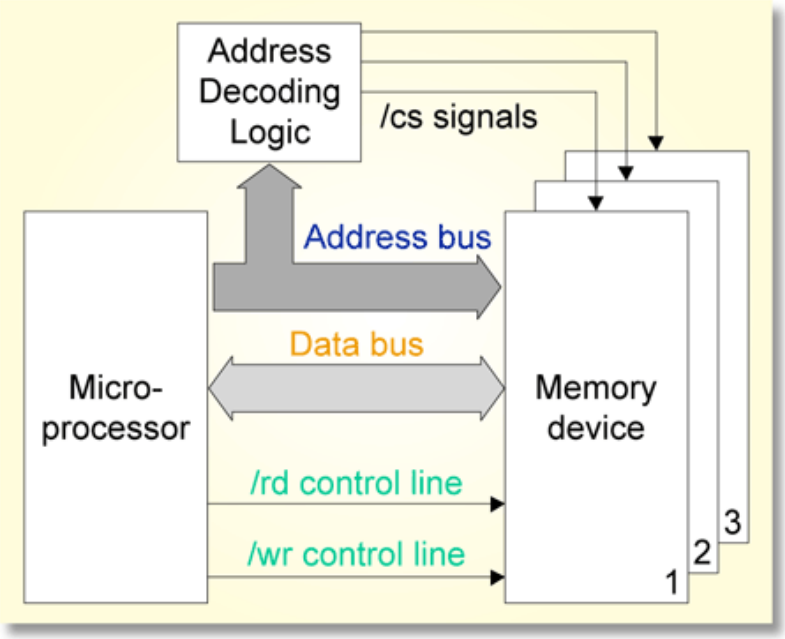


الشكل(٥ -١٢) تفعيل إشارة (CS) لاختيار أي عنوان في المدى من A000 إلى FFFF

وعلى ذلك فان محلل شفرة العناوين يستخدم لتحليل شفرة مجموعة محددة من العناوين لتفعيل إشارة اختيار دائرة محددة. والشكل التالي يوضح كيف يمكن استخدام محلل شفرة العناوين لتفعيل إشارة اختيار دائرة من بين عدة دوائر للذاكرة.

وعادة ما يستخدم محلل شفرة العناوين للاختيار ما بين عدة دوائر للذاكرة حيث أن أنظمة المعالجات الدقيقة دائما ما تستخدم أكثر من دائرة للذاكرة وذلك للحصول على نظام متكامل. ويبين الشكل (٥ -١٣) كيفية استخدام محلل شفرة العناوين (Address

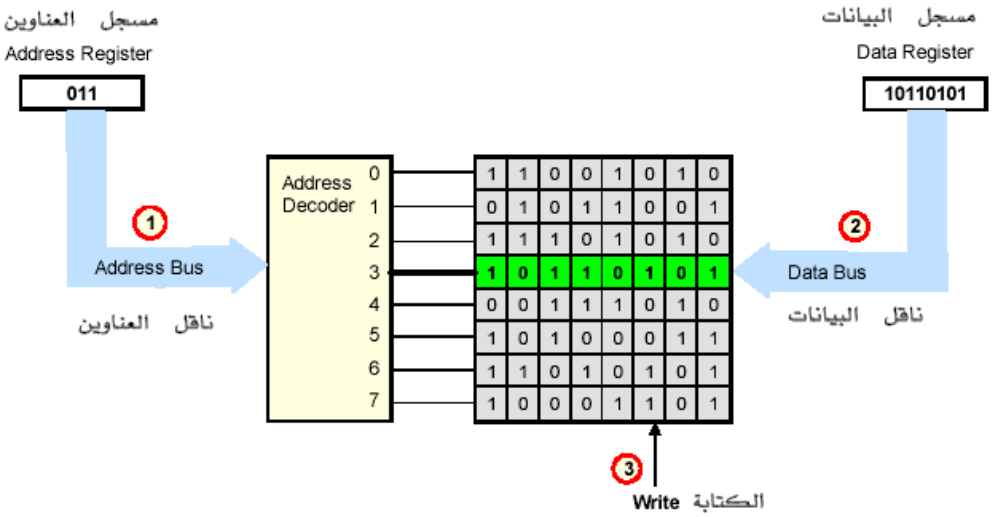
(Decoder لاختيار وحدة ذاكرة من بين عدة وحدات في ذاكرة الجهاز. وسوف نرى في الفقرة التالية كيف تتم عملية الكتابة أو القراءة من الذاكرة باستخدام النواقل المختلفة.



الشكل(٥ -١٣) محلل شفرة العناوين لتفعيل إشارة اختيار دائرة من بين عدة دوائر للذاكرة.

٥ -٦ -٢ -١ عملية الكتابة على الذاكرة

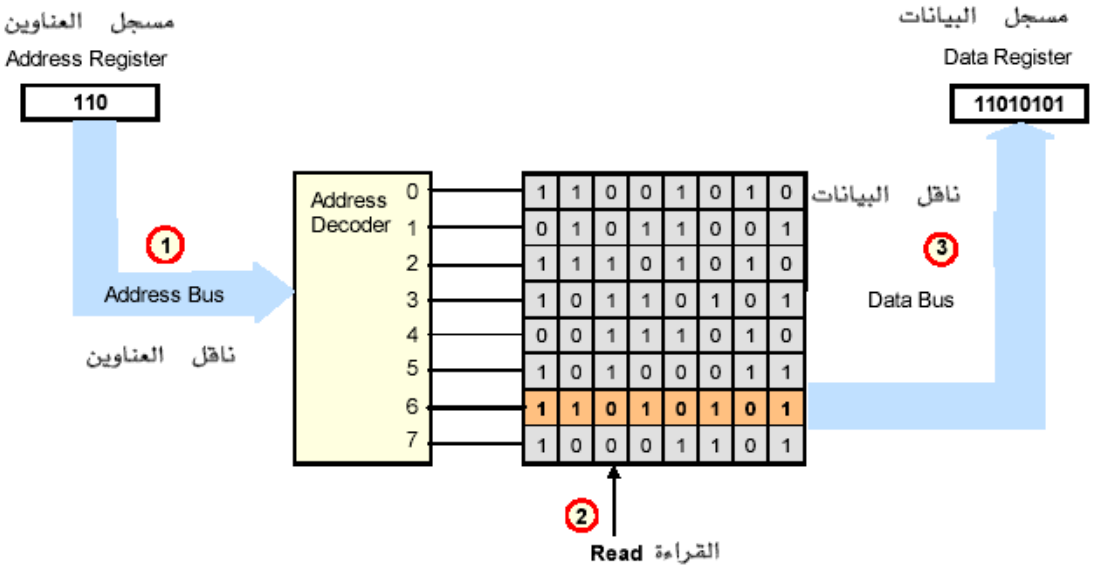
يوضح الشكل (٥ -١٤) عملية الكتابة على الذاكرة. ويستلزم تخزين بايت من البيانات في الذاكرة استخدام شفرة موجودة في مسجل العناوين (Address Register) ثم وضعها على ناقل العناوين (Address Bus). بعدها يقوم مفك الشفرة Decoder بفك شفرة العنوان واختيار الموقع أو العنوان المناسب في الذاكرة وفتحة أي عمل له إتاحة (Enable)، بعدها تتلقى الذاكرة أمر الكتابة (WR) اي (Write) مما يؤدي إلى تسجيل البيانات (كتابتها) على الموقع المحدد من الذاكرة.



الشكل (٥ -١٤) كيفية الكتابة على الذاكرة.

٥ -٦ -٢ -٢ عملية القراءة من الذاكرة

يوضح الشكل (٥ -١٥) كيف يقوم المعالج بقراءة بايت من البيانات من الذاكرة. يرسل المعالج العنوان المراد قراءة بياناته إلى مفك شفرة العناوين (decoder) فيقوم الأخير بفك الشفرة واختيار المكان أو العنوان المناسب من الذاكرة وفتحه أو تمكينه من العمل دون غيره من العناوين (Enable)، ثم يرسل المعالج أمر القراءة (RD) أي (Read) على ناقل التحكم مما يؤدي إلى الحصول على نسخة من البيانات المخزنة في العنوان المعين ووضعها عل ناقل البيانات ومن ثم يقوم المعالج بتحميل تلك البيانات في مسجل البيانات الخاص به.



الشكل(٥ -١٥) كيفية القراءة من الذاكرة

٥ -٦ -٣ الأنواع الرئيسية للذاكرة

تنقسم أنواع الذاكرة إلى فئتين رئيسيتين وهما :

- الذاكرة العشوائية (RAM)
- ذاكرة القراءة فقط (ROM).

١ - الذاكرة العشوائية Random Access Memories (RAM)

هذا نوع من أنواع الذاكرة لتخزين مؤقت للمعلومات، إذ أن المعلومات تُفقد منها بمجرد انقطاع التيار عنها وفيها يتم اختيار العناوين عشوائيا أو في أي ترتيب عند الكتابة فقط. يعتبر هذا النوع من الذاكرات مهم في تعيين أداء البرامج، فهو يعين كم من المساحة تستطيع البرامج استغلالها للتشغيل، وهي المسؤولة عن سرعة تنفيذ العمليات والمعالجة في الحواسب الآلية.

٢ - ذاكرة القراءة فقط (ROM)

هذا النوع من أنواع الذاكرة تحتوي على برامج ثابتة لا ينبغي تغييرها أو مسحها حتى مع انقطاع التيار عنها ومنها مشغل الكمبيوتر البدائي بمعنى بداية تشغيل الحاسوب قبل التحميل من القرص الصلب .كما يحوي على برنامج آخر للتعرف على الأجهزه الموصولة بالحاسوب ويعطي تقرير عن ذلك. كما أنه لا يمكن حذف المعلومات التي تحويها هذه الذاكرة، ولا يمكن التخزين فوقها. ويندرج تحت هذا النوع من الذاكرة عدة أنواع نذكر منها :

١ -ذاكرة القراءة التي يمكن برمجتها مرة واحدة Programmable ROM (PROM)

وفيها يسمح للمستخدم كتابة البرامج عليها مرة واحدة فقط ثم تصير مثل ذاكرة القراءة فقط.

٢ -ذاكرة القراءة القابلة للمسح والبرمجة Erasable PROM (EPROM)

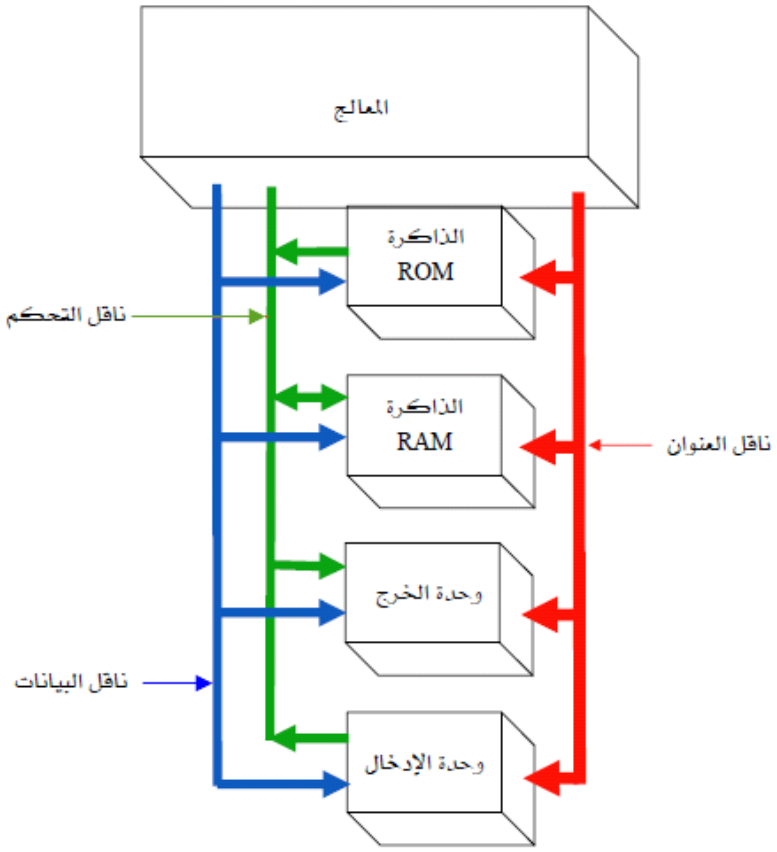
وفيها يتمكن المستخدم من مسح البيانات بأجهزة المسح (Erasing Devices) وإعادة برمجتها أي كتابة عليها معلومات أو برامج مرات عديدة.

٣ -ذاكرة القراءة القابلة للمسح كهربائيًا Electrically EPROM (EEPROM)

وفيها يتمكن المستخدم من مسح البيانات بإشارة كهربائية تأتي من المعالج نفسه أو أي وسيلة مناسبة بدون نزع الذاكرة من مكانها ثم إعادة برمجتها أي كتابة معلومات أو برامج مرات عديدة.

ولكل نوع منها استخداماته ومميزاته الخاصة به.

يبين الشكل (٥ -١٦) كيفية التواصل بين المعالج ووحدات الدخل والخرج وكذلك ذاكرة القراءة والكتابة وذاكرة القراءة فقط. يبين الشكل أيضًا أنواع نواقل العنوان والبيانات وناقل التحكم، وينطبق هذا الشكل العام على جميع أنواع المعالجات على اختلاف سعة الناقل في المعالجات المختلفة.



الشكل(٥ -١٦): توصيل المعالج بالوحدات المختلفة وأنواع النواقل والذاكرة

٥ -٧ لغات الحاسب

يمكن تقسيم لغات الحاسب إلى ثلاث أنواع رئيسية وهم:

٥ -٧ -١ لغة الآلة Machine Code

وهي لغة خاصة يفهمها المعالج بسهولة لأنها تحتوي على الأوامر على هيئة أرقام ثنائية Binary أو سداسية عشر Hexadecimal وكل معالج له شفراته الخاصة به والتي لا يمكن لمعالج غيره فهمها.

٥ -٧ -٢ لغة المستوى الأدنى Low Level Language

وهي لغات بها أوامر على هيئة كلمات أو اختصار لكلمات يمكن للمستخدم فهمها والبرمجة بها ولكن لا يمكن للمعالج فهمها إلا إذا تم تحويلها إلى لغة الآلة. ومثال على هذه اللغة هي لغة التجميع Assembly Language ويتم تحويل هذه اللغة إلى لغة الآلة باستخدام ما يسمى المجمع Assembler. ولكل نوع من أنواع المعالجات لغته الخاصة والتي تختلف وتميزه عن غيره.

٥ -٧ -٣ لغة المستوى العالي High Level Language

وهي لغات يمكن للمستخدم العادي فهمها بسهولة وتتبعها في حالة الأخطاء ومن أمثلتها لغات مثل البيسك Basic و السي C والفورتران Fortran...إلخ. ولتحويل اللغة إلى لغة الآلة تستخدم برامج تسمى محولات Compilers وذلك ليتمكن المعالج من فهمها والتعامل معها بسرعة وكفاءة.

وعادة ما يتم تكوين أي برنامج من عدد من الأوامر المتتالية وعن طريق هذه الأوامر يمكن تحقيق الهدف المطلوب من كتابة البرنامج ويمكن أن يتم عمل وتنفيذ البرامج عن طريق كتابة البرنامج بأي لغة من اللغات السابقة ثم تحويله إلى لغة الآلة قبل تغذية المعالج به.

يمكن أن يتم تعريف الأمر الخاص بالمعالج الدقيق (Microprocessor) والبرنامج كالتالي:

الأمر Instruction

يعرف الأمر بأنه الشفرة الثنائية (Binary Code) أو الكود الذي يعطي للمعالج والتي على أثرها يقوم المعالج بتنفيذ عملية معينة مثل جمع أو طرح رقمين أو إحضار معلومة من الذاكرة أو إعطاء أمر لإخراج معلومة للشاشة أو الطابعة ... إلخ.

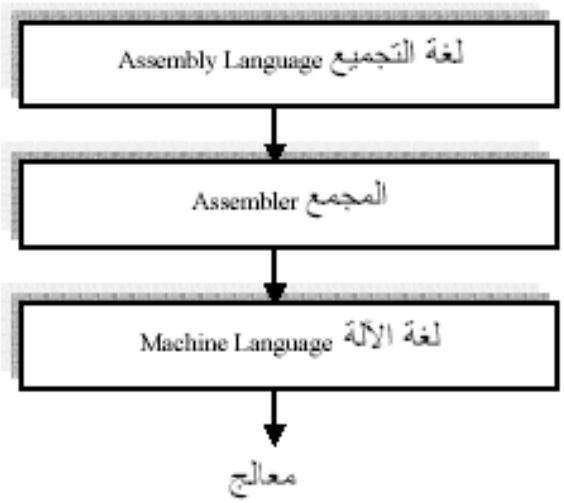
٥ -٨ البرنامج Program

يعرف البرنامج بأنه مجموعة من الأوامر مجمعة معًا والغرض منها تحقيق هدف معين وليكن التحكم في سرعة محرك أو التحكم في درجة حرارة سائل مثلاً في مصنع من المصانع. ويمكن أن يؤدي البرنامج إلى إجراء عملية حسابية مثل الجمع والطرح أو عملية منطقية مثل المقارنة وهكذا. ويمكن النظر لأي برنامج على أنه مجموعة من الشفرات الثنائية المخزنة في الذاكرة في انتظار أن يقوم المعالج بتنفيذها بالترتيب. وعادة ما يكتب البرنامج بلغة التجميع في صورة سداسية عشر وذلك بهدف التسهيل ثم يتم التحويل إلى الصورة الثنائية التي يفهمها المعالج.

٥ -٨ -١ برمجة المعالج Microprocessor Programming

المعالج لا يفهم إلا لغة واحدة خاصة به وهي لغة الآلة والتي تشكل من أعداد ثنائية (0 -1) . ويصعب للمبرمج استخدام هذه اللغة، لذلك تم تطوير لغات أخرى تسهل برمجة المعالج. تصنف هذه اللغات باللغات منخفضة المستوى (Low Level Language) مثل لغة التجميع (Assembly language) واللغات عالية المستوى (High level language) مثل لغات C والبيسك ولغة الجافا... إلخ.

فلغة التجميع هي تعليمات تشبه كلمات باللغة الإنجليزية تسمى mnemonics، تسهل برمجة المعالج لكنها تظل معقدة إذا ما قارناها مع اللغات عالية المستوى. إذا استخدمنا لغة التجميع لكتابة برنامج ما، فلكي نستطيع مخاطبة المعالج، يجب تحويل شفرة لغة التجميع إلى شفرة لغة الآلة. يقوم بعملية التحويل برنامج يسمى المجمع Assembler . الشكل التالي يوضح عملية برمجة المعالج بلغة التجميع.



الشكل(٥ -١٧): كيفية تحويل لغة التجميع إلى لغة الآلة لتغذية المعالج.

أما لغات البرمجة عالية المستوى، فإنها تحول إلى لغة الآلة عن طريق ما يسمى بالمترجم (interpreter) أو المفسر (Compiler).

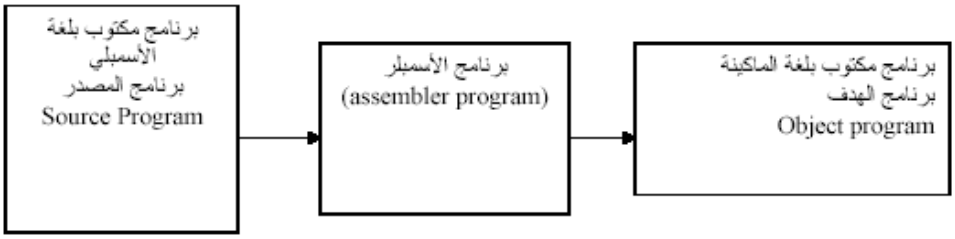
٥ -٨ -٢ لغات التجميع Assembly Languages

لغات التجميع هي مجموعة من اللغات ذات المستوى المنخفض Low-Level بمعنى أنها مصممة لتتعامل مع المعالج أكثر من كونها مصممة ليتم البرمجة بها تستخدم في برمجة أجهزة الكمبيوتر، المعالجات الدقيقة Microprocessors, المتحكمات الدقيقة Microcontrollers, وفي برمجة الدوائر المتكاملة.Integrated Circuits (IC) . وتقوم تلك اللغات بتحويل الكود والثوابت اللازمة لبرمجة بناء معين من وحدات المعالجة المركزية CPU, من شكله المعتمد على الرموز إلى كود الآلة Machine Code . وهذا التحويل/التمثيل يتم تعريفه عادة عبر الشركات المصنعة للمعالجات، ويعتمد على مجموعة من الاختصارات التي تساعد المبرمجين على تذكر تعليمات البرمجة والسجلات Registers المستخدمة في عمليات البرمجة بسهولة. وهناك لغة تجميع محددة لكل معالج بعكس معظم لغات البرمجة عالية المستوى High-Level, التي عادة ما تعمل مع معظم أنظمة المعالجات. وتستخدم أداة برمجية تسمى "المجمع Assembler "في ترجمة السطور والتعليمات Instructions المكودة عبر لغة التجميع إلى "كود الآلة" التي يتم التعامل معها. وتقدم العديد من المجمعات المتطورة

Assemblersإمكانيات وآليات إضافية تسهل تطوير البرامج، التحكم في عملية التجميع، والمساعدة في اكتشاف وتصحيح الأخطاء البرمجية Debugging .

٥ -٨ -٣ برنامج المجمع Assembler

حيث إن المعالج الدقيق لا يتعامل الا مع الشفرات الثنائية فلابد من ترجمة الشفرات الحرفية Mnemonics إلى شفرات ثنائية والتي يفهمها المعالج الدقيق. وعادة ما يطلق على البرنامج المكتوب بلغة الأسمبلي اسم المصدر Source Program والبرنامج المكتوب بلغة الآلة بالبرنامج الهدف Object Program والشكل (٥ -١٨) يوضح الدور الذي يقوم به الأسمبلر.



شكل(٥ -١٨) شكل توضيحي يبين الغرض من استخدام برنامج المجمع Assembler.

تدريبات على الوحدة الخامسة

(٥ - ١) حوّل البيانات التالية من الترقيم السداسي عشر إلى الترقيم الثنائي:
0111E – A01FB – ABCDE – 9812F – 7FE3D – 54F – 69F – A3F – EFC

(٥ - ٢) اذكر الوحدات الأساسية التي تستعمل مع المعالج لتكوين الحاسب الآلي؟

(٥ - ٣) صحح العبارت التالية:

- ROM تستعمل لتخزين دائم للبيانات و البرامج ( ).
- RAM تستعمل لتخزين مؤقت للبيانات ( ).

(٥ - ٤) اذكر النواقل المستعملة من جهة المعالج ووضح اتجاه المعلومات على هذه النواقل من المعالج نحو الوحدات ومن الوحدات نحو المعالج ؟

(٥ - ٥) إشارات أوامر القراءة من الذاكرة أو الكتابة في الذاكرة مولّدة من طرف المعالج: صح أم خطأ؟ وإلى أي ناقل تنتمي هذه الأوامر؟

(٥ - ٦) باستعمال قائمة الوحدات الآتية:

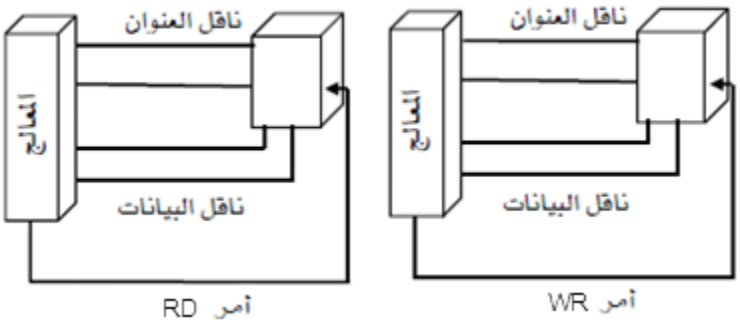
١ -وحدة الحساب والمنطق.
٢ - الذاكرة
٣ -وحدة الدخل.
٤ - وحدة الخرج.
٥ - ناقل البيانات.
٦ -ناقل العنوان.
٧ - ناقل التحكم.

(٥ - ٧) اذكر ما الأدوار التي تقوم بها كل وحدة من الآتي:

أ -مصدر للبيانات والتعليمات.
ب - تستقبل بيانات من المعالج.
ج - تخزن بيانات وبرامج.
د - محل الحسابات.
ه -ينقل التعليمات.
و -ينقل البيانات بين الوحدات.
ز -تتحكم في كل العمليات.
ح - تستقبل بيانات من أجهزة خارجية.

(٥ - ٨) عرف الوحدات الداخلية للمعالج ؟

(٥ - ٩) استعمل أسهمًا لرسم اتجاه الإشارات في الحالات الآتية بالشكل (٥ -١٩)، ثم اذكر في كل حالة اسم الوحدة المستعملة ؟



الشكل (٥ -١٩): تحديد اتجاه الإشارات

(٥ - ١٠) صح أم خطأ. نقل البيانات بين المعالج والوحدات يكون على الطريقة المتوازية ؟

(٥ - ١١) عرّف دور وحدات الإدخال/الإخراج ؟

(٥ - ١٢) معالج يستعمل ٦٤ سلكًا من ناقل العنوان للاتصال بذاكرة، فما حجم هذه الذاكرة ؟

(٥ - ١٣) لماذا تستعمل رجل الاختيار في توصيل الوحدات مع المعالج ؟

(٥ - ١٤) اذكر بالتسلسل المراحل الثلاث المستعملة من جهة المعالج والوحدات في الحالات:

قراءة معلومة من الذاكرة

كتابة معلومة في الذاكرة

قراءة معلومة من وحدة إدخال.

كتابة معلومة على وحدة إخراج

(٥ - ١٥) بأي طريقة ترسل البيانات مباشرة نحو مخازن الذاكرة بدون استعمال إشارات التحكم بالمعالج ؟

(٥ - ١٦) استخدم الأنترنت للبحث عن تطور المعالجات الدقيقة مبينًا مميزات كل نوع عن سابقه والأنواع الحديثة والإمكانيات المتوفرة بها حاليًا بالأسواق، ثم قم بصياغة كل هذه المعلومات في بحث وقدمه لمدربك.

ملحق المصطلحات

English	عربي
1's Complement	المتمم الأحادي
1st Clock pulse	نبضة التزامن الأولى
2's Complement	المتمم الثنائي
4-stages	أربع مراحل
Active High Inputs	المداخل الفعالة العالية
Active Low Inputs	المداخل الفعالة المنخفضة
Active-low	الحافة السالبة
Addition of Binary Numbers	جمع الأعداد الثنائية
Address Bus	ناقل العنوان
Adjacent cells	الخلايا المتجاورة
Advantages	مميزات
Analogue	قياسي
Arithmetic Operations	العمليات الحسابية
Array	مصفوفة
Asynchronous Binary Up/Down Counters	العدادات الثنائية التصاعدية التنازلية غير المتزامنة
Asynchronous Binary-Down Counters	العدادات الثنائية التنازلية غير المتزامنة
Asynchronous Binary-Up Counters	العدادات الثنائية التصاعدية غير المتزامنة
Asynchronous Counters	العدادات غير المتزامنة
Auxiliary Carry AC	مساعد الحافظة
Bars	العلامات الفوقية
Basic Construction of a Computer	العناصر الأساسية للحاسب الآلي
Binary Adder and Subtractor Circuits	دوائر الجامع والطارح الثنائية
Binary bits	الخانات الثنائية
Binary Coded Decimal	النظام الثنائي العشري
Binary Decoder	المفسر الثنائي

English	عربي
Binary Digits	الخانات الثنائية
Binary Numbering System	النظام الثنائي للأعداد
Binary Point	العلامة الثنائية
Binary Subtraction	الطرح الثنائي
Binary Variables	المتغيرات الثنائية
Binary-to-Decimal Conversion	التحويل من النظام الثنائي إلى النظام العشري
Binary-to-Hexadecimal Conversion	التحويل من الثنائي إلى السداسي عشر
Bi-stable Multi-vibrator	متعدد الإهتزازات ثنائي الإستقرار
Bits	الخانات
Block Diagram	المخطط الصندوقي
Boolean Algebra	الجبر البوليني
Boolean Expression	الصيغة البولينية
Borrowed	يستعار
Buffer Register	مسجلات النقل أو العزل
Bus Types	أنواع الناقل
Carry	الحامل
Cells	خلايا
Central Processing Unit CPU	وحدة المعالجة المركزية
Central Processors	المعالجات الدقيقة
Clear-input	دخل المسح
Clock Pulse	نبضات الساعة
Clocked SR Flip-Flop	القلاب SR المتزامن
Closed	مغلقاً
Combinational Logic Circuit	الدائرة المنطقية التوافقية
Complementation	الإتمام
Complements	المتممات
Control Bus	ناقل التحكم
Control Unit CU	وحدة التحكم
Converting	تحويل

English	عربي
Core Memory	الذاكرة الداخلية
Counters	العدادات
CS: Chip Select	الاختيار
CY(Carry)	الحافظة
Cycle Repeats	الدورة تتكرر
Data Acknowledge	الاعتراف بالبيانات
Data Available	البيانات المتاحة
Data Bus	ناقل البيانات
Data subscriber	موزع البيانات
Decimal Fractions	الكسور العشرية
Decimal Numbering System	النظام العشري للأعداد
Decimal Point	العلامة العشرية
Decimal-to-Binary Conversion	التحويل من النظام العشري إلى النظام الثنائي
Decimal–to–Hexadecimal Conversion	التحويل من العشري إلى السداسي عشر
Delayed time Filp-flop	قلاب التأخير الزمني
Demorgan's Theorem	نظريات دي مورجان
De-multiplexers	فك التعدد
Design of Combinational Logic Circuits	تصميم الدوائر المنطقية التوافقية
Developments of Computer	تطور الحاسبات الآلية
Difference bit	خانة الفرق
Digital	رقمي
Digital Electronic Circuits	الدوائر الإلكترونية الرقمية
Digital Integrated Circuits	دوائر رقمية متكاملة
Digital word	كلمة رقمية
Disabled	غير الفعالة
Discard	أهمل
Enabled	نشطة
Flip Flop	القلاب

English	عربي
Flip-Flop Circuit	دائرة القلاب
Full Subtractor Circuit	دائرة الطارح الكامل
Full-Adder Circuit	دائرة الجامع الكامل
Gate	بوابة
Half Subtractor Circuit	دائرة الطارح النصفي
Half-Adder Circuit	دائرة الجامع النصفي
Handshaking	المصافحة أو التلبية
Hardware	بناء الحاسب
Hexadecimal Numbering System	النظام السداسي عشر
Hexadecimal-to-Binary Conversion	التحويل من السداسي عشر إلى الثنائي
Hexadecimal–to–Decimal Conversion	التحويل من السداسي عشر إلى العشري
HIGH	عالي، المرتفع
Implementation	تمثيل، تحقيق، تنفيذ
Input and Output Devices	وأجهزة الدخل والخرج
Input Interface	مواجهة الدخل
Input Labels	علامات الدخل
Input unit	وحدة إدخال
INTEL	إنتل
Invalid condition	وضع الحظر أو وضع غير مسموح به
Inversion	العكس
INVERTER	العاكس
JK Flip Flop	القلاب JK
Karnaugh-Map	خرائط كارنو
Latches	الماسكات
Least Significant Bit	الخانة الأقل وزنًا
Left Shift	الإزاحة إلى اليسار
Logic Circuit	دائرة منطقية

English	عربي
Logic Functions	البوابات المنطقية
Logic Machine	آلة منطق
Logic Symbol	الرمز المنطقي
Logical Addition	الجمع المنطقي
Logical Multiplication	الضرب المنطقي
LOW	منخفض
Magnitude	القيمة
Maximum Count of a Counter	أقصى عد للعداد
Memory	الذاكرة
Memory Access Controllers	جهاز التحكم للنقل المباشر
Microprogramming	البرمجة المصغرة
Mode of Operation	وضع التشغيل
Most Significant Bit	الخانة الأكبر وزنًا
Motherboard	اللوحة الأم
Multiplexers or Data Selectors	وحدات التعدد أو منتخبات البيانات
NAND Gate as a Universal Logic Element	البوابة NAND كعنصر منطقي عام
Negative Edge Trigger	حافة النبضة السالبة
No Change	وضع الإمساك (عدم التغير)
NOR Gate as a Universal Logic Element	البوابة NOR كعنصر منطقي عام
NOT Gate	بوابة العاكس
Number of Binary Combinations	عدد التشكيلات الثنائية
Numbering Systems	أنظمة الأعداد
Output interface	مواجهة الخرج
Output unit	وحدة الخرج
P(Parity)	التكافؤ
Parallel Data	بيانات متوازية
Parallel Data In	دخل بيانات متوازية

English	عربي
Parallel Data Out	خرج بيانات متوازية
Parallel Transmission	النقل المتوازي
Parallel-in, Serial-out Shift Registers	مسجلات إزاحة متوازية المدخل – متوالية الخرج
Positional Weight	الوزن المكاني
Positive edge	حافة موجبة
Positive Edge Trigger	حافة النبضة الموجبة
Power Supply	مصدر التغذية
PROM & EPROM	ذاكرة القراءة فقط القابلة للبرمجة
Propagation-delay time	زمن تأخير الانتشار
Pulses	نبضات
Random Access Memory RAM	ذاكرة الوصول العشوائي
RD: Read	القراءة
Read Only Memory ROM	ذاكرة القراءة فقط
Repeated Division-by-2 Method	تكرار القسمة على ٢
Representation of Signed Numbers	تمثيل الأعداد ذات الإشارة
Reset	غير فعال أو خامل
Reset Input	المدخل غير الفعال
RESETS	وضع غير الفعال
Right Shift	الإزاحة إلى اليمين
Ripple Counters	عدادات التموج
Rotate Left	دوران يسار
Rotate Right	دوران يمين
Rules of Boolean Algebra	قواعد الجبر البوليني
S(Sign)	الإشارة
Sequential Logic Circuits	الدوائر المنطقية التعاقبية
Serial Data	البيانات المتوالية
Serial-In	دخل توالي
Serial-in, Parallel-out Shift	مسجلات إزاحة متوالية المدخل – متوازية الخرج

English	عربي
Registers	
Serial-in, Serial-out Shift Registers	مسجلات إزاحة متوالية المدخل – متوالية الخرج
Serial-Out	خرج توالي
Series Transmission	النقل المتتالي
Set Input	المدخل الفعال
SETS	وضع الفعال
Shift Registers	مسجلات الإزاحة
Sign	إشارة
Signed Numbers	الأعداد ذات الإشارة
Sign-Magnitude	الإشارة والمقدار
Sign-Magnitude System	نظام الإشارة والمقدار
Simplification	تبسيط
Simplification of Boolean Expressions	تبسيط الصيغ البولينية
Simplification Using Karnaugh Map	التبسيط باستخدام خريطة كارنو
Single Bit	خانة واحدة
SISO Rotate-Right	توالي الدخل – توالي الخرج دوران يمين
Software	البرامج
Standard	قياسي
stores	يخزن
Sum	حاصل الجمع
Synchronous Binary Counters	العدادات الثنائية المتزامنة
Synchronous Counters	العدادات المتزامنة
Temporary	مؤقت
Timing Diagram	المخطط الزمني
Toggle	التبديل
Trigger	تنشيط
Truth Table	جدول الحقيقة
Universal Gates	بوابات عامة

English	عربي
Universal Properties	الخواص العامة
Unpredictable	لا يمكن التنبؤ به
Vacuum Tube	صمام مفرغ
via	من خلال
Voltage Source	مصدر جهد
Whirl Wind Computer	حاسب تدوير الرياح
WR: Write	بالكتابة
Z(Zero)	الصفر
Parallel Data Output	خرج البيانات على التوازي
Modulus of Counter MOD	مقياس العداد

المراجـع

المؤلف	اسم المرجع
Nigel P. Cook	Introductory Digital Electronics. New Jersey: Prentice-Hall, Inc. 1998.
M. Morris Mano,	Digital Logic and Computer Design, Prentice- Hall, Inc. of India – 2000.
Thomas L. Floyd	Digital Fundamentals, Seventh Edition, Prentice-Hall, Inc. 2000.
M. Morris Mano	Digital Design, Prentice- Hall, Inc. Aug 2001