RAY
PUBLISHING & SCIENCE

مبادئ التصميم الإلكتروني الرقمي

تعلم الأسس النظرية والعملية للتصميم الرقمي

إعداد الدكتور سليم عمر إدريس

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

1 البوابات الرقمية الأساسية

1.1 مدخل إلى علم المنطق ومفهوم الصفر والواحد منطق

يتم التعامل في الرياضيات العادية مع متحولات وتوابع. وعندما نتكلم عن متحول، فإننا نتحدث عن شيء ما نرمز له بالرمز X ويتغير ضمن مجال يُسمى مجال تغيرات المتحول، ويمكن أن يحدد مجال تغيرات المتحول بشكل مسبق. أما التابع فيمثل علاقة تربط قيمة شيء آخر Y بالمتحول X ويرمز لهذه العلاقة بالرمز Y=f (X)، كأن يكون $Y = f(x) = 5X^2 + 3Y$. إذا كان مجال تغيرات المتحول صغيراً، فيمكننا التعبير عن التابع بواسطة جدول كما في الجدول (1.1).

الجدول 1.1 جدول بسيط يوضح قيماً عددية للمتحول X والقيم الموافقة للتابع Y.

X	0	1	2	3
Y	3	8	23	48

ليس بالضرورة أن يكون كل من X و Y أعداداً، وعلى سبيل المثال يمكن أن يعبر X عن لون إشارة مرور على تقاطع طرق بينما يعبر Y عن سلوك سائق سيارة يريد أن يعبر التقاطع وفي هذه الحالة ستكون العلاقة بين X و Y كما هو مبين في الجدول (2.1).

الجدول 2.1 جدول يوضح قيماً غير عددية للمتحول X والقيم الموافقة للتابع Y.

X	Y=f(x)
أخضر	تابع السير
برتقالي	استعداد لتغيير الحالة
أحمر	توقف

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

في الدارات التكاملية الرقمية يتم التعامل مع متحولات تتميز بالخصائص التالية:

1. يمكن أن يأخذ المتحول المنطقي إحدى قيمتين فقط.
2. تعبر قيم المتحول المنطقي عن حالة صريحة كما في مثال إشارة المرور.
3. يجب أن تكون القيم التي تعبر عن الحالة الصريحة متعاكسة تماماً، كأن نقول (أحمر = X) وهذا يكافئ تماماً قولنا عن X أنه ليس أخضراً، أو (صح = X) والذي يكافئ (قولنا أن X ليس خطأً).

عادة يتم التعبير عن المتحولات المنطقية في الدارات التكاملية الرقمية بـــ (1) منطق للشيء الصحيح أو الموجود، وبـــ (0) منطق للشيء الخاطئ أو غير الموجود. وبذلك فإن المتحول المنطقي إما أن يكون (1) منطق أو (0) منطق، وبما أن الدارات التكاملية الرقمية تتعامل مع جهود كهربائية فإن الصفر والواحد منطق يعبران عملياً عن مستويات للجهود تختلف من عائلة منطقية إلى عائلة أخرى. ويوجد هناك نوعان للمنطق هما: المنطق الموجب، حيث يعبر فيه الواحد منطق عن الجهد الأكثر إيجابية والصفر منطق عن الجهد الأقل إيجابية (الأكثر سلبية). والمنطق السالب، حيث يعبر فيه الواحد منطق عن الجهد الأكثر سلبية والصفر منطق عن الجهد الأكثر إيجابية.

2.1 أنظمة العد

أنظمة العد هي الأنظمة التي تتعامل مع الأعداد والعمليات على هذه الأعداد، وأنظمة العد الأكثر استخداماً هي:

1. نظام العد العشري.
2. نظام العد الثنائي.
3. نظام العد الثماني.
4. نظام العد الستة عشري.

1.2.1 نظام العد العشري

وهو النظام المستخدم في الحياة العامة العادية، وأساس هذا النظام هو العدد (10). ويمكن، باستخدام هذا النظام، التعبير عن أي عدد بسلسلة عددية كما يلي: $6.(10)^2 + 2(10)^1 + 3(10)^0 = 623$. ونعلم أن $(10)^0 = 1$، و$(10)^1 = 10$، و$(10)^2 = 100$، لذلك فإن العدد 623 يكتب كما يلي:

$623 = 6(100) + 2(10) + 3(1) = 600+20+3$. واعتماداً على ما سبق يمكن كتابة أي رقم عشري على شكل سلسلة عددية بالشكل:

$$Z = \sum_{K=0}^{N-1} A_K R^K$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وذلك باعتبار أن N هي عدد خانات الرقم المعطى، R أساس نظام العد وهو هنا العدد (10)، أما A فهي قيمة تقع بين (0) و(9). وهذه السلسلة عامة لأي نظام عد.

2.2.1 نظام العد الثنائي Binary System

أساس نظام العد الثنائي هو العدد (2)، والأرقام في هذا النظام هي (0) و(1)، والمستويات في هذا النظام هي مستوى الواحد $2^0 = 1$، ومستوى الاثنين $2^1 = 2$، ومستوى الأربعة $2^2 = 4$ ومستوى الثمانية $2^3 = 8$ وهكذا. وعلى سبيل المثال قيمة العدد $(1101)_2$ (الدليل الموجود إلى يمين وأسفل القوس يدل على أن العدد بالنظام الثنائي إذا كان الدليل (2) والثماني إذا كان (8) وهكذا) هي:
$(1101)_2 = 1(2)^3 + 1(2)^2 + 0(2)^1 + 1(2)^0 = 1(8) + 1(4) + 0(2) + 1(1) = 8 + 4 + 0 + 1 = (13)_{10}$. نتعرف في الجدول التالي على الأعداد من (0) حتى (9) في النظامين العشري والثنائي. ومن هذا الجدول نلاحظ أن نظام العد الثنائي يحتاج إلى عدد أكبر من الخانات لإعطاء نفس قيمة العدد الذي يعطيه الرقم العشري، فمثلاً نحتاج إلى خانة واحدة في النظام العشري للتعبير عن العدد (9) وإلى أربع خانات للتعبير عن نفس العدد في النظام الثنائي. وعلى الرغم من هذه السلبية فإن نظام العد الثنائي هو النظام الذي يستخدم في الحواسيب بسبب سهولة وبساطة قيم خانات الأعداد التي تكون دوماً إما صفر (0) أو (1). طبعاً يمكن تحويل أي رقم من النظام العشري إلى الثنائي وبالعكس.

الجدول 3.1 قيم الأعداد من (0) حتى (9) في النظامين الثنائي والعشري.

نظام العد الثنائي	نظام العد العشري
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

التحويل من النظام الثنائي إلى العشري

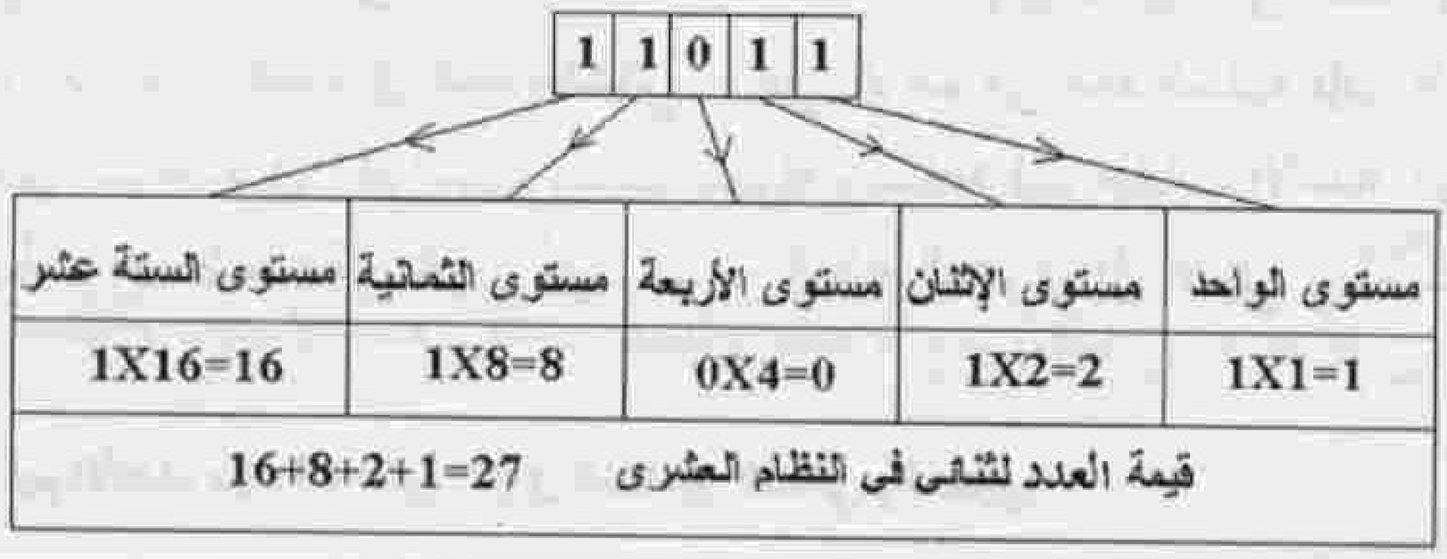
يتم التحويل من النظام الثنائي إلى العشري بجمع قيم كافة مستويات الرقم الثنائي إلى بعضها البعض كما في الأمثلة التالية:

$$(1111)_2 = 1(2)^3 + 1(2)^2 + 1(2)^1 + 1(2)^0 = 8+4+2+1 = (15)_{10}$$

$$(10110)_2 = 1.2^4 + 0.2^3 + 1.2^2 + 1.2^1 + 0.2^0 = 1(16) + 0 + 4 + 2 + 0 = (22)_{10}$$

$$(110111)_2 = 1(2)^5 + 1(2)^4 + 0(2)^3 + 1(2)^2 + 1(2)^1 + 1(2)^0 = 32+16+0+4+2+1 = (55)_{10}$$

في نظام العد العشري نقول أن الرقم يتكون من مجموعة مراتب هي الآحاد (X1)، والعشرات (X10)، والمئات (X100) والآلاف (X1000) وهكذا. وبشكل مشابه يمكن أن نلاحظ أن العدد الثنائي يتكون من مجموعة مستويات هي (بدءاً من اليمين إلى اليسار) مستوى الواحد (2^0)، ومستوى الاثنان (2^1)، ومستوى الأربعة (2^2) ثم مستوى الثمانية (2^3) وهكذا كما في الشكل (1.1). ويمكن اعتماداً على هذه المستويات معرفة قيمة العدد الثنائي في النظام العشري.



الشكل 1.1 مستويات خانات العدد الثنائي.

التحويل من النظام العشري إلى النظام الثنائي

يتم التحويل من النظام العشري إلى الثنائي كما في المثال التالي حيث يتم تقسيم العدد المراد تحويله على (2) وكتابة الناتج + الباقي والذي يكون إما واحداً أو صفراً، وتعاد عملية التقسيم حيث يقسم أول ناتج على 2 وهكذا حتى يصبح ناتج القسمة صفراً والباقي واحداً أو صفراً كما في المثال التالي:

المثال (1):

يطلب تحويل $(?)_2 = (26)_{10}$. ويقصد بهذه الكتابة العدد (26) في النظام العشري يساوي (مجهول) في النظام الثنائي، وعلينا البحث عن هذا المجهول:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$26/2 = 13 + (0$ الباقي$)$
$13/2 = 6 + (1$ الباقي$)$
$6/2 = 3 + (0$ الباقي$)$
$3/2 = 1 + (1$ الباقي$)$
$1/2 = 0 + (1$ الباقي$)$

ويكون ناتج عملية التحويل هو $(11010)_2$ أي أن $(11010)_2 = (26)_{10}$.

نعرف المصطلح MSB بأنه يمثل الخانة الأكثر أهمية Most Significant Bit، أما المصطلح LSB فيمثل الخانة الأقل أهمية Least Significant Bit. في كل الأعداد ونظم العد، تعتبر الخانة اليمنى من العدد هي خانة LSB أما الخانة اليسرى فهي خانة MSB.

المثال (2):

حول العدد (355) من النظام العشري إلى النظام الثنائي. سوف نفصل عملية التحويل هذه كما في الشكل (2.1) ليكون هذا المثال مثالاً نموذجياً.

$\frac{355}{2}$ =	176	+1 — LSB
$\frac{176}{2}$ =	88	+0
$\frac{88}{2}$ =	44	+0
$\frac{44}{2}$ =	22	+0
$\frac{22}{2}$ =	11	+0
$\frac{11}{2}$ =	5	+1
$\frac{5}{2}$ =	2	+1
$\frac{2}{2}$ =	1	+0
$1 = \frac{2}{2}$	0	+1 0 1 1 0 0 0 0 1

الشكل 2.1 خطوات تحويل عدد من النظام العشري إلى النظام الثنائي.

يمكن أيضاً تحويل الأعداد الكسرية من النظام العشري إلى الثنائي وبالعكس. وسوف نبين فيما يلي طريقة التحويل من النظام الثنائي الكسري إلى النظام العشري، فمثلاً إذا كان لدينا العدد $(0.5176)_{10}$ فإننا نستطيع كتابة هذا العدد بالشكل التالي:

$$(0.5175)_{10} = \frac{5}{10} + \frac{1}{100} + \frac{7}{1000} + \frac{6}{10000} = 5.10^{-1} + 1.10^{-2} + 7.10^{-3} + 6.10^{-4}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

واعتماداً على نفس المبدأ يمكن كتابة العدد الثنائي الكسري بنفس الطريقة كما في المثال التالي:

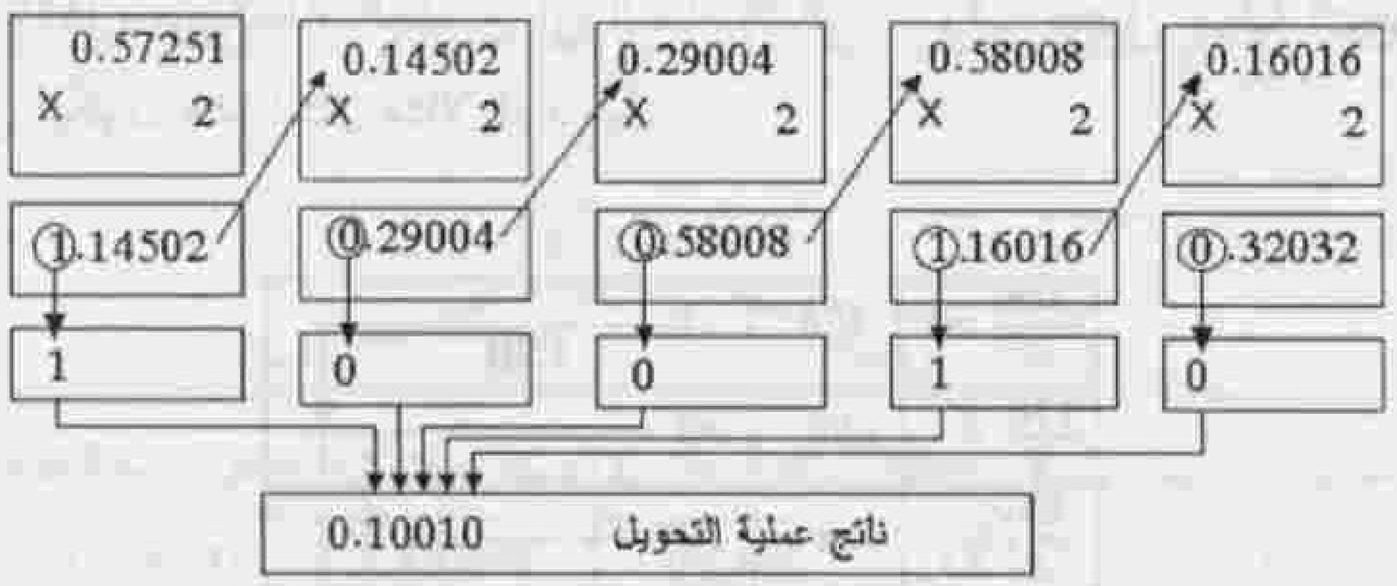
$$(0.1011)_2 = 1.2^{-1} + 0.2^{-2} + 1.2^{-3} + 1.2^{-4} = \frac{1}{2} + \frac{0}{4} + \frac{1}{8} + \frac{1}{16} = \frac{8+2+1}{16} = \frac{11}{16} = (0.6875)_{10}$$

$$(0.101101)_2 = 1(2^{-1}) + 0(2^{-2}) + 1(2^{-3}) + 1(2^{-4}) + 0(2^{-5}) + 1(2^{-6}) =$$

$$\frac{1}{2} + \frac{0}{4} + \frac{1}{8} + \frac{1}{16} + \frac{0}{32} + \frac{1}{64} = \frac{32+8+4+1}{64} = \frac{45}{64} = (0.703125)_{10}$$

تحويل الأرقام العشرية الكسرية إلى النظام الثنائي

سنوضح طريقة التحويل من خلال المثال التالي الذي يهدف إلى تحويل $(0.57251)_{10}$ من النظام العشري إلى الثنائي.



الشكل 3.1 طريقة تحويل رقم عشري كسري إلى رقم ثنائي كسري.

يجب عملياً تكرار عملية الضرب حتى تصبح الأرقام بعد الفاصلة كلها أصفاراً وإلا فإن عملية التحويل تبقى تقريبية، وكلما زاد عدد الأرقام بعد الفاصلة في عملية التحويل كلما كانت الدقة أفضل. عند تحويل عدد مكون من قسم صحيح وآخر كسري يتم أولاً تحويل القسم الصحيح ثم يحول القسم الكسري وتكتب نتيجة التحويل بعد ذلك كاملة، سواء أكان التحويل من النظام العشري إلى الثنائي أو بالعكس.

1.3.1 نظام العد الثماني Octal System

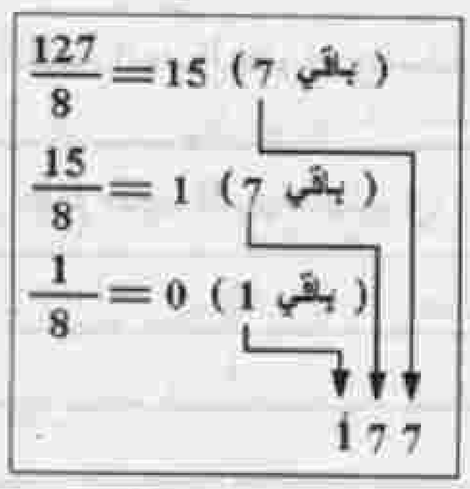
أساس هذا النظام هو الرقم (8) والأرقام في هذا النظام تأخذ القيم من (0) حتى (7)، ويتم تحويل العدد الثماني إلى عشري بجمع كافة مستويات العدد الثماني كما في المثال التالي:

$$(37)_8 = 3(8)^1 + 7(8)^0 = 24 + 7 = (31)_{10}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

التحويل من النظام العشري إلى الثماني

يتم هذا التحويل بتقسيم العدد العشري المعطى على ثمانية وكتابة باقي القسمة ثم تتكرر العملية على باقي القسمة حتى يصبح ناتج القسمة صفراً وباقيه صفراً أو عدداً، كما في المثال التالي: $(?)_8 = (127)_{10}$.



الشكل 4.1 مثال لتوضيح خطوات التحويل من النظام العشري إلى الثماني.

وبذلك يكون ناتج التحويل هو $(177)_8$ أي أن $(177)_8 = (127)_{10}$. عملية التحويل من النظام الثماني إلى الثنائي هي عملية بسيطة جداً حيث يستبدل الرقم الموجود في كل خانة من خانات العدد الثماني بما يساويها في النظام الثنائي بحيث نستخدم ثلاث خانات لتمثيله فنحصل على العدد الثنائي المطلوب، فمثلاً $(011\ 001100)_2 = (314)_8$ وفي هذا المثال تم استبدال الـ (3) بـ (011) والـ (1) بـ (001) والـ (4) بـ (100). أما عملية التحويل من الثنائي إلى الثماني فتتم بتجميع كل ثلاث خانات على حدة من اليمين إلى اليسار وكتابة الرقم الموافق لها فنحصل عل العدد الثماني المطلوب، كما في المثال التالي:

$(?)_8 = (1110101)_2$. هنا نبدأ من اليمين إلى اليسار و نلاحظ أن $(101)_2 = 5$، و$(110)_2 = 6$ و $(001)_2 = 1$ فيكون العدد الثماني المطلوب هو $(165)_8$، أي أن $(165)_8 = (1110101)_2$. لاحظ أننا أضفنا صفرين من اليسار إلى الخانة اليسرى من الرقم الثنائي المعطى لإكمالها إلى ثلاث خانات، ولكن هذا ليس قاعدة دائمة فأحياناً نكتفي بإضافة خانة واحدة أو قد لا نضيف أية خانة، وإذا أضفنا يجب أن تكون الخانات المضافة دوماً أصفار (أي لا تؤثر على قيمة العدد). يتم تحويل الأعداد الكسرية الثمانية إلى النظام العشري كما في المثال التالي حيث يتم تحويل $(0.23)_8$ إلى النظام العشري.

$$(0.237)_8 = 2(8^{-1}) + 3(8^{-2}) + 7(8^{-3}) = \frac{2}{8} + \frac{3}{8^2} + \frac{7}{8^3} = \frac{1}{4} + \frac{3}{64} + \frac{7}{512} = (0.310546875)_{10}$$

4.2.1 نظام العد الستة عشري Hexadecimal System

أساس النظام الستة عشري هو الرقم (16)، ويستخدم هذا النظام في بعض أنظمة الحواسيب ويحتاج إلى رموز جديدة للتعبير عن الأرقام (10)، (11)، (12)، (13)، (14)، (15) حيث تتراوح قيم

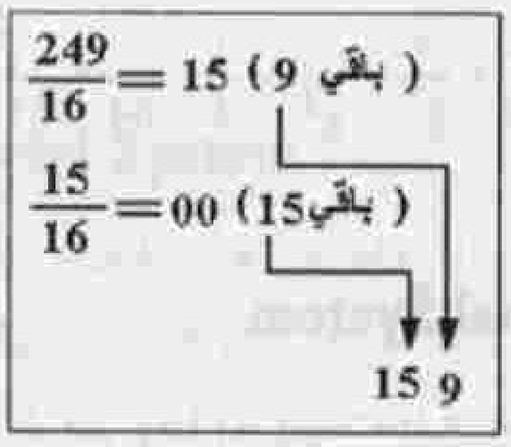
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الخانات في هذا النظام بين (0) و(15). يوضح الجدول التالي الأعداد من صفر إلى 15 في أنظمة العد العشري والثنائي والستة عشري ويلاحظ في هذا الجدول استخدام الأحرف الأبجدية A حتى F للتعبير عن الأرقام (10) حتى (15) على التوالي.

الجدول 4.1 الأعداد من (1) حتى (15) في أنظمة العد العشري والستة عشري والثنائي.

نظام العد العشري	نظام العد الستة عشري	نظام العد الثنائي
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
10	A	1010
11	B	1011
12	C	1100
13	D	1101
14	E	1110
15	F	1111

يتم التحويل من النظام العشري إلى الستة عشري بتقسيم العدد المعطى على (16) وكتابة ناتج القسمة وباقيها وتكرار العملية على ناتج القسمة حتى يصبح ناتج القسمة صفراً والباقي عدداً أو صفراً كما في المثال التالي: $(?)_{16} = (249)_{10}$:



الشكل 5.1 خطوات التحويل من العشري إلى الستة عشري.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وناتج عملية التحويل هو $(F9)_{16} = (249)_{10}$. أما عند التحويل من النظام الستة عشري إلى العشري فتجمع قيم كافة مستويات العدد الستة عشري كما يلي:

$$(2FICD)_{16} = 2(16)^4 + F(16)^3 + I(16)^2 + C(16)^1 + D(16)^0 =$$
$$= 2(16)^4 + 15(16)^3 + I(16)^2 + 12(16)^1 + 13(16)^0 = 2(65536) + 15(4096) + 12(16) + 13(1) = (192973)_{10}$$

تعتبر عملية التحويل من النظام الستة عشري إلى الثنائي بسيطة حيث يتم التعبير عن كل خانة في النظام الستة عشري برقم ثنائي مكون من أربع خانات. أما في التحويل العكسي، من الثنائي إلى الستة عشري، فيقسم الرقم الثنائي المعطى من اليمين إلى اليسار إلى مجموعات تحوي كل واحدة منها أربع خانات ويستعاض عن كل خانة بالرقم الستة عشري المقابل حسب الجدول (3.1). فمثلاً:

$(2FICD)_{16} = (00101111000111001101)_2$ و $(BA92)_{16} = (1011101010010010)_2$.

وفيما يلي مجموعة من الأمثلة المتنوعة على عمليات التحويل:

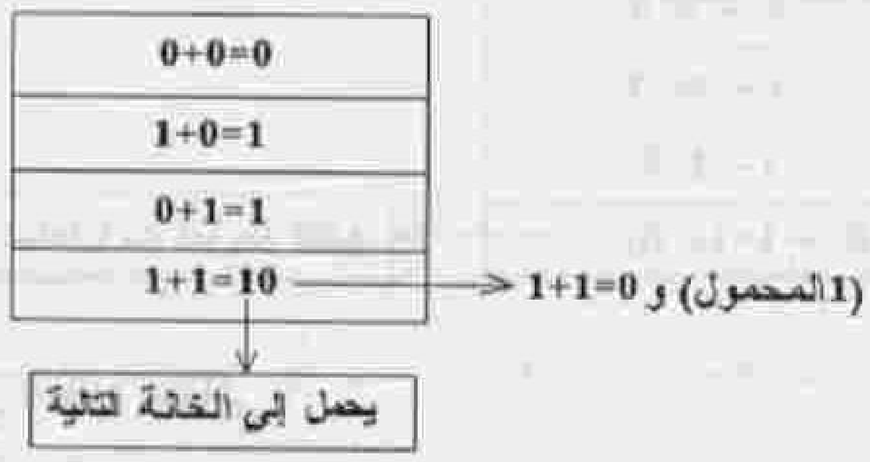
$$(32)_{16} = 3(16)^1 + 2(16)^0 = 48 + 2 = (50)_{10}$$
$$(3B)_{16} = 3(16)^1 + B(16)^0 = 48 + 11 = (59)_{10}$$
$$(2FICD)_{16} = 2(16)^4 + F(16)^3 + I(16)^2 + C(16)^1 + D(16)^0 =$$
$$= 2(65536) + 15(4096) + I(256) + 12(16) + 13(1) = (192973)_{10}$$
$$(0.8)_{16} = 8(16)^{-1} = \frac{8}{16} = (0.5)_{10}$$
$$(0.48)_{16} = 4(16)^{-1} + 8(16)^{-2} = \frac{4}{16} + \frac{8}{(16)^2} = (028125)_{10}$$

5.2.1 العمليات الحسابية في الأنظمة العددية

العمليات الحسابية في النظام الثنائي

الجمع

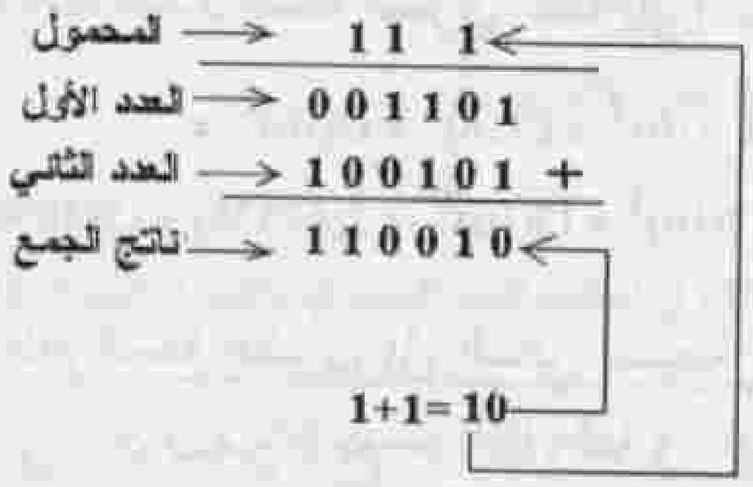
في عملية الجمع في النظام الثنائي لدينا القواعد الأساسية المبينة في الجدول التالي:



الشكل 6.1 قواعد الجمع في النظام الثنائي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

أمثلة:

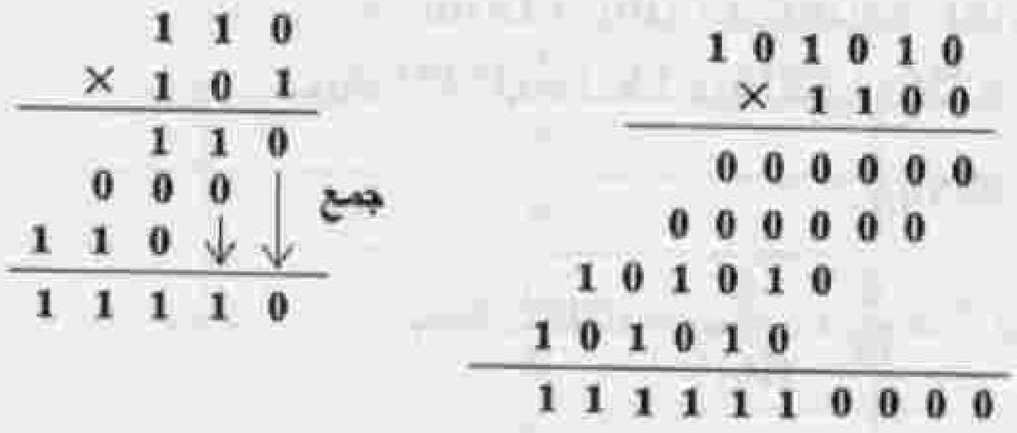


الشكل 6.1 a مثال لعملية جمع في النظام الثنائي.

اعتماداً على نفس الطريقة نلاحظ أن:

$1011 + 0110 + 1010 + 011 + 1010 = 11110$ و $1011010 + 10110110 = 10110101$.

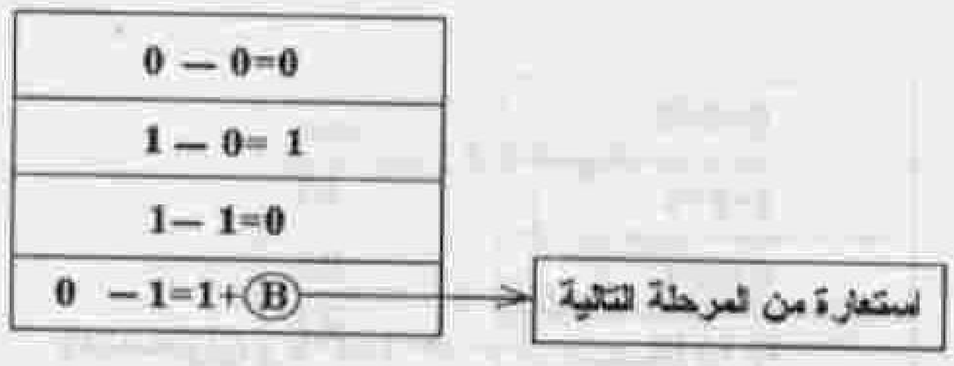
الضرب ويتم كما في النظام العشري، والأمثلة التالية توضح ذلك:



الشكل 6.1 b عملية ضرب في النظام الثنائي.

عملية الطرح

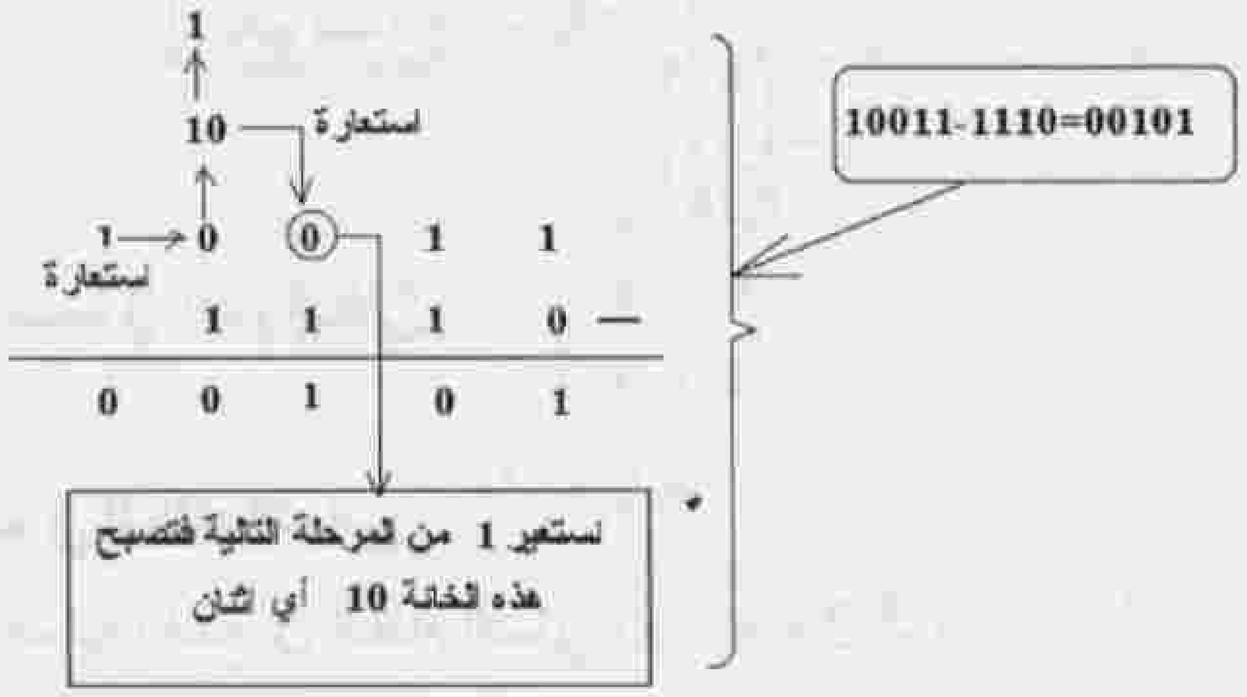
القواعد الأساسية لعملية الطرح معطاة في الجدول التالي:



الشكل 6.1 c قوانين الطرح في النظام الثنائي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

أمثلة:

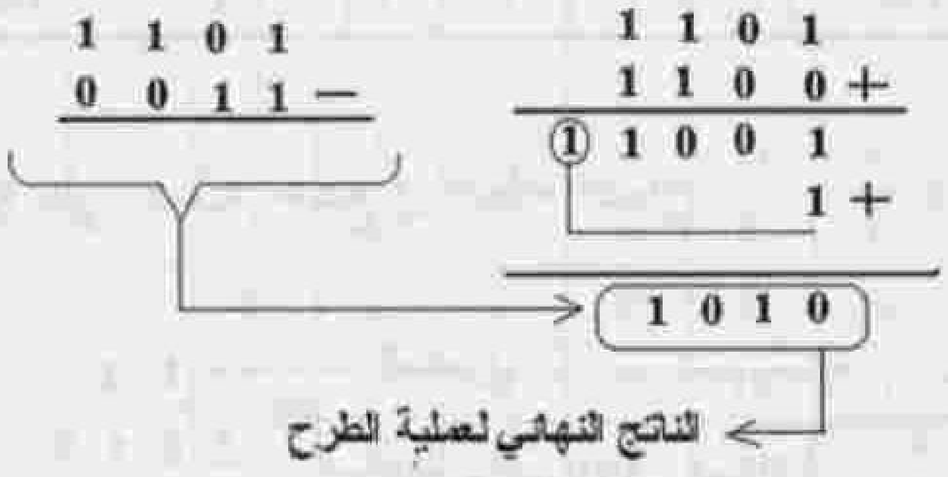


الشكل 6.1 d مثال لعملية طرح في النظام الثنائي.

تأكد باستخدام نفس الطريقة أن:

1101011 = 1010 و 1100 - 1010 = 0010 ،100000 - 000001 = 0111111

يمكن إنجاز عملية الطرح بجمع متمم المطروح مع المطروح منه ثم إضافة آخر خانة في الناتج إلى أول خانة كما في المثال التالي (يتم الحصول على المتمم بتبديل الواحدات بأصفار والأصفار بواحدات):

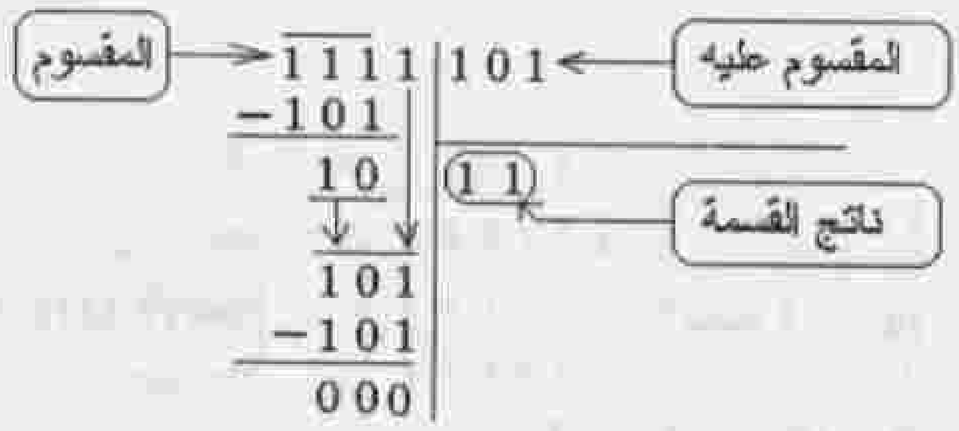


الشكل 6.1 e عملية طرح باستخدام المتمم.

عملية القسمة

تقسم المقسوم إلى مراتب عددها يساوي عدد مراتب المقسوم عليه وأثناء عملية القسمة نضع في ناتج القسمة واحداً إذا كانت مجموعة الأعداد أكبر أو تساوي المقسوم عليه، وإلا نضع صفراً ونتابع كما في عملية القسمة في النظام العشري. والمثال التالي يوضح الفكرة أكثر.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 7.1 عملية القسمة في النظام الثنائي.

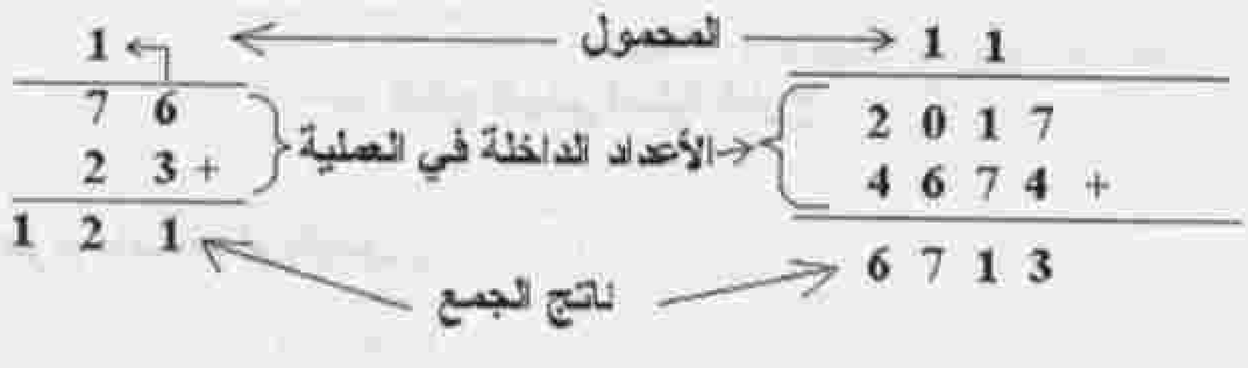
العمليات الحسابية في النظام الثماني

يمكن تلخيص عملية الجمع في النظام الثماني وفق الجدول التالي:

الجدول 5.1 قوانين الجمع في النظام الثماني، يمثل C المحمول (carry) في هذا الجدول وهو دوماً واحد.

+	0	1	2	3	4	5	6	7
0	0	1	2	3	4	5	6	7
1	1	2	3	4	5	6	7	0+C
2	2	3	4	5	6	7	0+C	1+C
3	3	4	5	6	7	0+C	1+C	2+C
4	4	5	6	7	0+C	1+C	2+C	3+C
5	5	6	7	0+C	1+C	2+C	3+C	4+C
6	6	7	0+C	1+C	2+C	3+C	4+C	5+C
7	7	0+C	1+C	2+C	3+C	4+C	5+C	6+C

وفيما يلي بعض الأمثلة على عملية الجمع في النظام الثماني.



الشكل 7.1 a مثال لعملية جمع في النظام الثماني.

الطرح في النظام الثماني

يعرف في النظام الثماني كلاً من المتمم إلى (7) والمتمم إلى ثمانية، ويتوضح تعريف هذه المتممات من خلال الأمثلة التالية: المتمم السباعي للـ 325 هو 452. وفيما يلي مثال على

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

استخدام المتمم إلى (7) في عملية الطرح. $(572-425)_8 = (572+352)_8 = (1144)_8$ بجمع الخانة الأكثر أهمية MSB من ناتج الجمع مع المتمم مع الخانة الأقل أهمية LSB، فنحصل على الناتج النهائي لعملية الطرح $(145)_8 = (1+144)$ ، أما باستخدام المتمم إلى ثمانية فتنجز عملية الطرح بالطريقة التالية:

```
  5 7 2        5 7 2
  4 2 5−       3 5 3 +
-------      -------
  1 4 5      (1) 1 4 5
                  ↓
            تهمل هذه الخانة
```

الشكل 7.1 b عملية جمع باستخدام المتمم.

العمليات الحسابية في النظام الستة عشري

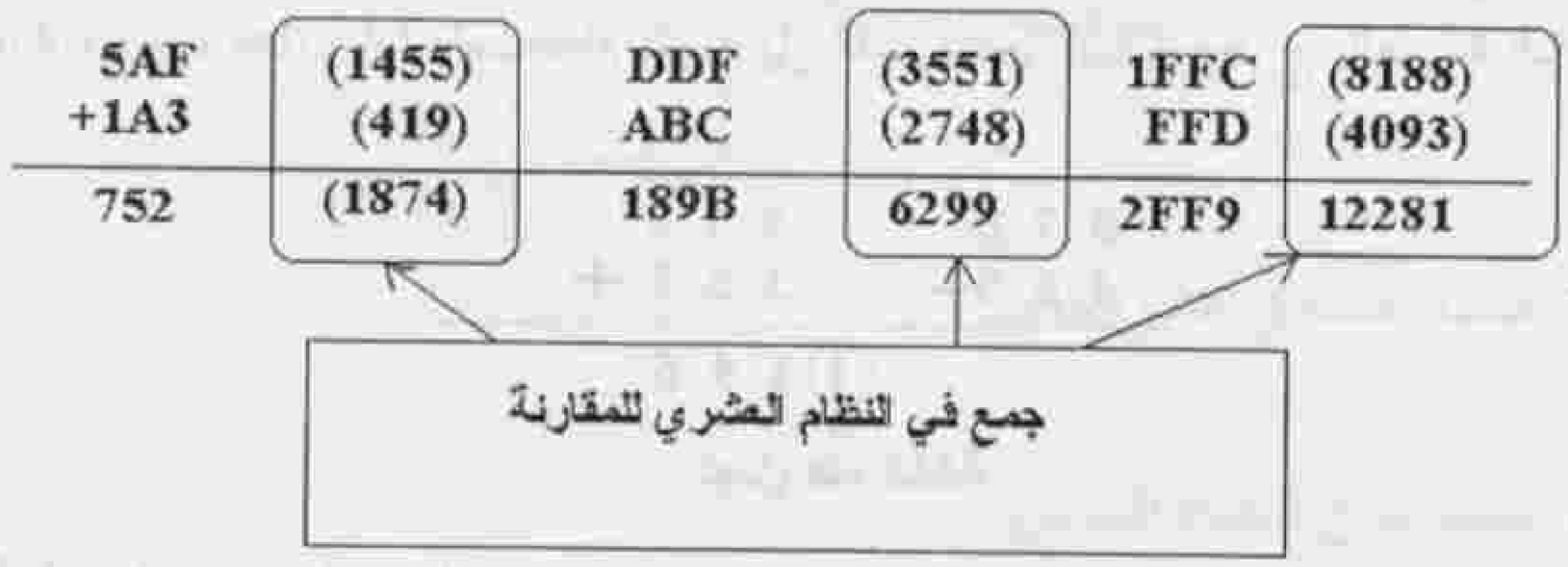
عملية الجمع في النظام الستة عشري بسيطة تماماً كبساطة عملية الجمع في النظام العشري، ولكن يجب أن نتذكر هنا أن الرقم 10 يقابل A و11 يقابل B و12 يقابل C و13 يقابل D أما 14 فيقابل E وأخيراً الرقم 15 الذي يقابل F. فيما يلي جدول الجمع في النظام الستة عشري.

الجدول 6.1 جدول الجمع في النظام الستة عشري.

0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	10
2	3	4	5	6	7	8	9	A	B	C	D	E	F	10	11
3	4	5	6	7	8	9	A	B	C	D	E	F	10	11	12
4	5	6	7	8	9	A	B	C	D	E	F	10	11	12	13
5	6	7	8	9	A	B	C	D	E	F	10	11	12	13	14
6	7	8	9	A	B	C	D	E	F	10	11	12	13	14	15
7	8	9	A	B	C	D	E	F	10	11	12	13	14	15	16
8	9	A	B	C	D	E	F	10	11	12	13	14	15	16	17
9	A	B	C	D	E	F	10	11	12	13	14	15	16	17	18
A	B	C	D	E	F	10	11	12	13	14	15	16	17	18	19
B	C	D	E	F	10	11	12	13	14	15	16	17	18	19	1A
C	D	E	F	10	11	12	13	14	15	16	17	18	19	1A	1B
D	E	F	10	11	12	13	14	15	16	17	18	19	1A	1B	1C
E	F	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D
F	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

اعتماداً على هذا الجدول يمكن إجراء العمليات الحسابية مثل عمليات الجمع التالية:



الشكل 7.1 c عملية جمع في النظام الستة عشري.

3.1 قوانين جبر بول وقانوني ديمورغان

جبر بول هو الأداة الرياضية التي تستخدم عند التعامل مع مسألة أو مشكلة ذات طبيعة منطقية. وقد وضع أسس هذا الجبر العالم الرياضي الإنكليزي George Boole عام 1847 وبقيت نظرياته حتى عام 1938 تستخدم في مجال الرياضيات حيث انتبه العالم Claude Shannon إلى أهمية هذا الجبر في تحليل واختصار التوابع المنطقية. يعتمد جبر بول على متحولات إما صحيحة أو خطأ، وقد طبق شانون هذا الجبر على المفاتيح حيث يمكن أن يكون المفتاح إما مغلقاً أو مفتوحاً وفيما يلي أهم قوانين جبر بول.

الجدول 7.1 أهم قوانين جبر بول.

(0).(0) =(0)
(1) + (1) = (1)
(0)+(0) =(0)
(1).(1) = (1)
(1).(0) = (0).(1) = (0)
(1) + (0) = (0) + (1) = (1)

نظريات جبر بول

الجدول 8.1 جدول قوانين جبر بول.

T1	A+B=B+A A.B=B.A

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

T2	(A+B)+C=A+(B+C) (A.B).C=A.(B.C)
T3	A.(B+C)=A.B+A.C A+(B.C) =(A+B).(A+C)
T4	A+A=A A.A=A
T5	(A)= A (A)=A
T6	A+AB=A A.(A+B)=A
T7	0+A=A 1.A=A 1+A=1 0.A=0
T8	A+$\bar{A}$=1 A. $\bar{A}$=0
T9	A+ $\bar{A}$.B=A+B A.($\bar{A}$+B)=A.B
قانوني ديمورغان	$\overline{(A + B)} = \overline{A}.\overline{B}$ $\overline{(A.B)} = \overline{A} + \overline{B}$

يستفاد من نظريات جبر بول في تبسيط التوابع المنطقية مما يؤدي إلى تخفيض عدد البوابات اللازمة لتنفيذ الدارة وكذلك إلى تخفيض الكلفة واستهلاك الاستطاعة، وفي الحالات التي لا يؤدي فيها استخدام قوانين جبر بول إلى تبسيط التابع المنطقي فإنه يؤدي حتماً إلى كتابة التابع بشكل يسهل من عملية التنفيذ.

جدول الحقيقة

هو أداة توضيحية تستخدم لعرض أداء الدارة المتكاملة (بوابة مثلاً أو كاشف)، أي تعطى فيه الحالات المنطقية للخرج عند كل الحالات المنطقية الممكنة للمداخل. يستخدم جدول الحقيقة بشكل واسع في عمليات التصميم المنطقي كما يستخدم لبرهان نظريات جبر بول، كما في المثال التالي:

برهن أن A+A.B=A .

بما أنه لدينا متحولين منطقيين هما A وB والمتحول المنطقي يمكن أن يكون كما نعلم إما صفراً أو واحداً فإن جدول الحقيقة سيكون كما يلي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

A	B	A.B	A+A.B
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	1

ومن هذا الجدول نلاحظ فعلاً أن A=A+A.B

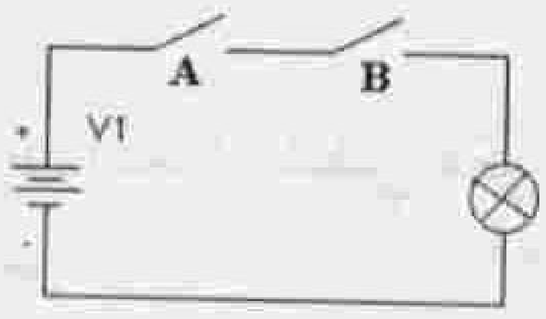
4.1 البوابات المنطقية الأساسية

البوابات المنطقية هي أبسط العناصر المنطقية المتوفرة في الأسواق والتي تستخدم في عمليات التصميم المنطقي. وتصنع هذه البوابات ضمن دارات متكاملة ICs بحيث تحوي كل دارة متكاملة مجموعة من البوابات يختلف عددها حسب نوع البوابة وعدد مداخلها. سنتعرف فيما يلي على كافة أنواع البوابات، وسنعتبر الآن أن البوابات لها دخلين وخرج واحد ما عدا بوابة العاكس التي لها دخل واحد وخرج واحد. والغاية من ذلك هي فقط تبسيط عملية التعرف على البوابات الأساسية حيث سنجد فيما بعد أن البوابة يمكن أن يكون لها أكثر من مدخلين..

1.4.1 بوابتي AND وNAND

بوابة AND هي بوابة تحقق التابع المنطقي Y=A.B وذلك إذا كانت ذات مدخلين. ويبين الشكل (8.1) جدول الحقيقة لهذه البوابة ورمزها، ويوضح مبدأ عملها بدارة مكونة من مصدر جهد ومفتاحين على التسلسل ومصباح دلالة.

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



الشكل 8.1 رمز وجدول حقيقة بوابة AND وتوضيح مبدأ عملها من خلال دارة بسيطة.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

نلاحظ في الشكل التوضيحي أن المصباح يضيء فقط عندما يكون المفتاحان A وB مغلقان وهذا يكافئ أن يكون كل من المدخلين المنطقيين واحداً.

أما بوابة NAND فهي بوابة تحقق التابع المنطقي $Y=\overline{A.B}$ وذلك إذا كانت ذات مدخلين. ويبين الشكل (1.9) جدول الحقيقة لهذه البوابة ورمزها.

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

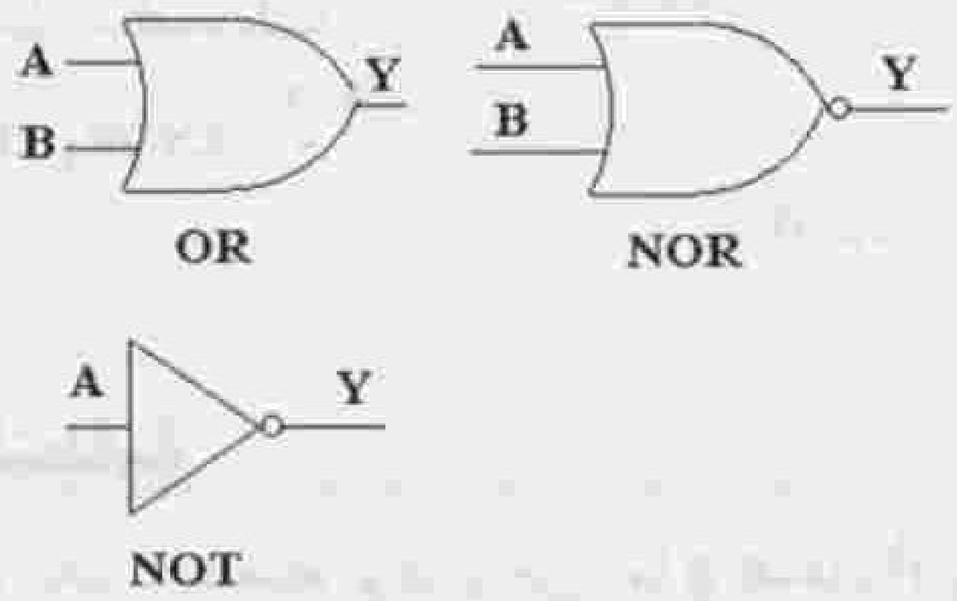
الشكل 9.1 رمز وجدول حقيقة بوابة NAND.

2.4.1 بوابتي OR وNOR وبوابة العاكس NOT (النفي)

في الجدول (10.1) تعطى التوابع المنطقية لبوابتي OR وNOR، وفي الشكل (10.1) نبين رموز هذه البوابات.

الجدول 9.1 التوابع المنطقية لبوابات OR, NOR, NOT.

التابع المنطقي الذي تحققه	نوع البوابة
Y=A+B	بوابة OR
$Y=\overline{A+B}$	بوابة NOR
$Y=\overline{A}$	بوابة NOT



الشكل 10.1 رموز بوابات OR، NOR، NOT.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وفيما يلي جدول الحقيقة لهذه البوابات:

A	B	Y(NOR)
0	0	1
0	1	0
1	0	0
1	1	0

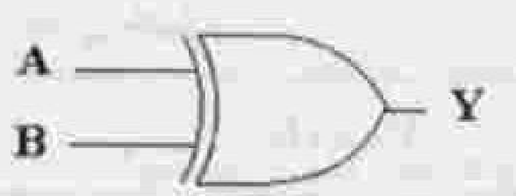
A	B	Y(OR)
0	0	0
0	1	1
0	0	0
1	1	1

3.4.1 بوابتي XOR وXNOR

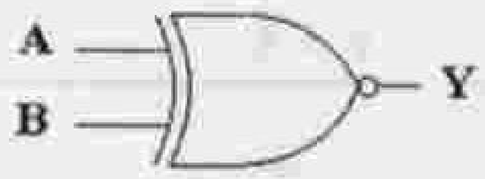
في الجدول (10.1) تعطى التوابع المنطقية لبوابتي XOR وXNOR، وفي الشكل (11.1) نبين رموز هذه البوابات.

الجدول 10.1 التوابع المنطقية لبوابات XOR وXNOR.

التابع المنطقي الذي تحققه	نوع البوابة
$Y = \overline{A}B + A\overline{B}$	بوابة XOR
$Y = \overline{A}.\overline{B} + AB$	بوابة XNOR



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

الشكل 11.1 رموز بوابات XOR وXNOR.

5.1 تحقيق التوابع المنطقية

يمكن تحقيق التابع المنطقي إما باستخدام بوابات من أنواع مختلفة، أو باستخدام نوع واحد من البوابات. وسوف نوضح كل طريقة من خلال مثال.

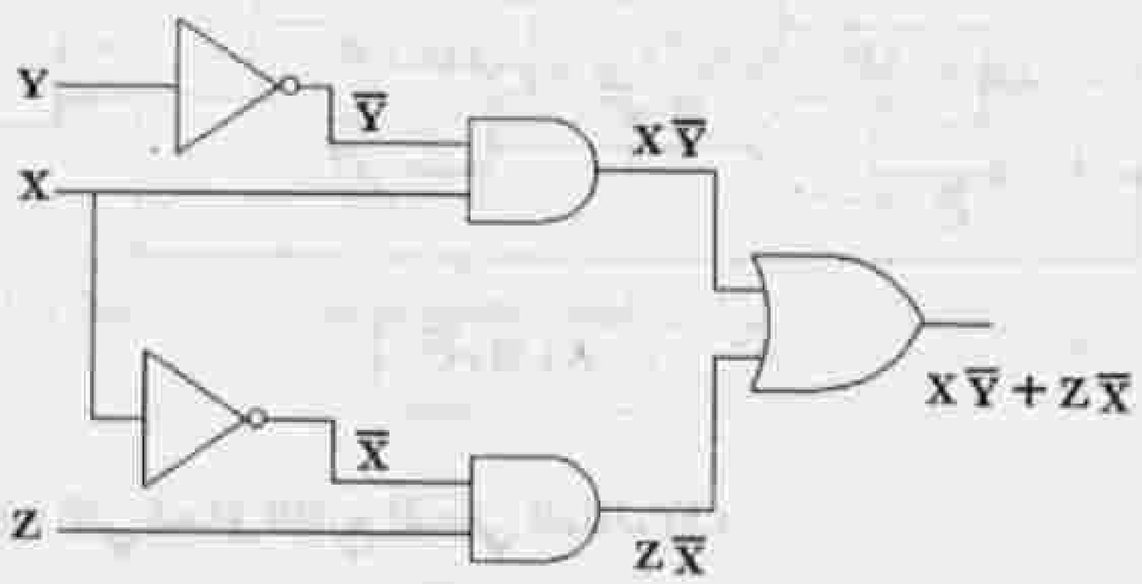
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

1.5.1 التحقيق بواسطة أنواع مختلفة من البوابات

مثال (1):

يطلب تحقيق التابع المنطقي التالي $W=X\overline{Y}+\overline{X}Z$ باستخدام البوابات المناسبة:

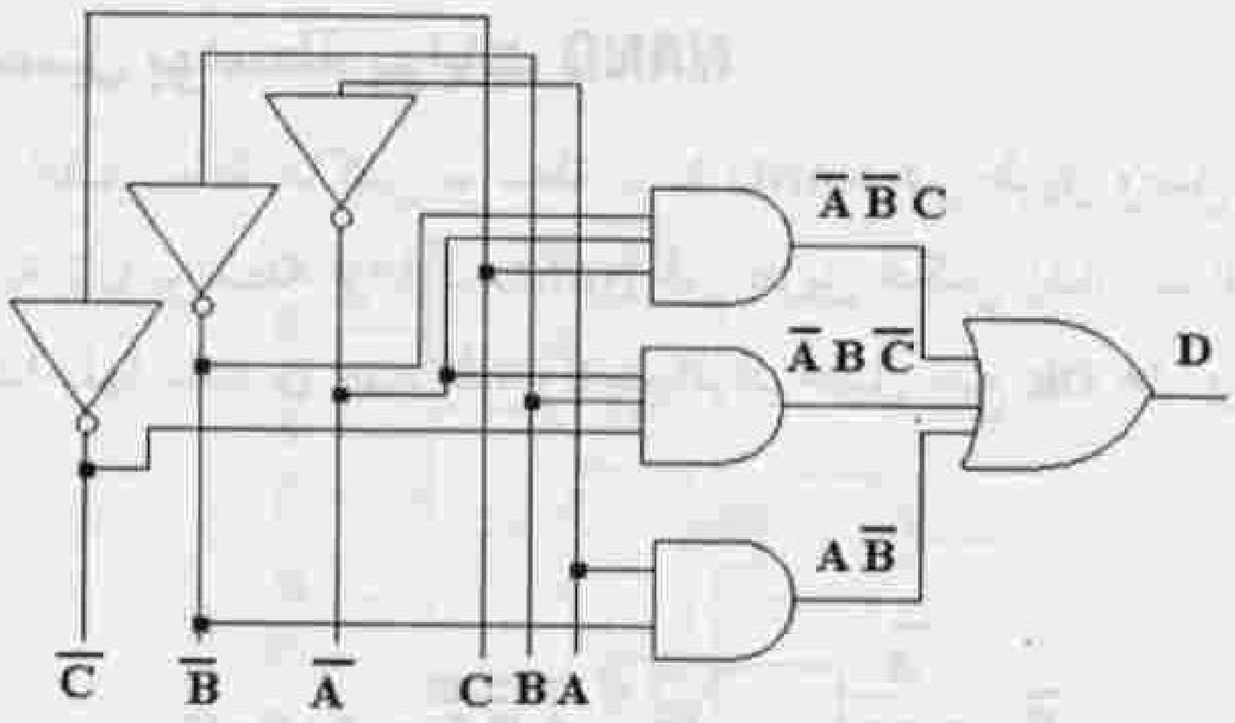
يتم تمثيل هذا التابع باستخدام عاكسين وبوابتي AND وبوابة OR كما في الشكل التالي.



الشكل 12.1 تمثيل تابع منطقي بواسطة بوابات مختلفة.

مثال (2):

ارسم الدارة المنطقية التي تحقق التابع التالي $D = \overline{A}.\overline{B}C + \overline{A}B\overline{C} + A\overline{B}$



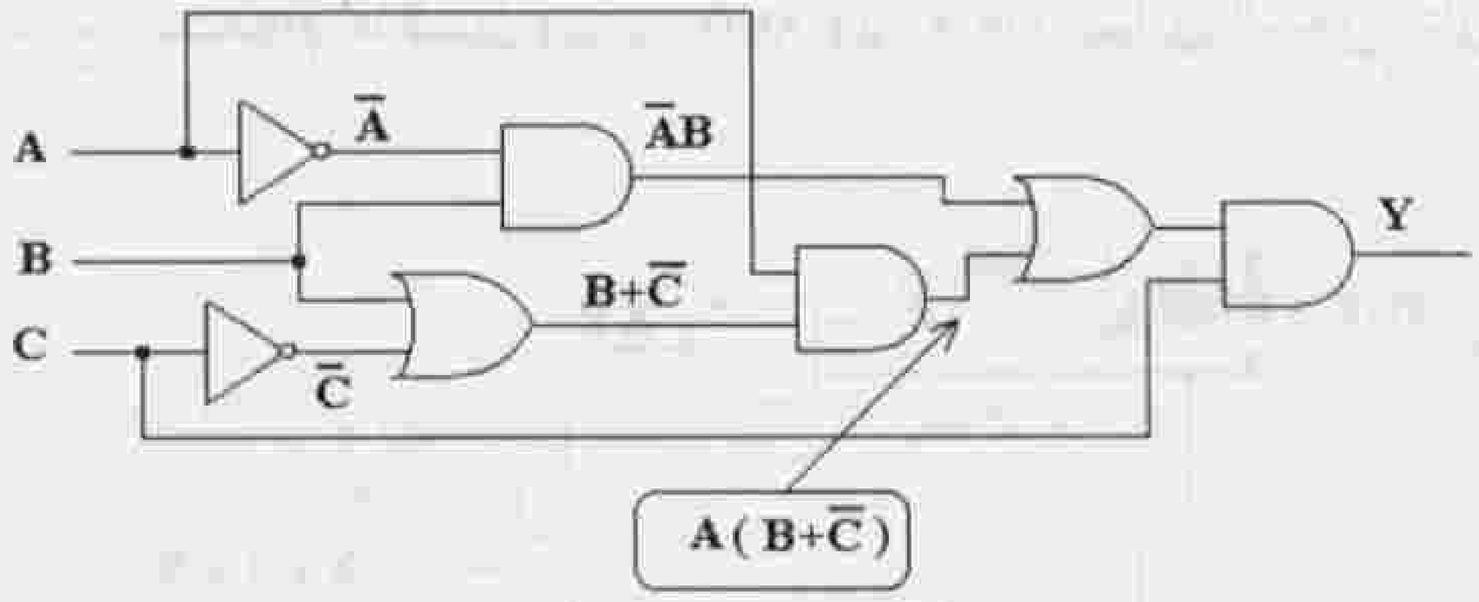
الشكل 13.1 الدارة المنطقية للتابع D.

في هذا الشكل والأشكال الأخرى تعتبر النقطة المعماة هي نقطة تقاطع. نلاحظ أن إشارات الدخل هي A,B,C وفي التابع تظهر أيضاً $\overline{A},\overline{B},\overline{C}$ ولذلك فإننا نحتاج إلى ثلاثة عواكس وثلاث بوابات AND اثنتين منها ذات ثلاثة مداخل وواحدة بمدخلين وبوابة OR بثلاثة مداخل كما في الشكل (13.1).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مثال (3):

ارسم الدارة التي تحقق التابع المنطقي التالي $Y = [A(B+\overline{C}) + \overline{A}B]C$. الدارة التي تحقق هذا التابع مبينة في الشكل (14.1).



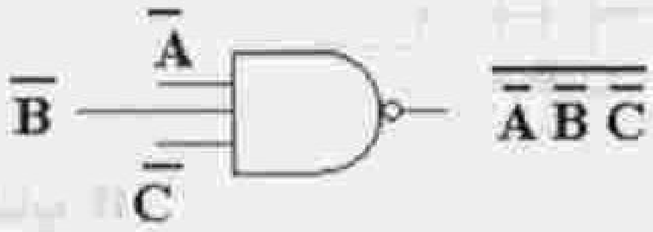
الشكل 14.1 الدارة المنطقية التي تحقق التابع المنطقي للمثال (3).

التمثيل بواسطة نوع واحد من البوابات

في هذا النوع من التمثيل يتم استخدام إما بوابات NAND أو بوابات NOR وسوف نبدأ بالتعرف على طريقة التمثيل بواسطة بوابات NAND.

2.5.1 طريقة التمثيل بواسطة بوابات NAND

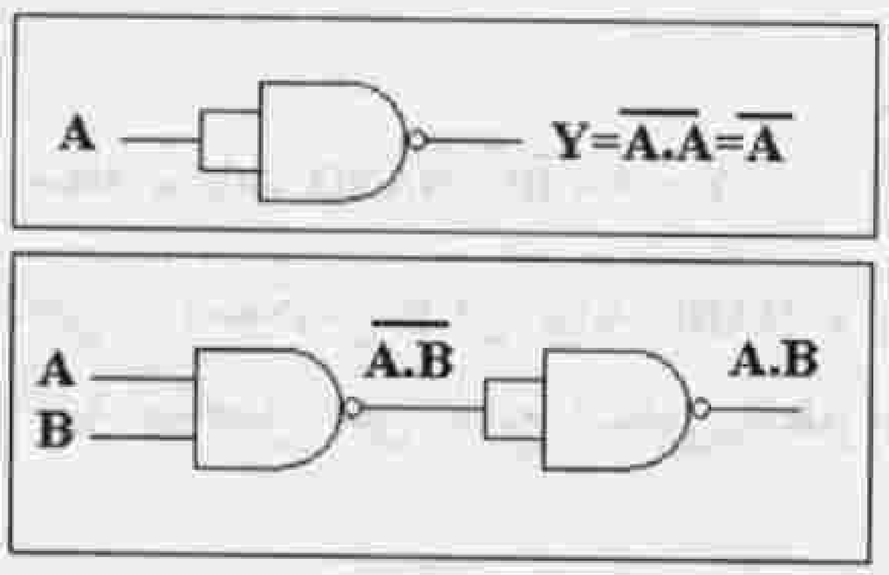
نلاحظ أنه يمكن تحقيق بوابة عاكس بواسطة بوابة NAND عن طريق وصل مدخليها مع بعض. كما يمكن تحقيق بوابة OR بواسطة بوابات NAND عن طريق عكس إشارات الدخل وتطبيقها على بوابة NAND عدد مداخلها يساوي عدد المتحولات المراد تحقيق تابع OR لها. والشكل التالي يوضح ذلك.



الشكل 15.1 تمثيل بوابة NOR بواسطة بوابات NAND.

$$\overline{\overline{A}.\overline{B}.\overline{C}} = \overline{\overline{A}.\overline{B}} + \overline{\overline{C}} = \overline{\overline{A}} + \overline{\overline{B}} + \overline{\overline{C}} = A + B + C$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 16.1 تمثيل العاكس، وبوابة AND بواسطة بوابات NAND.

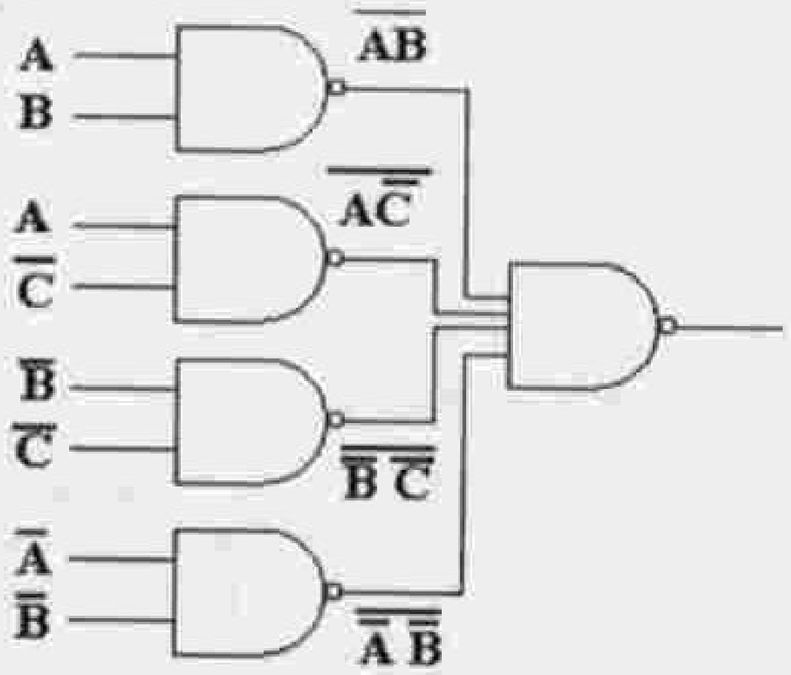
ومن خلال المثال التالي سنلخص خطوات تمثيل التابع المنطقي بواسطة بوابات NAND.

مثال:

مثل التابع المنطقي التالي بواسطة بوابات NAND. $Y = A(B + \overline{C}) + \overline{BC} + \overline{AB}$

1. نكتب التابع بحيث يمكن تحقيقه بواسطة بوابة OR أي $Y = AB + A\overline{C} + \overline{BC} + \overline{AB}$
2. نأخذ عكس التابع مرتين وهذا لا يغير من التابع $Y = \overline{\overline{AB + A\overline{C} + \overline{BC} + \overline{AB}}}$

نطبق نظرية دمورغان على التابع فنحصل على $Y = \overline{\overline{(AB + A\overline{C})}.\overline{(\overline{BC} + \overline{AB})}}$ وهذا التابع يمكن كتابته بالشكل التالي: $Y = \overline{\overline{(AB.A\overline{C})}.\overline{(\overline{B}.C.AB)}}$ وهذا التابع يمكن تحقيقه بواسطة بوابات NAND كما في الشكل التالي.



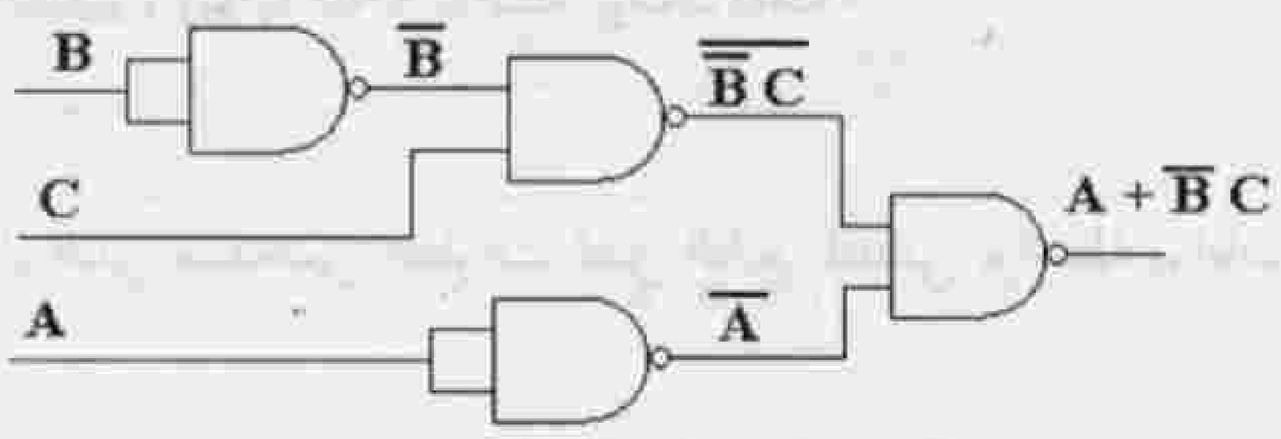
الشكل 17.1 الدارة المنطقية للمثال.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مثال آخر:

مثل التابع المنطقي التالي بواسطة بوابات NAND $Y = A + \overline{B}C$

نعكس كلاً من B وA وندخل C ومعكوس B إلى بوابة NAND ثم ندخل خرج هذه البوابة مع معكوس A إلى بوابة NAND ثانية فنحصل على التابع المنطقي المطلوب. الدارة المنطقية مبينة في الشكل (18.1).



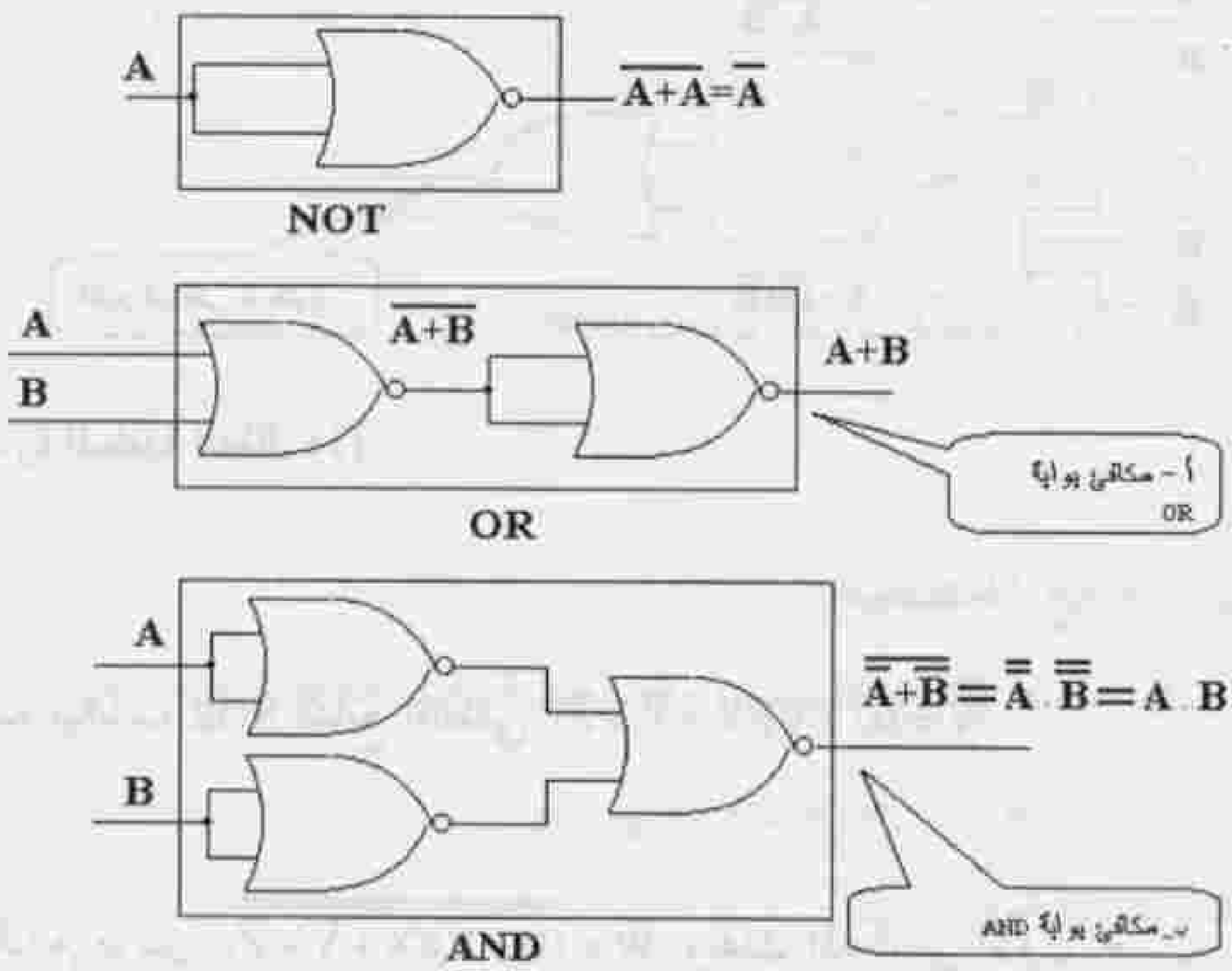
الشكل 18.1 تمثيل تابع بواسطة بوابات NAND.

3.5.1 التمثيل بواسطة بوابات NOR

يمكن بواسطة بوابات NOR تحقيق التوابع المنطقية التالية:

1. بوابة عاكس بقصر مداخل البوابة مع بعضها.
2. بوابة OR كما في الشكل (19.1).
3. بوابة AND كما في الشكل (19.1).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 19.1 تحقيق بعض التوابع المنطقية بواسطة بوابات NOR.

من أجل تحقيق تابع منطقي بواسطة بوابات NOR اتبع الخطوات التالية:

1. اكتب التابع على شكل جداء أقواس.
2. اعكس التابع مرتين (لأن العكس مرتين لا يؤثر على التابع).
3. طبق قانوني ديمورغان على المتمم الأول.
4. ارسم التابع.

مثال (1):

يطلب تحقيق التابع التالي بواسطة بوابات NOR:

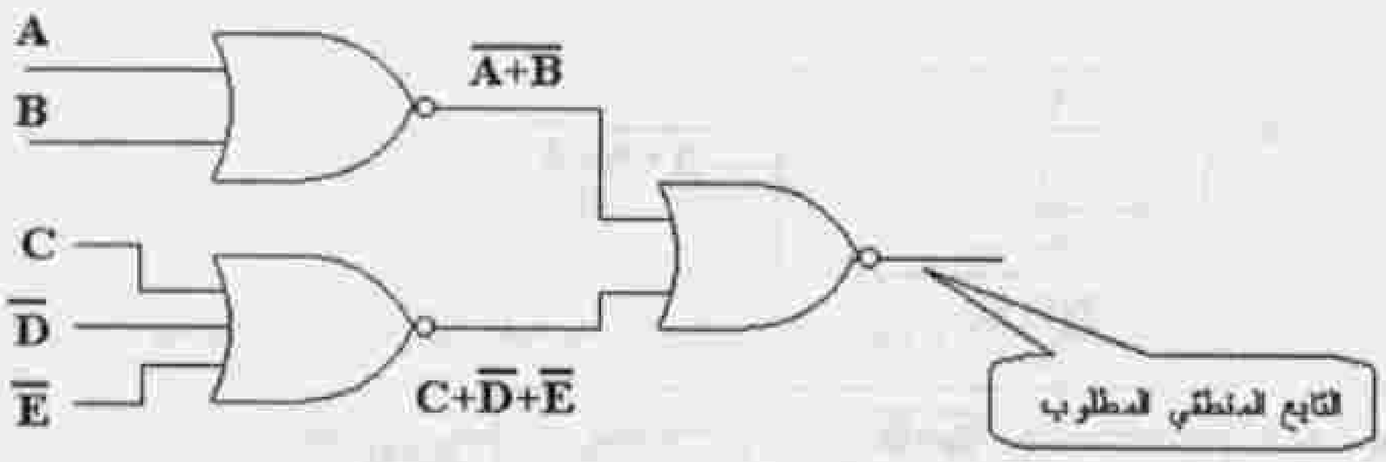
$$Y = AC + A\overline{D} + A\overline{E} + BC + B\overline{D} + B\overline{E} =$$

$$= (A + B)(C + D + E) = (A + B).(C + \overline{D} + \overline{E}) =$$

$$= \overline{\overline{(A + B)} + \overline{(C + \overline{D} + \overline{E})}}$$

ونلاحظ أن هذا التابع يمكن تحقيقه كما يلي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 20.1 الدارة المنطقية للمثال (1).

مثال (2):

مثل بواسطة بوابات NOR التابع المنطقي $W = (U + V)(X + \overline{Y} + \overline{Z})$

الحل:

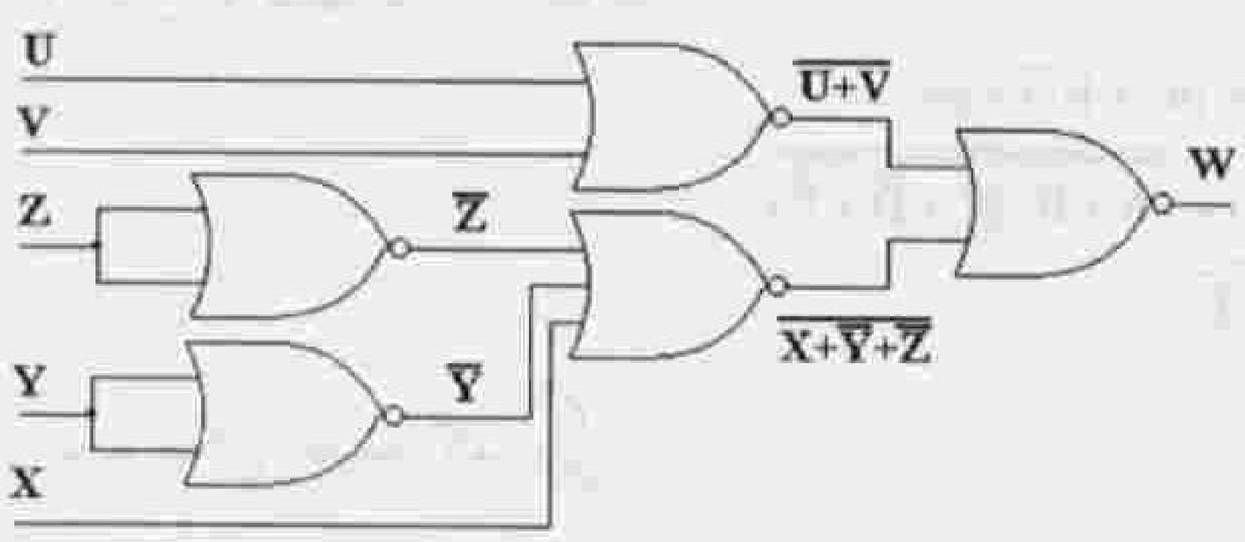
نأخذ عكس التابع مرتين $W = \overline{\overline{(U + V)(X + \overline{Y} + \overline{Z})}}$ ونفك المعكوس الأول حسب قانوني دمورغان فنحصل على $W = \overline{\overline{(U + V)} + \overline{(X + \overline{Y} + \overline{Z})}}$ وهذا التابع يمكن تحقيقه كما في الدارة المعطاة في الشكل (21.1).

مثال (3):

مثل التابع $T = X\overline{Y} + Z$ بواسطة بوابات NOR.

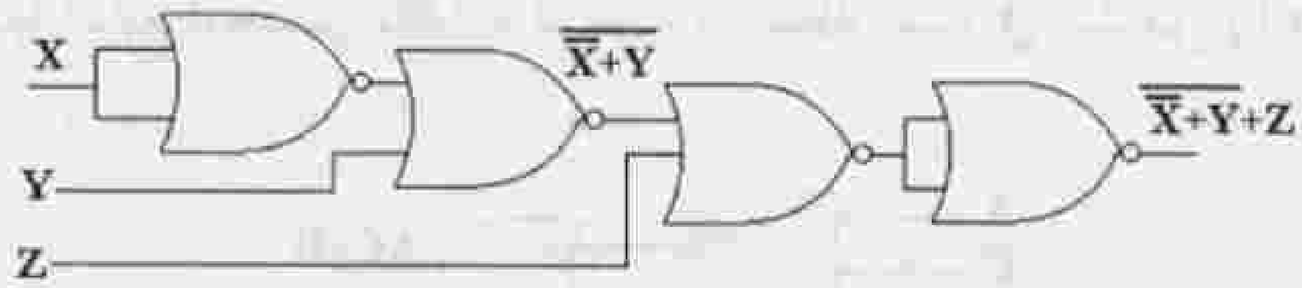
الحل:

1. نكتب التابع بالشكل التالي $T = \overline{\overline{X.\overline{Y}}} + Z = \overline{(\overline{X} + \overline{\overline{Y}}) + Z}$
2. نأخذ عكس التابع مرتين فنحصل على العلاقة التالية $T = \overline{\overline{(\overline{X} + Y) + Z}}$
3. نفك أول معكوس حسب قانوني دمورغان فنحصل على $T = \overline{(\overline{X} + Y).\overline{Z}} = \overline{(\overline{X} + Y)} + Z$ وهذا التابع ممثل بالدارة المعطاة في الشكل(22.1).



الشكل 21.1 دارة المثال (2) للتمثيل بواسطة بوابات NOR.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 22.1 دارة المثال (3) للتمثيل بواسطة بوابات NOR.

6.1 تبسيط التوابع المنطقية

هناك عدة طرق لتبسيط التوابع المنطقية، وأهم الطرق الشائعة الاستخدام هي:

1. طريقة الاستفادة من قوانين جبر بول وقانوني دمورغان.
2. طريقة مخططات كارنوف.
3. طريقة كوين.
4. طريقة كوين ماكلوسكي.

وتهدف كل طرق التبسيط إلى تخفيض عدد البوابات والوحدات المنطقية الأساسية اللازمة لتحقيق التابع المنطقي إلى الحد الأدنى وبالتالي تخفيض الكلفة المادية، وكذلك تخفيض استهلاك الطاقة الكهربائية. سوف نتعرف فيما يلي على استخدام الطريقة الأولى من خلال بعض الأمثلة:

مثال (1):

$$Y = (A + B)(A + C) + AC = A.A + AC + BA + BC + AC$$
$$= A + AC + BA + BC + AC = A(1 + C + B + C) + BC = A(1 + B + C) + BC$$
$$= A(1) + BC = A + BC$$

مثال (2):

$$Y = A\overline{B}C + AB\overline{C} + A + \overline{A}B$$
$$= A\overline{B}C + AB\overline{C} + A + B$$
$$= A(\overline{B}C + B\overline{C} + 1) + B$$
$$= A(1) + B = A + B$$

مثال (3):

$$D = \overline{A}BC + A\overline{B}C + ABC + B\overline{C} = \overline{A}BC + ABC + A\overline{B}C + B\overline{C} =$$
$$= (\overline{A} + A)BC + A\overline{B}C + B\overline{C} = BC + A\overline{B}C + B\overline{C} = B(C + \overline{C}) + A\overline{B}C$$
$$= B + A\overline{B}C = B + AC$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

ويمكن تمثيل هذا التابع المختصر بالدارة المنطقية البسيطة المبينة في الشكل (23.1).

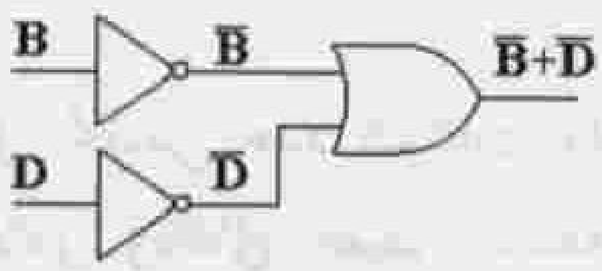
الشكل 23.1 الدارة المنطقية للمثال السابق.

مثال (4):

اختصر التابع $Y = \overline{A}.\overline{B} + A\overline{B} + \overline{C}.\overline{D} + C\overline{D} + \overline{D}$ ثم ارسم دارته المنطقية.

الحل:

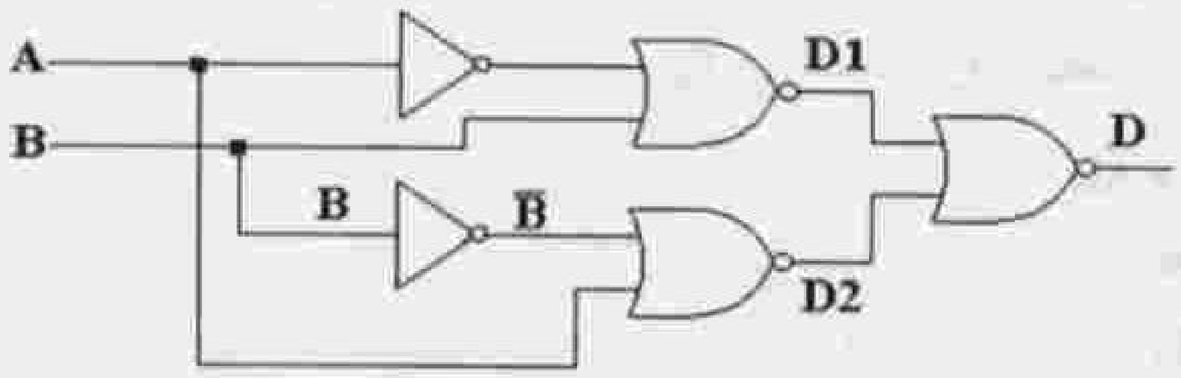
$$Y = \overline{A}.\overline{B} + A\overline{B} + \overline{C}.\overline{D} + C\overline{D} + \overline{D} = \overline{B}(A + \overline{A}) + \overline{D}(C + \overline{C}) + \overline{D}$$
$$= \overline{B}(1) + \overline{D}(1) + \overline{D} = \overline{B} + \overline{D}$$



الشكل 24.1 الدارة المنطقية للمثال (4).

مثال (5):

أوجد تابع الخرج المنطقي للدارة التالية ثم اختصر التابع وارسم الدارة المختصرة التي تحققه.



الشكل 25.1 الدارة المنطقية للمثال.

من الشكل نلاحظ أن $D = \overline{D1 + D2}$ $D2 = \overline{A + \overline{B}}$, $D1 = \overline{\overline{A} + B}$

نكتب علاقة D فنحصل على:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

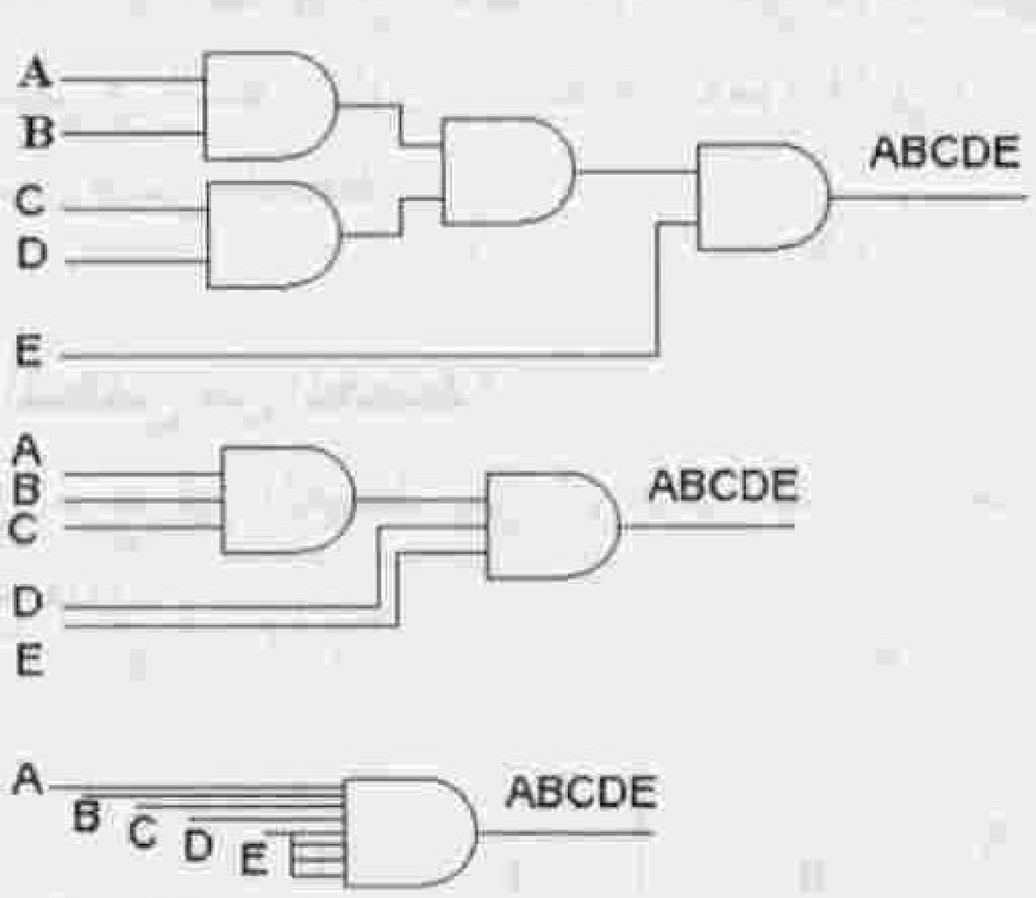
$$D = \overline{\overline{(\overline{A} + B)} + \overline{(A + \overline{B})}} = \overline{\overline{(\overline{A} + B)}}.\overline{\overline{(A + \overline{B})}} = (\overline{A} + B)(A + \overline{B})$$
$$= A\overline{A} + \overline{A}.\overline{B} + AB + B\overline{B} = 0 + \overline{A}.\overline{B} + AB + 0 = \overline{A}.\overline{B} + AB$$

وهذا التابع يمكن تمثيله بواسطة بوابة XNOR بسيطة.

XNOR

الشكل 26.1 الدارة المنطقية التي تحقق المثال 5.

أحياناً وعند تنفيذ تابع منطقي بواسطة بوابات مختلطة قد يلزمنا بوابات معينة بعدد محدد من المداخل، ولكن ربما لا تتوفر هذه البوابات ولذلك يتم تحقيق البوابة المطلوبة بواسطة بوابات من نفس النوع. وفيما يلي سوف نتعرف على طريقة تحقيق بوابة AND ذات خمسة مداخل بواسطة بوابات AND ذات مدخلين أو ثلاثة مداخل أو ثمانية مداخل.



الشكل 27.1 تحقيق بوابة AND ذات خمس مداخل بواسطة بوابات AND ذات أعداد مختلفة من المداخل.

1.6.1 مخططات كارنوف

مخططات كارنوف هي وسائل لتبسيط اختصار التوابع المنطقية، وهناك مخططات كارنوف لاختصار تابع بمتحولين، وبثلاثة متحولات، وبأربعة متحولات وبستة متحولات. ولكن تحتاج مخططات كارنوف ذات الست متحولات عند تكوينها إلى انتباه شديد وقد ينشأ خطأ أثناء

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

استخدامها وتفقد ميزة التبسيط التي هي السبب أو المبرر الأساسي لاستخدامها، ولذلك لن نتعرض في هذا الكتاب لمخططات كارنوف ذات الست متحولات ونكتفي بالإشارة إلى أن طريقة كوين ماكلوسكي المبرمجة باستخدام الحاسوب تستخدم عند اختصار التوابع المنطقية متعددة المتحولات.

مخطط كارنوف لمتحولين

في الشكل التالي (28.1) نبين مخطط كارنوف لمتحولين.

B \ A	0	1
0	$\bar{A}\bar{B}$ 00	$A\bar{B}$ 10
1	$\bar{A}B$ 01	AB 11

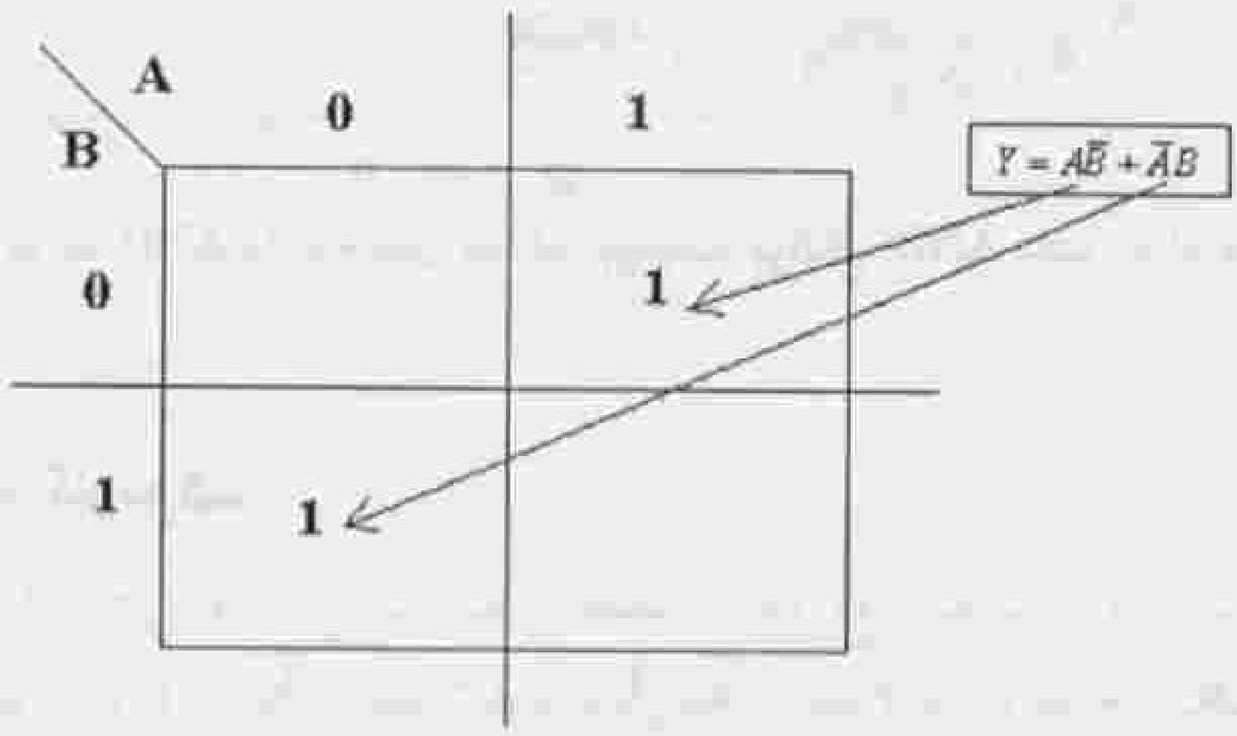
إذا كان المتحول المنطقي (- 1) فنعبر عنه بـ A أو بـ B أما إذا كان (0) فنعبر عنه بـ $\bar{A}$ أو بـ $\bar{B}$

الشكل 28.1 مخطط كارنوف لمتحولين.

في هذا المخطط يلاحظ أن قيمة A في العمود الأول هي دوماً صفر وفي العمود الثاني دوماً واحد، أما قيمة B فهي صفر في السطر الأول وواحد في العمود الثاني وبالتالي فإن العدد الذي يمكن وضعه ضمن كل مربع مبين ضمن المخطط.

كيف نستخلص التابع المنطقي من المخطط؟

كل واحد موجود في مربع من المخطط يعني أن الرمز المقابل له موجود في معادلة التابع وفي الشكل التالي مثال يوضح ذلك.



الشكل 29.1 قراءة التابع المنطقي من مخطط كارنوف لمتحولين.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

في مخطط كارنوف لمتحولين يمكن استخدام قوانين الاختصار التالية:

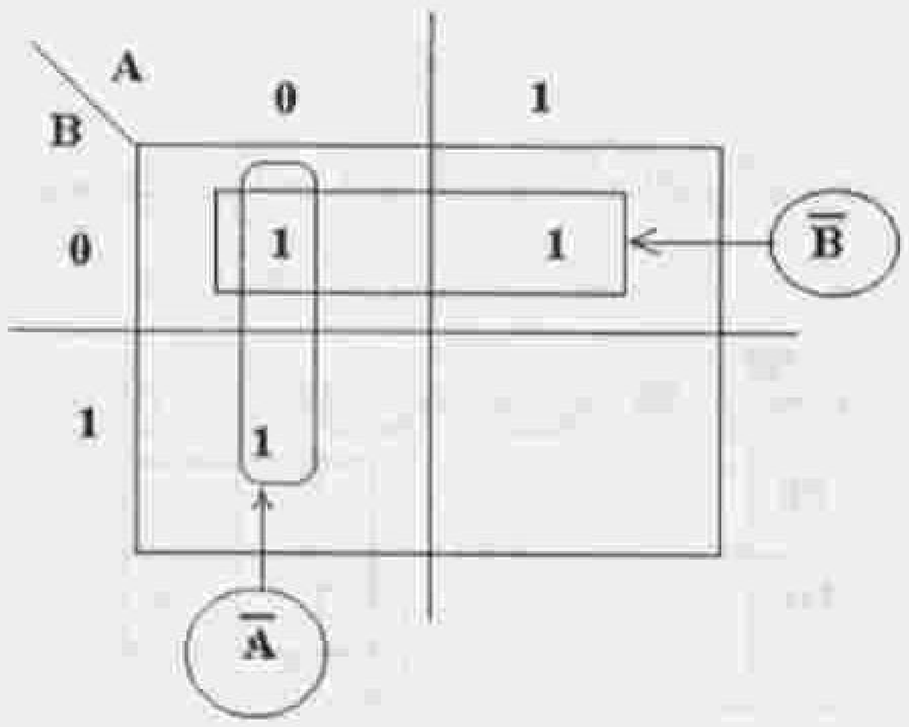
1. يمكن تجميع أي واحدين في سطر أو عمود مع بعض ويعبر عنهما بمتحول منطقي واحد وهو المتحول المشترك بينهما.
2. يتم التعبير عن الواحد المنفرد بمتحولين.
3. يمكن استخدام الواحد أثناء التجميع أكثر من مرة.
4. العبارة المنطقية النهائية هي تابع OR.

مثال (3):

بسط العبارة التالية: $Y = \overline{A}.\overline{B} + \overline{A}B + \overline{B}A$

الحل:

1. نرسم مخطط كارنوف لمتحولين.
2. نعبر عن كل حد من التابع المعطى بوضع واحد في المربع الموافق له ضمن المخطط.
3. نجمع كل واحدين مع بعض.
4. نعبر عن كل واحدين بمتحول واحد.
5. نكتب التابع النهائي الناتج، وهو هنا $Y = \overline{A} + \overline{B}$



الشكل 30.1 مخطط كارنوف للمثال (3).

مخطط كارنوف لثلاثة متحولات

يبين الجدول (11.1) هذا المخطط مع أرقام المربعات والرمز الموافق لكل مربع:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 11.1 مخطط كارنوف لثلاثة متحولات.

C \ AB	00	01	11	10
0	00 $\overline{A}.\overline{B}.\overline{C}$	010 $\overline{A}B\overline{C}$	110 $AB\overline{C}$	100 $A.\overline{B}.\overline{C}$
1	001 $\overline{A}.\overline{B}.C$	011 $\overline{A}BC$	111 ABC	101 $A\overline{B}C$

عند الاختصار باستخدام هذا المخطط تؤخذ الأمور التالية بالاعتبار:

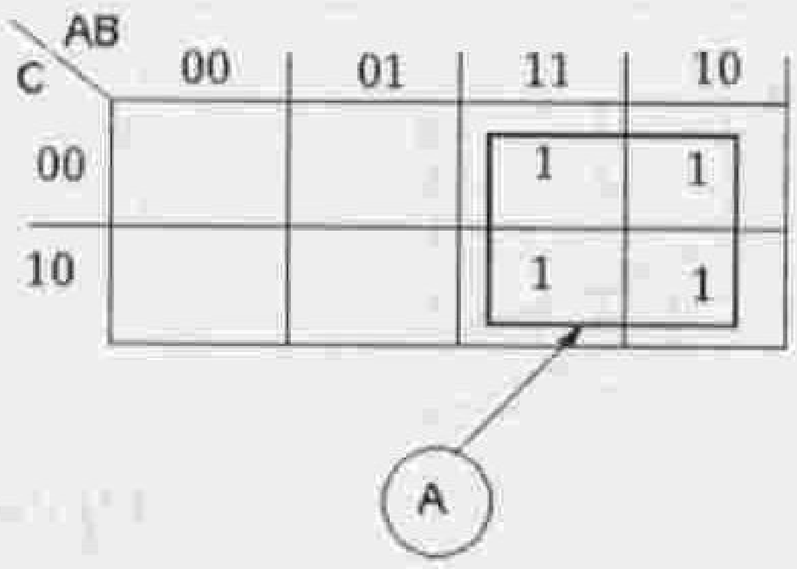
1. يتم التعبير عن كل أربع واحدات بمتحول واحد.
2. نعبر عن كل مجموعة مكونة من واحدين بمتحولين.
3. الواحد المنفرد نعبر عنه بثلاث متحولات.
4. المخطط قابل للالتفاف.
5. يمكن استخدام الواحد ضمن مجموعات أكثر من مرة.
6. التابع المنطقي الناتج هو تابع OR للمتحولات التي تمثل مجموعة الواحدات.

مثال (4):

اكتب التابع التالي بأبسط صيغة: $Y = A.B.C + A.\overline{B}.\overline{C} + A.\overline{B}.C + A.B.\overline{C}$

الحل:

نرسم مخطط كارنوف ونضع فيه الواحدات الموافقة لعناصر التابع:



الشكل 31.1 مخطط كارنوف للمثال (4).

التابع النهائي المستخلص من هذا الجدول هو $Y = A$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مخطط كارنوف لأربعة متحولات

الجدول 12.1 مخطط كارنوف لأربعة متحولات وأرقام مربعاته ورموزها.

AB / CD	00	01	11	10
00	0000 $\overline{A}.\overline{B}.\overline{C}.\overline{D}$ (0)	0100 $\overline{A}B\overline{C}.\overline{D}$ (4)	1100 $AB\overline{C}.\overline{D}$ (12)	1000 $A\overline{B}.\overline{C}.\overline{D}$ (8)
01	0001 $\overline{A}.\overline{B}.\overline{C}D$ (1)	0101 $\overline{A}B\overline{C}D$ (5)	1101 $AB\overline{C}D$ (13)	1001 $A.\overline{B}.\overline{C}D$ (9)
11	0011 $\overline{A}.\overline{B}CD$ (3)	0111 $\overline{A}BCD$ (7)	1111 $ABCD$ (15)	1011 $A\overline{B}CD$ (11)
10	0010 $\overline{A}.\overline{B}C\overline{D}$ (2)	0110 $\overline{A}BC\overline{D}$ (6)	1110 $ABC\overline{D}$ (14)	1010 $A\overline{B}C\overline{D}$ (10)

قواعد الاختصار عند استخدام مخطط كارنوف لأربعة متحولات:

1. كل ثماني واحدات يعبر عنها بمتحول واحد.
2. كل أربع واحدات يعبر عنها بمتحولين.
3. كل واحدين يعبر عنهما بثلاثة متحولات.
4. الواحد المنفرد يعبر عنه بأربعة متحولات.
5. يمكن استخدام الواحد أكثر من مرة إذا لزم لتكوين تجمعات واحدات.
6. المخطط قابل للطوي في الاتجاهين الأفقي والعمودي.

مثال (5):

بسط التابع المنطقي التالي باستخدام مخطط كارنوف

$$Y= \overline{A}BCD + \overline{A}.\overline{B}.CD + A\overline{B}.\overline{C}D + AB\overline{C}D + \overline{A}.B.CD + A\overline{B}.C.\overline{D} + AB\overline{C}.\overline{D} + \overline{A}B\overline{C}.\overline{D} + \overline{A}.B.\overline{C}.\overline{D} + AB\overline{C}D$$
$$+ A\overline{B}C\overline{D} + \overline{A}.\overline{B}C\overline{D} + \overline{A}.\overline{B}C\overline{D} + \overline{A}BCD + ABC\overline{D} + ABC\overline{D}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 13.1 مخطط كارنوف للمثال (5).

CD \ AB	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	1	1		
10	1	1	1	1

$$Y = \overline{C} + \overline{A} + C\,\overline{D}$$

سوف نقتصر هنا على هذا العدد المحدود من الأمثلة العملية عن اختصار التوابع المنطقية بواسطة مخططات كارنوف كي لا يزيد القسم النظري في هذا الكتاب كثيراً لأنه مخصص أصلاً للتصميم العملي وللدارات والمشاريع التطبيقية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

2 العائلات المنطقية الرقمية

1.2 مقدمة

تعرفنا في الفصل الأول على البوابات المنطقية الأساسية، والتي تعتبر أبسط المكونات المنطقية في الدارات الرقمية، وقد ظهر تبعاً لتطور العناصر الإلكترونية العديد من التصورات للبناء الداخلي للبوابة الرقمية الأساسية، وسمي كل من هذه التصورات عائلة منطقية. في المنظومة الرقمية الواحدة تستخدم عادة عناصر ودارات من عائلات مختلفة، وذلك بسبب عدم توفر كافة الدارات التكاملية اللازمة في عائلة واحدة أو بسبب متطلبات شروط العمل التي قد تفرض أحياناً استخدام مكونات منطقية ذات مواصفات محددة مثل السرعة واستهلاك الطاقة، وطبعاً لا تتوفر كل الميزات المطلوبة في عائلة واحدة ولذلك يتم استخدام عناصر ومكونات من عائلات مختلفة. سنتعرف في هذا الفصل على أهم العائلات المنطقية الشائعة الاستخدام وعلى مواصفاتها الأساسية وطرق الربط فيما بينها كما سنقدم مقارنة بين العائلات المختلفة. في الملحق الموجود في نهاية الكتاب تذكير ببعض العناصر الإلكترونية وبالقوانين الأساسية لتحليل الدارات.

2.2 العائلات المنطقية التي تعمل على ترانزيستورات ثنائية القطبية

توجد ست عائلات منطقية تعمل على ترانزيستورات ثنائية القطبية هي عائلات TTL، ECL، RTL، DTL، HTL، HNIL وأهمها عائلات TTL وECL أما العائلات الأخرى فلم تعد لها أية أهمية عملية تطبيقية ولذلك لن نتعرض لها على الإطلاق.

1.2.2 عائلة Transistor Transistor Logic (TTL)

ظهرت هذه العائلة في البداية كعائلة وحيدة، إلا أن متطلبات تخفيض استهلاك القدرة والسرعة وكذلك زيادة حمل الخرج أدت إلى ظهور عائلات فرعية فيها. ولكن ذلك لم يمنع العائلة المعيارية من الاستمرار في التواجد وما يزال لها العديد من الاستخدامات. العائلات الفرعية لعائلة TTL هي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

- **عائلة TTL عالية القدرة High-power TTL (H-TTL):**

تم تطوير هذه العائلة الفرعية لقيادة الأحمال والدارات التي تتطلب خرج مروحي (Fan out) عالي، وكذلك سرعة عمل عالية. تستهلك دارات هذه العائلة الفرعية استطاعة أكثر مما تستهلكه الدارات المماثلة لها من عائلات فرعية أخرى ضمن TTL. تتوفر دارات متكاملة من هذه العائلة الفرعية لبعض الوظائف المنطقية وليس لكل الوظائف التي توفرها عائلة TTL المعيارية. تحقق هذه العائلة سرعة العمل بالمقارنة مع غيرها، وذلك عن طريق استخدام مقاومات في بنية الدارة المتكاملة أصغر مما يستخدم في العائلة المعيارية.

- **عائلة TTL الفرعية منخفضة الاستطاعة Low-Power TTL (LP-TTL)**

طورت هذه العائلة الفرعية من أجل التطبيقات التي تحتاج إلى القليل من الاستطاعة وحيث يسمح بسرعة منخفضة في العمل، وتستخدم فيها ترانزيستورات تصل إلى الإشباع أثناء العمل. يتحقق تخفيض الاستطاعة عن طريق استخدام قيم مقاومات أعلى مما هو مستخدم في عائلة TTL المعيارية.

- **عائلة شوتكي Schottkey TTL (S-TTL)**

تم تطوير هذه العائلة من أجل التطبيقات عالية السرعة كما أنها تمتاز بانخفاض استهلاك الاستطاعة بالمقارنة مع عائلة H-TTL الفرعية. تتحقق سرعة العمل عن طريق استخدام ترانزيستورات لا تصل أثناء العمل إلى الإشباع (Saturation) وتسمى هذه الترانزيستورات باسم ترانزيستورات شوتكي حيث يحتوي الترانزيستور على ديود (diode) ضمني (build in) موصول بين القاعدة والمجمع.

- **عائلة شوتكي منخفضة الاستطاعة Low-power schottkey TTL (L S-TTL)**

تؤمن هذه العائلة سرعة عمل مماثلة لسرعة عمل عائلة TTL المعيارية و باستهلاك استطاعة أخفض .

- **عائلة شوتكي المتطورة Advanced Schottkey TTL (AS-TTL)**

وهي عائلة فرعية تؤمن عملاً أسرع بقليل من عائلة S- TTL وباستهلاك أخفض للاستطاعة.

- **عائلة شوتكي المتطورة منخفضة الإستطاعة Advanced Low-Power Schottkey TTL (ALS TTL)**

وهي تؤمن توافقاً ممتازاً بين استهلاك الإستطاعة وسرعة العمل، وفيما يلي جدول ببعض العائلات الفرعية لعائلة TTL وبعض المواصفات الفنية لهذه العائلات.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 1.2 بعض المواصفات الفنية لعائلات فرعية من عائلة TTL.

Advancsd Low-power Schottkey TTL	Low-power Schottkey TTL	High speed TTL	Low-power TTL	Standard TTL	
عائلة شوتكي TTL المتطورة منخفضة الاستطاعة	عائلة شوتكي TTL منخفضة الاستطاعة	عائلة TTL عالية السرعة	عائلة TTL منخفضة الاستطاعة	TTL المعيارية	تسمية العائلة الفرعية
بعد 1980	بعد عام 1969	بعد عام 1979	1867 - 1981	1963	سنة الظهور
74ALSXXX	74LSXXX	74HXXX	74LXXX	74XXX	رمزها المختصر
1mW	12mW	3.5mW	1mW	10mW	استهلاك الاستطاعة في البوابة
4nS	9nS	2.3ns	35ns	10nS	زمن التأخير في البوابة

كافة عائلات الفرعية لـــ TTLمتآلفة مع بعضها، أي لها:

1. نفس مصدر التغذية (5V+).
2. نفس المستويات المنطقية في كل من الدخل والخرج.
3. متآلفة في وظائف الأرجل (Pins).

ولكن عوامل تحميلها مختلفة، لذلك وعند تعطل دارة متكاملة من عائلة TTL في جهاز ما يجب استبدالها بواحدة أخرى من نفس النوع تماماً (هنا يجب الانتباه إلى الكتابة الموجودة على جسم الدارة التكاملية لمعرفة العائلة الفرعية التي تنتمي إليها ولمعرفة رقم الدارة).

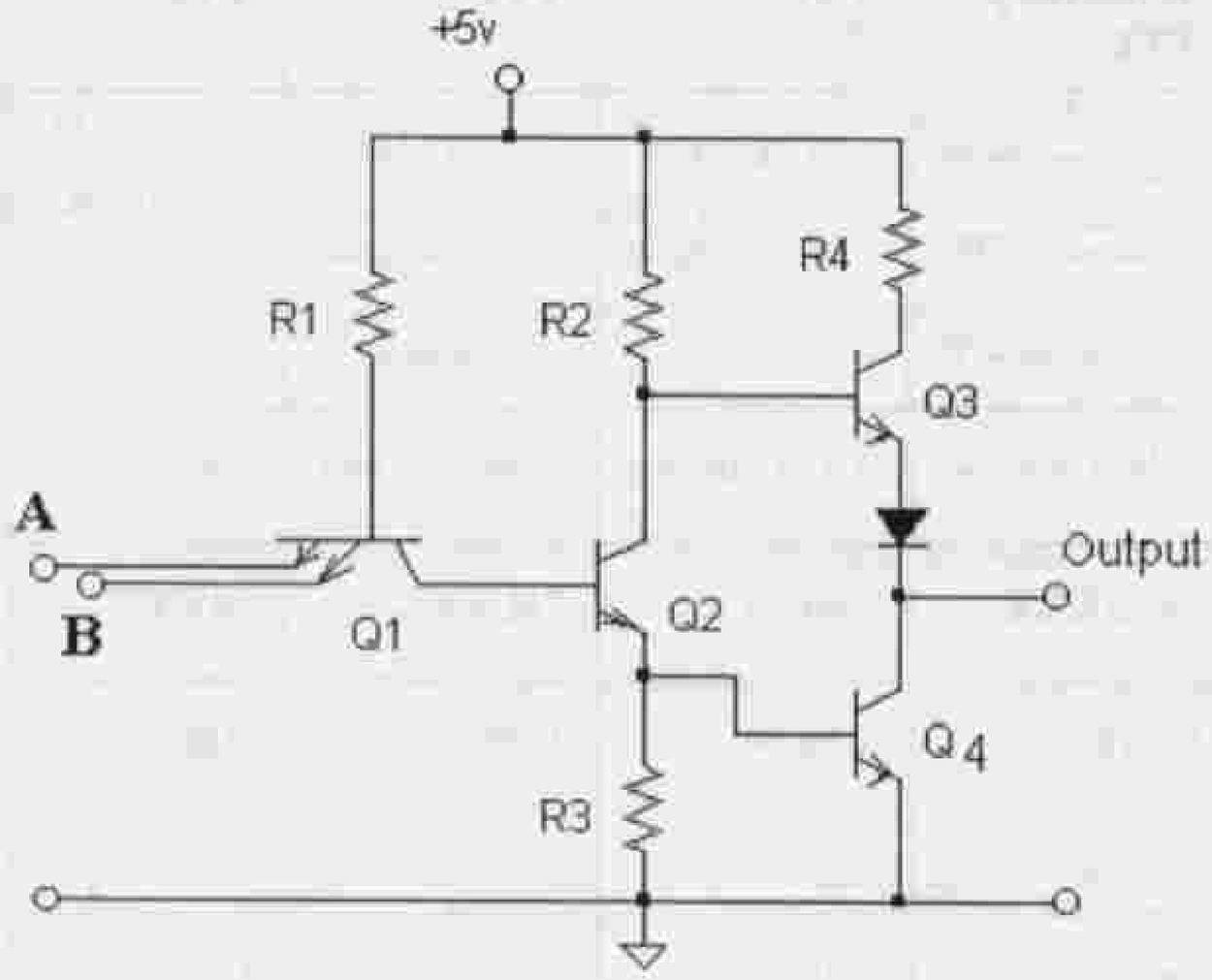
نبين المستويات المنطقية في عائلة TTL في الجدول التالي:

الجدول 2.2 المستويات المنطقية على دخل وخرج الدارات المتكاملة في عائلة TTL.

المستوى المنطقي	High أو (1 منطق)	Low أو (0 منطق)
دخل البوابة	2.0 إلى 5 فولت	0 إلى 0.8 فولت
خرج البوابة	2.4 إلى 5 فولت	0 إلى 0.4 فولت

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وفيما يلي نتعرف على بنية ومبدأ عمل بوابة NAND في عائلة TTL، ودارة البوابة معطاة في الشكل التالي:



الشكل 1.2 بوابة NAND في عائلة TTL المعيارية.

- في حالة تطبيق Low على أحد المداخل فإن الترانزيستور Q1 يكون في حالة On و

$$V_{CEQ1} = V_{CEsat} = 0.2V = V_{BQ2} \Rightarrow Q2(off) \Rightarrow i_{eQ2} = 0 \Rightarrow V_{R3} = 0 = V_{BQ4} \Rightarrow Q4(off)$$

ويمر تيار من Vcc إلى R2 إلى قاعدة Q3 فينقله إلى الحالة On ويكون جهد الخرج معطى بالعلاقة التالية $V_o = V_{cc} - i_{eQ3}R_4 - V_{CEQ3(On)} - V_D$، ويمكن بسهولة البرهان على أن هذا الجهد يكون High، أي أن الخرج يكون في حالة High عند تطبيق Low على كلا المدخلين.

- في حالة تطبيق High على المدخلين يكون Q1(off)، ويمر تيار من Vcc إلى R1 إلى متصل القاعدة-مجمع للترانزيستور Q1 إلى قاعدة Q2 فينقله إلى الإشباع فيمر تيار في المقاومة R3 فيخلق عليها هبوط جهد ينقل الترانزيستور Q4 إلى الإشباع ويكون جهد الخرج مساوياً $V_{CEQ4(sat)} = 0.2V$ أي في حالة Low.
- وظيفة الديود الموجود في الدارة هي منع الترانزيستورين Q3 و Q4 من الانتقال إلى حالة On مع بعض، فعندما يكون Q2 و Q4 في حالة On يكون:

$$V_{B3} = V_{BE(Q3)} + V_{CEQ2} = 0.7 + 0.2 = 0.9V$$

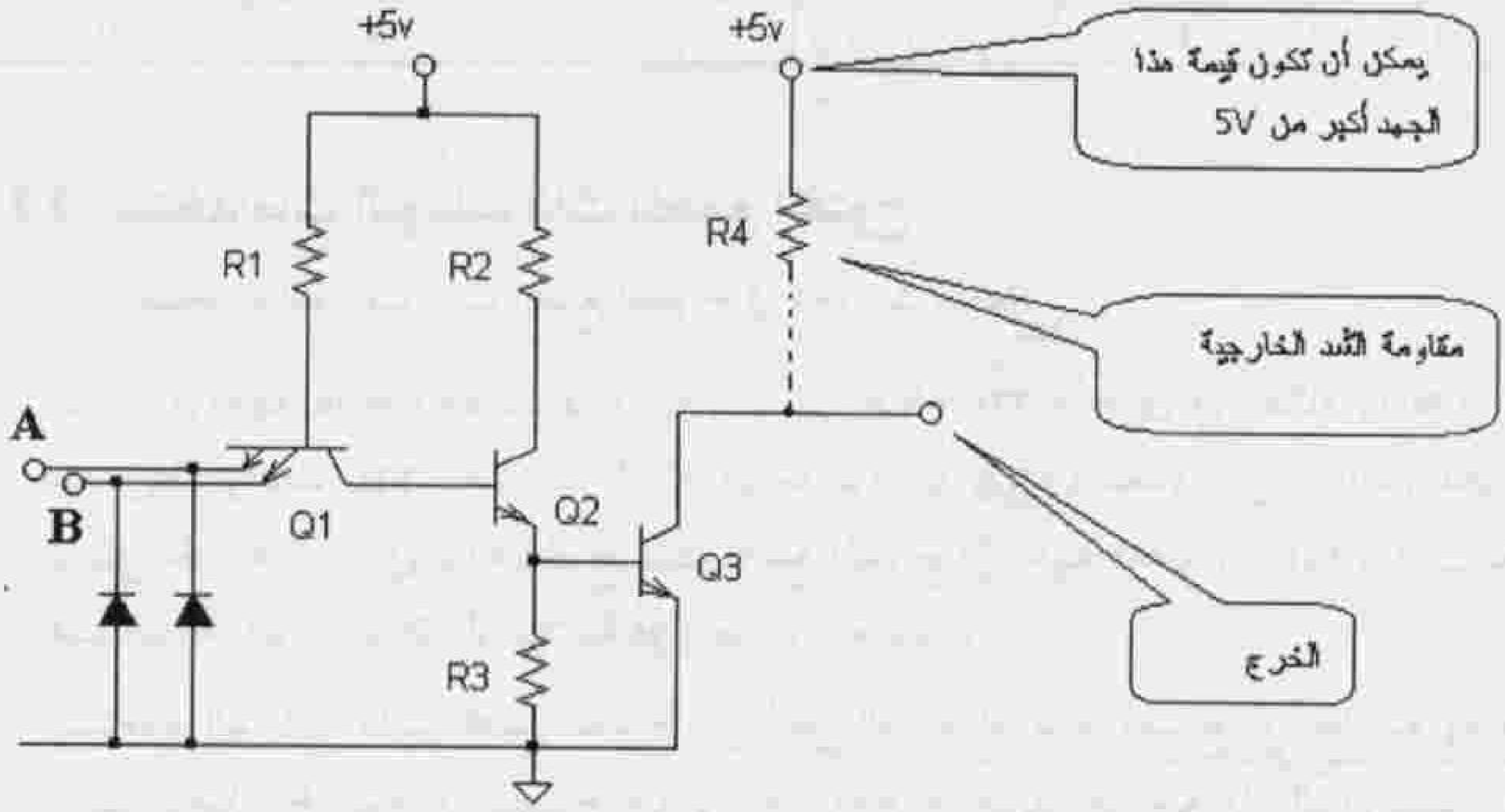
$$V_{EQ3} = V_{CE(Q4)} + V_D = 0.2 + 0.7 = 0.9V \Rightarrow V_{BE(Q3)} = V_{B3} - V_{E(Q3)} = 0.9 - 0.9 = 0$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وهذا يعني أن متصل القاعدة-باعث للترانزيستور Q3 غير مستقطب بالاتجاه الأمامي وهو في حالة قطع. V_{B3} هو جهد قاعدة الترانزيستور Q3 بالنسبة للأرض.

2.2.2 الدارات أو البوابات ذات المجمع المفتوح (Open Collector)

في الشكل (2.2) تعطى دارة بوابة NAND ذات مجمع مفتوح، وهي تحتاج عند استخدامها إلى وصل مقاومة خارجية بين مجمع الترانزيستور Q3 ومصدر جهد التغذية. وهذه المقاومة تسمى مقاومة شد pull-up resistor.



الشكل 2.2 شكل دارة بوابة NAND ذات مجمع مفتوح.

تعمل الديودات الموجودة بين المداخل A وB والأرض على منع تضرر الترانزيستور عندما تكون إشارة الدخل سالبة. يتلخص مبدأ عمل هذه البوابة بالشكل التالي:

عند تطبيق صفر منطق على أحد المدخلين A أو B فإن الترانزيستور Q1 يكون في حالة On (إشباع) وبالتالي Q2 في حالة قطع Off و Q3 في حالة قطع Off وجهد الخرج يساوي VCC=5V، أي واحد منطق.

أما عند تطبيق واحد منطق على كلا المدخلين A أو B فإن الترانزيستور Q1 يكون في حالة Off (قطع)، و Q2 في حالة إشباع وأيضاً Q3 في حالة إشباع وجهد الخرج يساوي الجهد بين باعث

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

ومجمع Q3 الموجود في الإشباع أي حوالي 0.2V، وهذا يكافئ صفر منطق. ويمكن تلخيص أوضاع الترانزيستورات ووضع الخرج المنطقي عند كافة الحالات المنطقية الممكنة للمداخل كما في الجدول التالي:

الجدول 3.2 تلخيص مبدأ عمل بوابة NAND.

A	B	Q1	Q2	Q3	Y
0	0	on	off	off	1
0	1	on	off	off	1
1	0	on	off	off	1
1	1	off	on	on	0

3.2.2 استخدامات البوابات ذات المجمع المفتوح

يمكن استخدام البوابات ذات المجمع المفتوح في الحالات التالية:

1. كدارة مواجهة Interface Circuit بين بوابات من عائلة TTL وأخرى من عائلة CMOS. مثلاً عند ربط بوابات TTL تتغذى من (+5V) مع بوابات CMOS تتغذى من (+10V) يمكن أن توصل مقاومة الشد في بوابة الخرج ذات المجمع المفتوح إلى جهد تغذية (+10V) وبذلك تعمل هذه البوابة كبوابة موافقة أو ملاءمة أو ربط بين العائلتين.
2. تستخدم البوابات ذات المجمع المفتوح من أجل القيادة المباشرة لمصباح أو لحاكمة (Relay) حيث توصل الحاكمة أو المصباح مباشرة عبر مقاومة تحديد خارجية إلى الترانزيستور Q3، وطبعاً عندما يكون Q3 في حالة (On) فإن الحاكمة ستكون في حالة عمل لأن تياراً يمر في ملفها وكذلك سوف يضيء المصباح بسبب مرور تيار فيه.

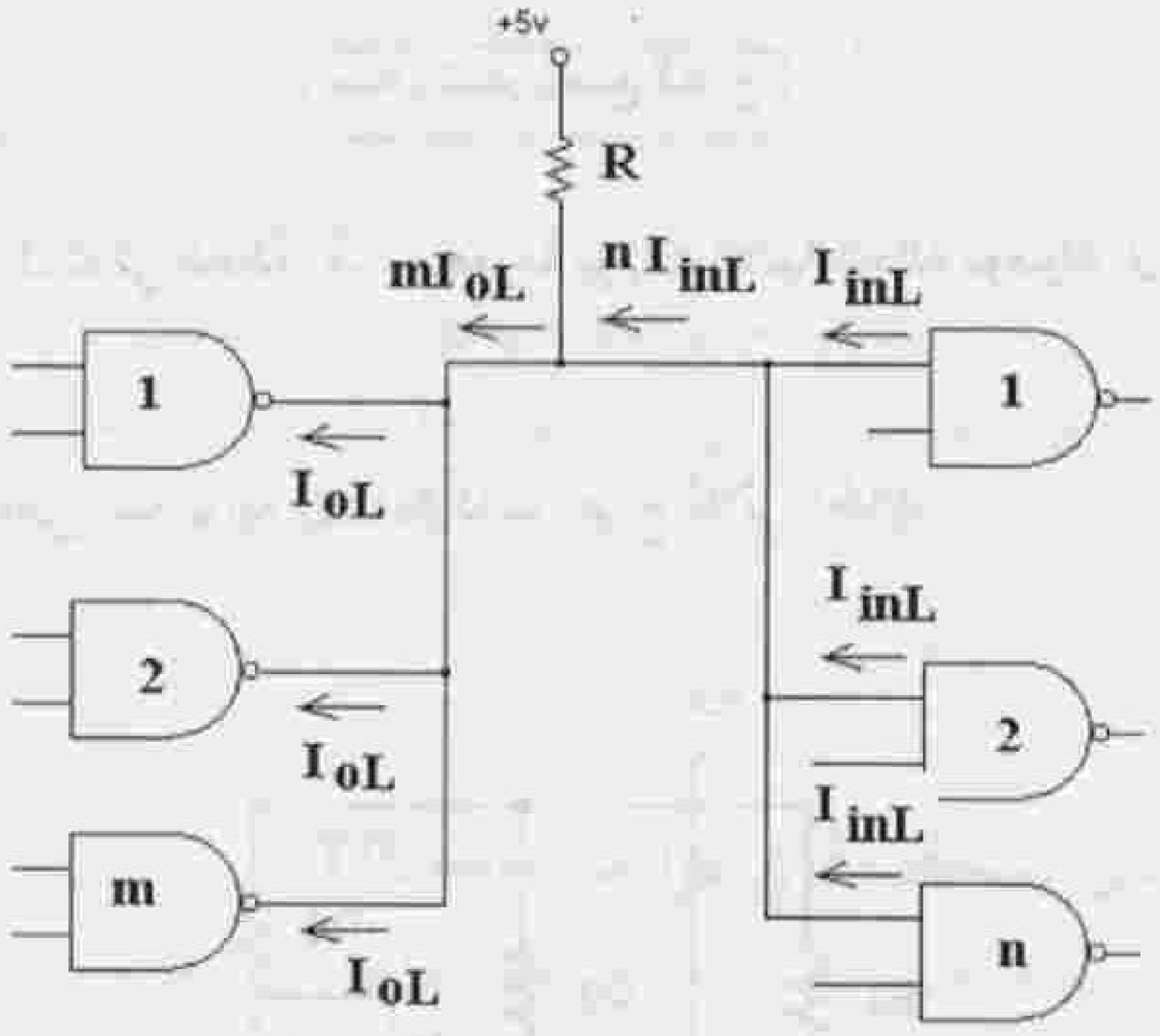
4.2.2 حساب مقاومة الشد

تُحسب مقاومة الشد التي توصل بين مجمع Q3 ومصدر التغذية (عند وصل مخارج مجموعة من بوابات NAND ذات المجمع المفتوح مع بعض عبر مقاومة شد إلى مصدر التغذية وتحميل هذه البوابات بعدد من المداخل كما في الشكل (3.2)) وفقاً للمعادلة التالية:

$$\frac{V_{CC} - V_{OL\,max}}{mI_{OH} - nI_{IL}} \le R_C \le \frac{V_{CC} - V_{OH\,min}}{nI_{IH} + mI_{OH}}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وذلك باعتبار أن: $V_{CC} = 5V$ هو جهد التغذية في عائلة TTL، V_{OHmin} هي القيمة الصغرى لجهد الخرج المرتفع (أي الذي يمثل واحد منطق)، V_{OLmax} القيمة العظمى لجهد الخرج المنخفض (أي الذي يمثل صفر منطق)، I_{OH} تيار خرج البوابة عندما يكون جهد الخرج مرتفعاً (واحد منطق) و I_{IL} تيار دخل البوابة عندما يكون الدخل منخفضاً (صفر منطق)، n هي عدد المداخل (عدد مداخل البوابات التالية) التي تشكل حملاً للبوابات ذات المجمع المفتوح و m عدد بوابات NANDذات المجمع المفتوح الموصولة مع بعض.

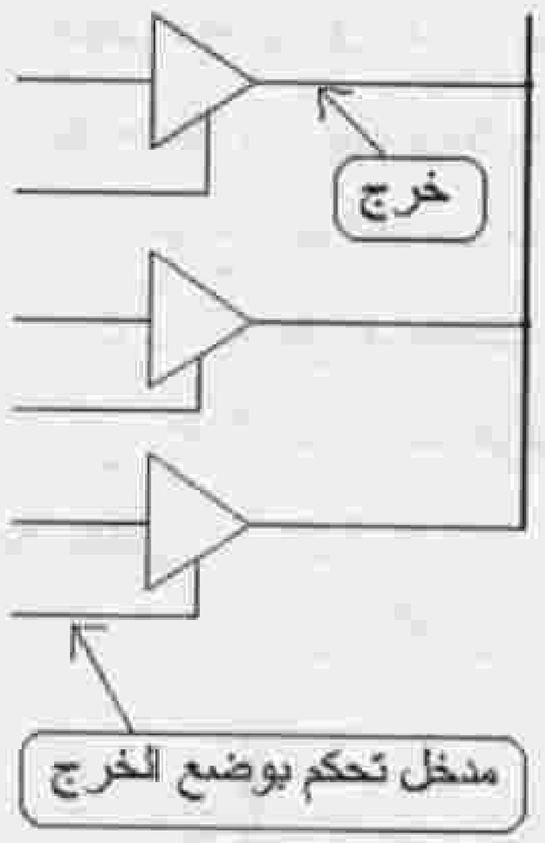


الشكل 3.2 شكل يوضح معادلة حساب مقاومة الشد.

5.2.2 البوابات ذات الخرج ثلاثي الحالة Tri-state Gates

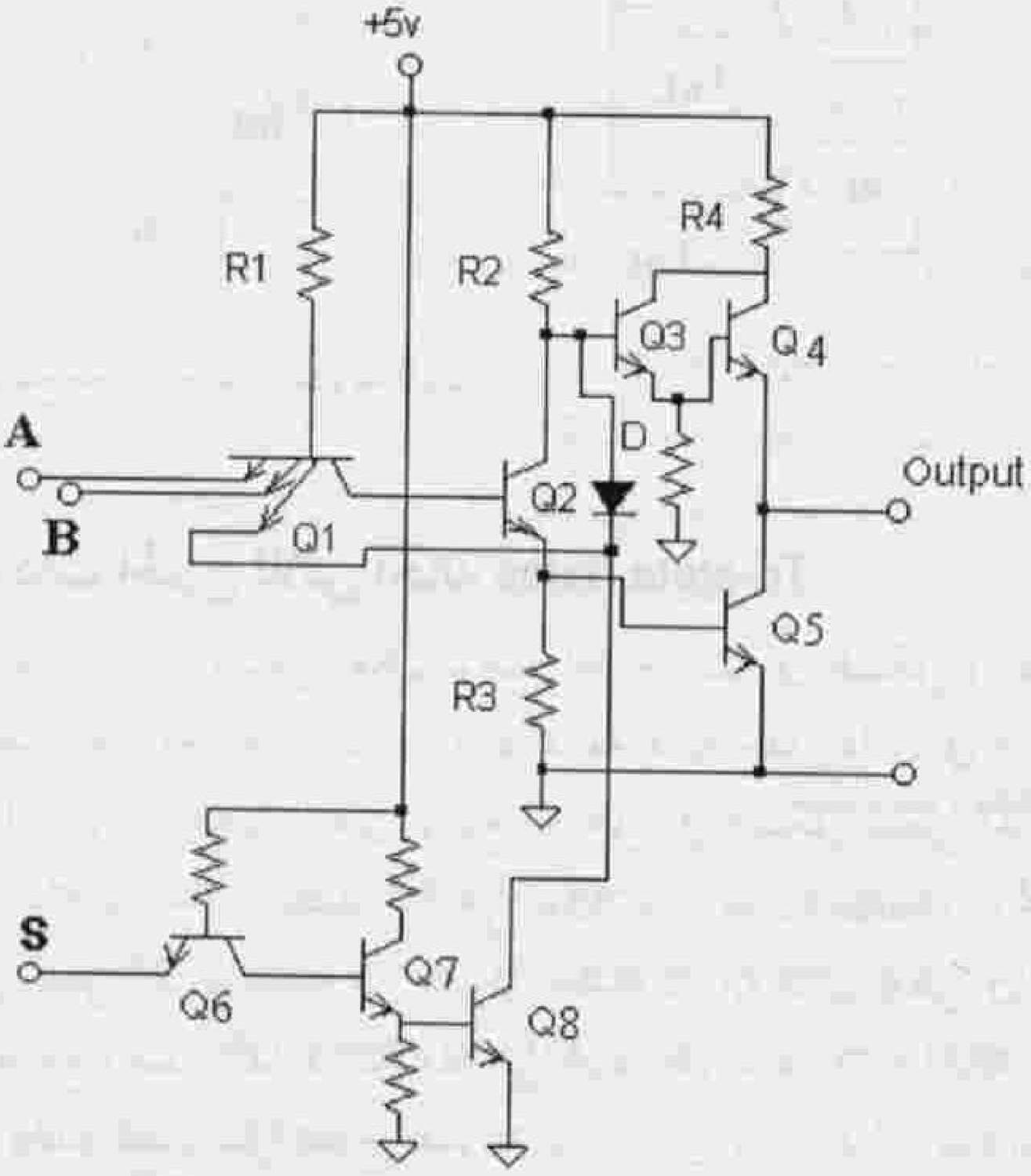
يضاف إلى هذه البوابات مدخل تحكم بوضع الخرج كما في الشكل (4.2)، وحسب الحالة المنطقية لمدخل التحكم فإن الخرج إما أن يكون ذا ممانعة عالية جداً (عائم، في الشكل المعطى يكون الخرج عائماً عندما C=1) أو عادياً ويتعلق بوضع المداخل (في الشكل المعطى الخرج يساوي الدخل عندما C=0) والدارة ثلاثية الحالة المعطاة هنا هي بوابة عزل (Buffer Gate)، وتحدد الحالة المنطقية لمدخل التحكم التي تجعل الخرج عائماً من جدول الحقيقة للبوابة الذي يعطى في الكتالوج أو يذكر ذلك بشكل صريح مع وصف الدارة المتكاملة التي تحوي البوابات ثلاثية الحالة. تستخدم البوابات ذات الخرج ثلاثي الحالة عند وصل مخارج مجموعة بوابات إلى ممر مشترك (Common Bus).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 4.2 أ ـ بوابة عازل ثلاثي الحالة، ب ـ مجموعة بوابات ثلاثية الحالة موصولة إلى ممر.

في الشكل (5.2) تعطى بنية بوابة NAND ذات خرج ثلاثي الحالة.



الشكل 5.2 بوابة NAND ذات خرج ثلاثي الحالة في عائلة TTL.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

عند تطبيق H (High) على مدخل التحكم S، يكون Q6 في حالة off ويمر تيار من VCC عبر المقاومة R2 ومتصل القاعدة – مجمع للترانزيستور Q6 إلى قاعدة Q7، فينتقل Q7 إلى الإشباع Saturation ويمر تيار من باعث Q7 إلى قاعدة Q8 (الذي ينتقل أيضاً إلى الإشباع) ويصبح الجهد $V_{CEQ8(Sat.)} = 0.2V$ مطبقاً على أحد بواعث الترانزيستور Q1، فينتقل Q1 إلى العمل في نظام الإشباع ويكون $V_{CEQ1(Sat)} = 0.2V = V_{B(Q2)}$. ولذلك يبقى Q2 في حالة Off وهذا يعني أن Q5 سيكون أيضاً في حالة Off. بما أن Q8 مشبع فإن الديود D يكون في حالة On وهبوط الجهد على قاعدة Q3 يساوي هبوط الجهد على الديود مضافاً إليه جهد الإشباع بين باعث ومجمع Q8 أي $V_{B(Q3)} = V_D + V_{CEQ8(Sat)} = 0.7 + 0.2 = 0.9V$ ، وهذا الجهد لا يكفي لنقل الترانزيستورين Q3 و Q4 إلى حالة On لأن متصل القاعدة–باعث لكل واحد منهما بحاجة إلى جهد يساوي 0.7 فولت كي يكون في حالة استقطاب أمامي. إذاً Q4 و Q5 في حالة قطع وتكون ممانعة خرج البوابة عالية جداً وهذه الحالة تسمى حالة الخرج العائم floating output. عند تطبيق L (Low) (أي صفر منطق) على مدخل التحكم S فإن Q6 سيكون في حالة On وهذا يؤدي إلى جعل Q7 و Q8 و الديود D في حالة Off وبذلك تصبح دارة التحكم بوضع الخرج وكأنها غير موجودة (غير فعالة) ووضع الخرج يتعلق بالوضع المنطقي للمداخل.

6.2.2 المداخل غير المستخدمة في بوابات عائلة TTL

في بعض الحالات قد لا تحتاج إلى استخدام كافة المداخل المتوفرة لبوابة ما، فمثلاً قد تحتاج إلى بوابة بخمسة مداخل، وبسبب عدم توفر هكذا بوابة فإنك تستخدم بوابة ذات ثمانية مداخل، وبذلك يبقى لديك ثلاثة مداخل غير مستخدمة. هذه المداخل لا يجوز تركها غير موصولة أو عائمة وإنما يجب وصلها إما إلى مصدر التغذية، أو إلى الأرض، أو إلى أحد المداخل المستخدمة ويتعلق ذلك بنوع البوابة المستخدمة وبحيث لا يؤثر الوضع المنطقي لهذه المداخل بعد وصلها على الخرج المنطقي للبوابة والذي يجب أن يتحدد فقط من خلال المداخل الفعالة المستخدمة. في بوابات AND توصل المداخل غير المستخدمة إلى مصدر التغذية، أما في بوابات OR فتوصل المداخل غير المستخدمة إلى الأرضي.

7.2.2 قائمة ببعض الدارات المتكاملة الهامة من عائلة TTL

نبين في الجدول التالي بعض الدارات المتكاملة الشائعة الاستخدام في عائلة TTL، وللاطلاع على المزيد من الدارات المتكاملة في هذه العائلة ينصح بالعودة إلى TTL DATA BOOK، أو إلى الموقع التالي على شبكة الإنترنت: http://dooly.cntc.ac.kr/~hclee/info/databook/ttl.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 4.2 بعض الدارات المتكاملة من عائلة TTL.

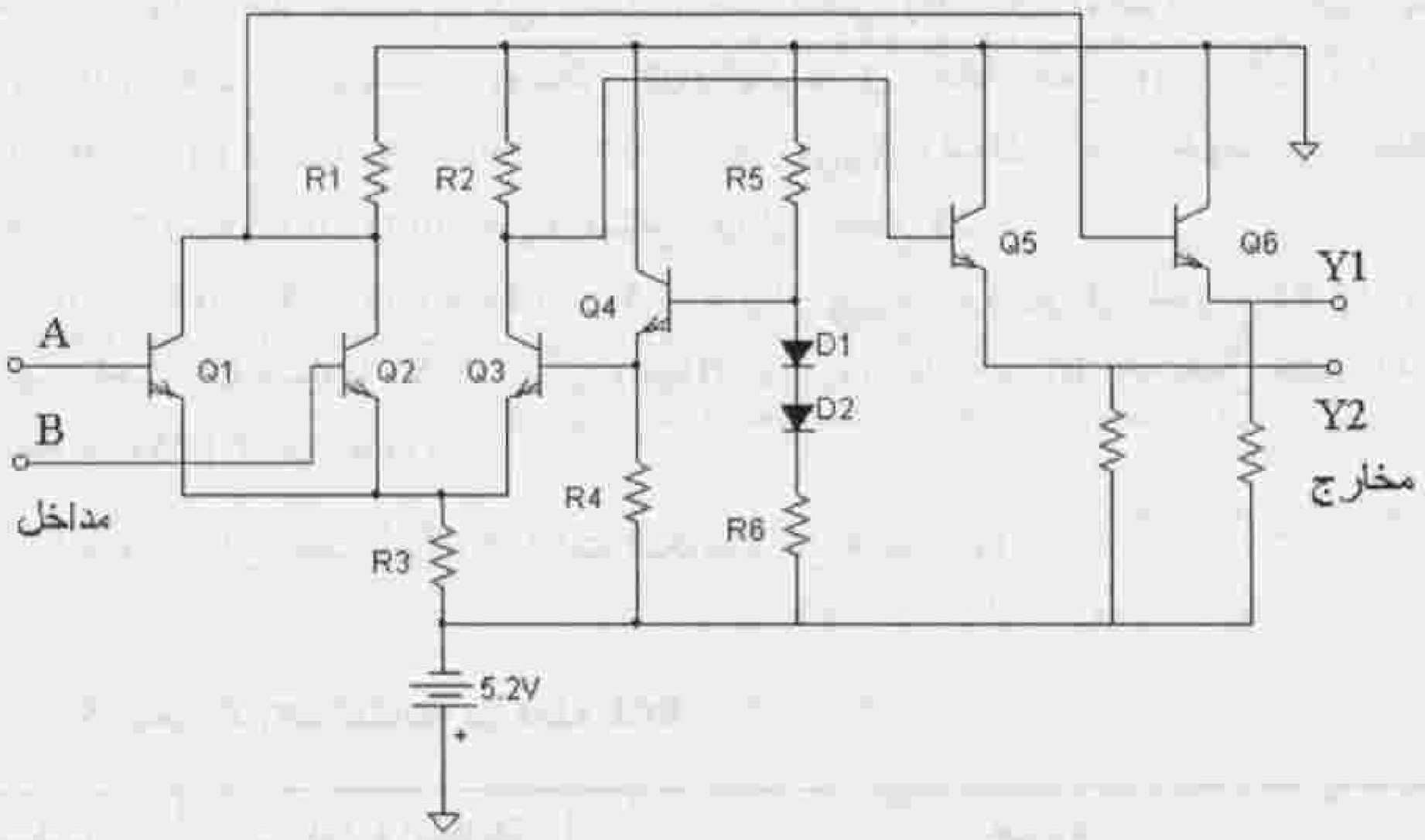
مسلسل	رمز الدارة المتكاملة	محتوياتها
1	7400	أربع بوابات NAND ثنائية المدخل
2	7401	أربع بوابات NAND ذات مجمع مفتوح ثنائية المدخل
3	7402	أربع بوابات NOR ثنائية المدخل
4	7403	أربع بوابات NOR ذات مجمع مفتوح ثنائية المدخل
5	7404	ستة عواكس
6	7405	ستة عواكس ذات مجمع مفتوح
7	7406	ستة عواكس ذات مجمع مفتوح
8	7407	ستة عواكس ذات مجمع مفتوح حتى 30V
9	7408	أربع بوابات AND ثنائية المدخل
10	7409	أربع بوابات AND ذات مجمع مفتوح ثنائية المدخل
11	7410	ثلاث بوابات NAND ثلاثية المدخل
12	7411	ثلاث بوابات AND ثلاثية المدخل
13	7414	ستة قوادح شمت عاكسة
14	7420	بوابتي NAND ذوات أربع مداخل
15	7421	بوابتي AND ذوات أربع مداخل
16	7427	ثلاث بوابات OR ثلاثية المداخل
17	7430	بوابة NAND ذات ثمانية مداخل
18	7432	أربع بوابات OR ثنائية المداخل
19	7486	أربع بوابات XOR ثنائية المدخل

3.2 عائلة Emitter Coupled Logic (ECL)

تبنى دارات هذه العائلة على بوابات تستخدم ترانزيستورات لا تصل إلى الإشباع ،ولذلك فهي سريعة العمل. تستخدم عائلة ECL مصدر تغذية سالب، وتستهلك استطاعة كبيرة بالمقارنة مع باقي

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

العائلات. البوابة الأساسية لهذه العائلة هي بوابة OR/NOR والبنية الداخلية لهذه البوابة مبينة في الشكل (5.2). تعتبر عائلة ECL من أكثر العائلات المنطقية تأثراً بالضجيج. الواحد منطق في هذه العائلة يقابل جهداً يتراوح بين (0.75V- وحتى 0.8V-) أما الصفر منطق فيقابل جهداً يتراوح بين (1.55V- و 1.8V-). تستخدم الدارات المتكاملة من عائلة ECL في الأجهزة الخاصة مثل معالجات الإشارات الرادارية والحواسيب عالية السرعة.



الشكل 6.2 بنية البوابة الأساسية في عائلة ECL.

مبدأ عمل البوابة الأساسية في عائلة ECL

تسمى البوابة المعطاة في الشكل (6.2) بوابة OR/NOR وهي البوابة الأساسية في عائلة ECL، وفي هذه البوابة إما أن تكون الترانزيستورات في حالة On وتعمل في المنطقة الفعالة أو تكون في حالة off (قطع). ولا تعمل الترانزيستورات نهائياً في منطقة الإشباع، ولذلك تعتبر عائلة ECL أسرع من باقي العائلات المنطقية ولكنها تستهلك طاقة أكبر. عند وصل التغذية إلى دارة البوابة يكون Q3 في حالة عمل (On)، وفيما يلي نتعرف على آلية العمل في الحالات المنطقية المختلفة لجهود المداخل.

- عندما تكون جهود المدخلين صفر منطق أي (1.55V-)، فإن جهد نقطة التقاء بواعث Q2 وQ1، والذي سنرمز له بالرمز V_E، سيكون $V_E = V_{BE(Q3)} + V_{B(Q3)} = -(0.75 + 1.15) = -1.9V$ وبما أن جهود قواعد Q1 وQ3 هي (1.55V-) فإن الفرق بين جهد القاعدة والباعث لهذه الترانزيستورات سيكون $V_B - V_E = -1.55 - (-1.9) = 1.9 - 1.55 = 0.45V < 0.7V$، وتكون هذه

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الترانزيستورات في حالة قطع off. في هذه الحالة لا يمر تيار عبر المقاومة R1 وجهد قاعدة Q6 يساوي الصفر أما باعث الترانزيستور فموصول عبر مقاومة إلى جهد التغذية (-5.2V) فيكون الترانزيستور Q6 في حالة on والجهد على باعثه يساوي $V_{EQ6} = -0.75V \Leftrightarrow High$ ويعتبر هذا الخرج هو الخرج NOR للبوابة. يؤدي مرور تيار عبر المقاومة R2 (بسبب كون الترانزيستور Q3 في حالة on) إلى تشكل جهد يساوي (-0.8V) على قاعدة Q5، ويكون جهد باعث Q5 مساوياً $V_{EQ5} = -0.8 - 0.75 = -1.55V \Leftrightarrow Low$ ويعتبر باعث Q5 هو الخرج OR للبوابة.

- عندما يكون أحد المداخل على وضع واحد منطق (H) أي موصول إلى جهد يساوي (-0.75V)، فإن الترانزيستور (وليكن Q2) يكون في حالة عمل (on) لأن فرق الجهد $V_{BQ2} - V_E = -0.75 - (1.9) = 1.9 - 0.75 = 1.15V > 0.75V$ ولذلك يتغير الجهد V_E حالاً إلى القيمة $V_E = -(0.75 + 0.75) = -1.5V$ فينتقل Q3 إلى القطع لأن:
$V_{BQ3} - V_E = -1.5 - (-1.15) = 1.15 - 1.5 = -0.35V < 0.7V$. ولا يمر في المقاومة R2 تيار ويكون جهد باعث Q5 مساوياً (-0.75V) أي (High) أما مرور تيار عبر R1 فإنه يجعل جهد باعث Q6 مساوياً (-1.55) أي (Low).

يبين الجدول التالي بعض أنواع الدارات التكاملية من عائلة ECL.

الجدول 5.2 بعض الدارات المتكاملة من عائلة ECL.

مسلسل	رمز الدارة المتكاملة	محتوياتها
1	10100/10500	أربع بوابات NOR ثنائية المدخل مع Strobe
2	10101/10501	أربع بوابات OR/NOR
3	10102/10502	أربع بوابات NOR ثنائية المدخل
4	10103/10503	أربع بوابات OR ثنائية المدخل
5	10104/10504	أربع بوابات AND ثنائية المدخل
6	10105/10505	ثلاث بوابات OR/NOR ذات 2-3-2 مدخل
7	10106/10506	ثلاث بوابات NOR ذات 3-3-4 مدخل
8	10107/10507	ثلاث بوابات XNOR,XOR ثلاثية المداخل
9	10109/10509	بوابتي OR/NOR ذات 4-5 مداخل
10	10110/10510	بوابة OR ثلاثية الدخل ثلاثية الخرج
11	10113/10513	أربع بوابات XOR

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

للاطلاع على المزيد من الدارات المتكاملة من هذه العائلة ينصح بالعودة إلى مرجع هذه العائلة:

MECL Data Book, Motorola Semiconductor Products, Inc.Mesa, Arizona

4.2 عائلة CMOS

تبنى الدارات المتكاملة في هذه العائلة باستخدام ترانزيستورات MOS حقلية متعاكسة القطبية Complementary MOS وأهم ميزات هذه العائلة هي:

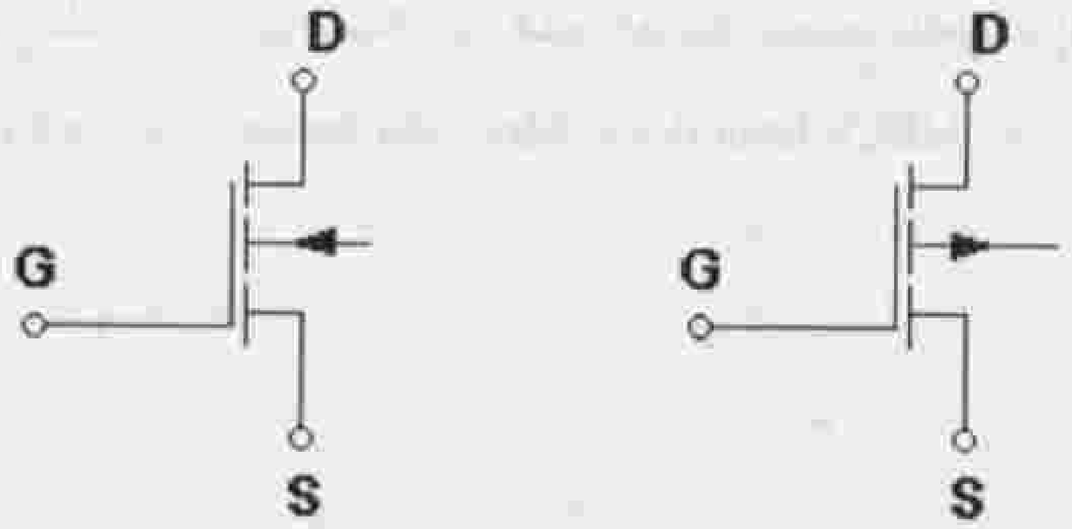
1. انخفاض الكلفة.
2. استهلاك منخفض للقدرة.
3. أداء مقاوم للضجيج، لأن مسافة الأمان بين مستويات الصفر منطق والواحد منطق كبيرة بالمقارنة مع باقي العائلات وخاصة عند التغذية من جهد 15V+.
4. ممانعة دخل عالية جداً.
5. خرج مروحي عالي (وخاصة عند تحميلها ببوابات أو ICs من نفس العائلة).
6. تتوفر فيها عناصر جديدة مثل المفتاح التشابهي الذي لا يتوفر في العائلات الأخرى.
7. يمكن تغذية دارات هذه العائلة بجهود تتراوح بين 3V و 15V.

عند استخدام دارات متكاملة من عائلة CMOS يجب الانتباه إلى القواعد الأساسية التالية:

1. يجب وصل كافة أطراف الدارة (Pins) إلى الجهود المناسبة، أي إلى المستويات المنطقية ومصدر التغذية والأرضي.
2. يجب تجنب تحميل الدارة المتكاملة بشكل زائد.
3. تجنب الشحنات الساكنة عن طريق تخزين هذه الدارات المتكاملة في علب ذات سطح ناقل.

وسنتعرف الآن على بنية بعض البوابات المنطقية في عائلة CMOS وعلى مبادئ عملها، وتتكون هذه البوابات من ترانزيستورات MOSFET قنال P وقنال N، ورموز هذه الترانزيستورات مبينة في الشكل التالي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

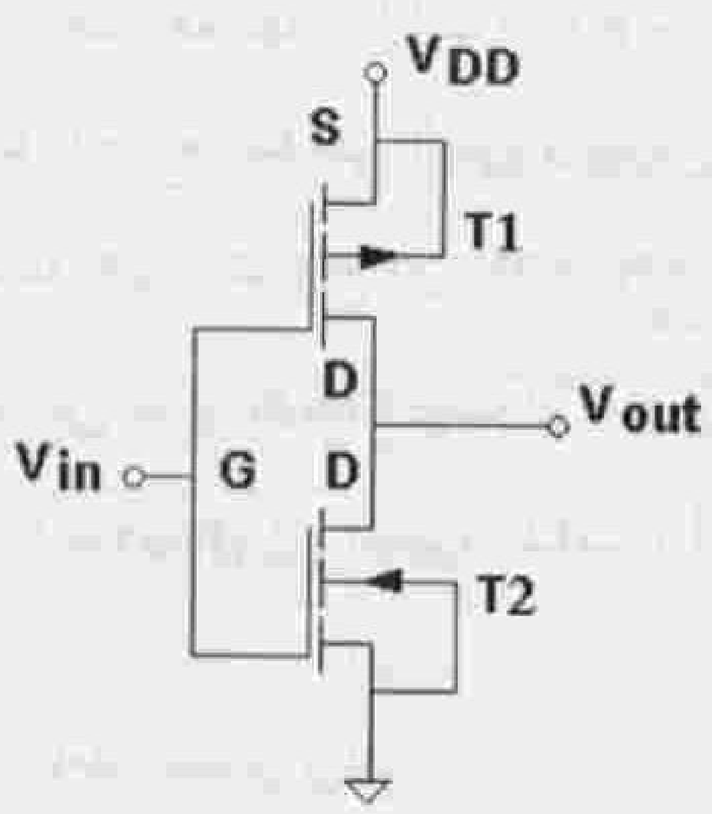


N-Channel P-Channel

الشكل 7.2 رموز الترانزيستورات الحقلية MOSFET قنال P وقنال N.

ينتقل الترانزيستور ذو القنال N إلى حالة on في حالة تطبيق جهد موجب على البوابة G، أما الترانزيستور ذو القنال P فينتقل إلى حالة on في حالة تطبيق جهد سالب أو (0 صفر) على بوابته.

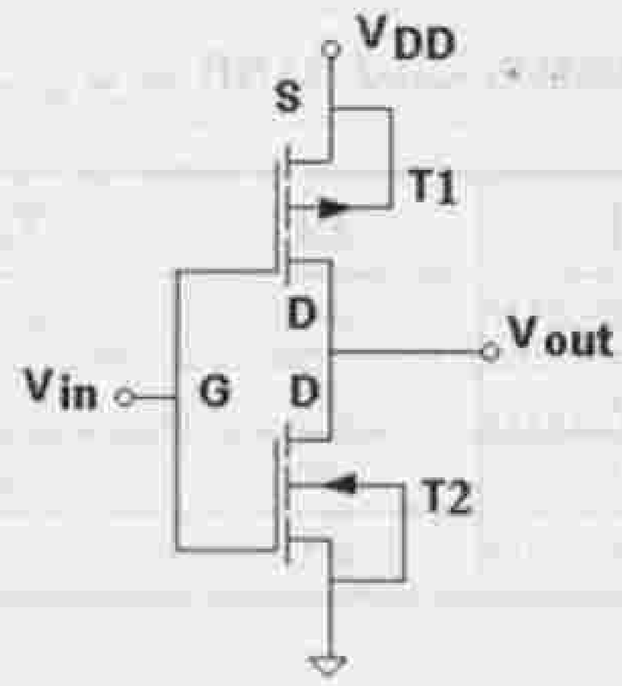
في الشكل (8.2) تعطى بوابة العاكس في عائلة CMOS.



الشكل 8.2 بوابة عاكس في عائلة CMOS.

عندما يكون جهد الدخل H يكون T2 في حالة on و T1 في حالة Off وجهد الخرج يساوي $V_{DS(on)}$ للترانزيستور T2 وهذا الجهد يساوي تقريباً 0.05V وهو يكافئ Low، أما عندما يكون الدخل Low فإن T1 يكون في حالة on و T2 في حالة off وجهد الخرج $V_{out} = V_{DD}$ وهذا الجهد يكافئ High والدارة تعمل كعاكس. وفي الشكل 9.2 تعطى بوابة NOR، ويبين الجدول وضعيات الترانزيستورات ووضع الخرج عند كافة الحالات المنطقية الممكنة لجهود المداخل.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

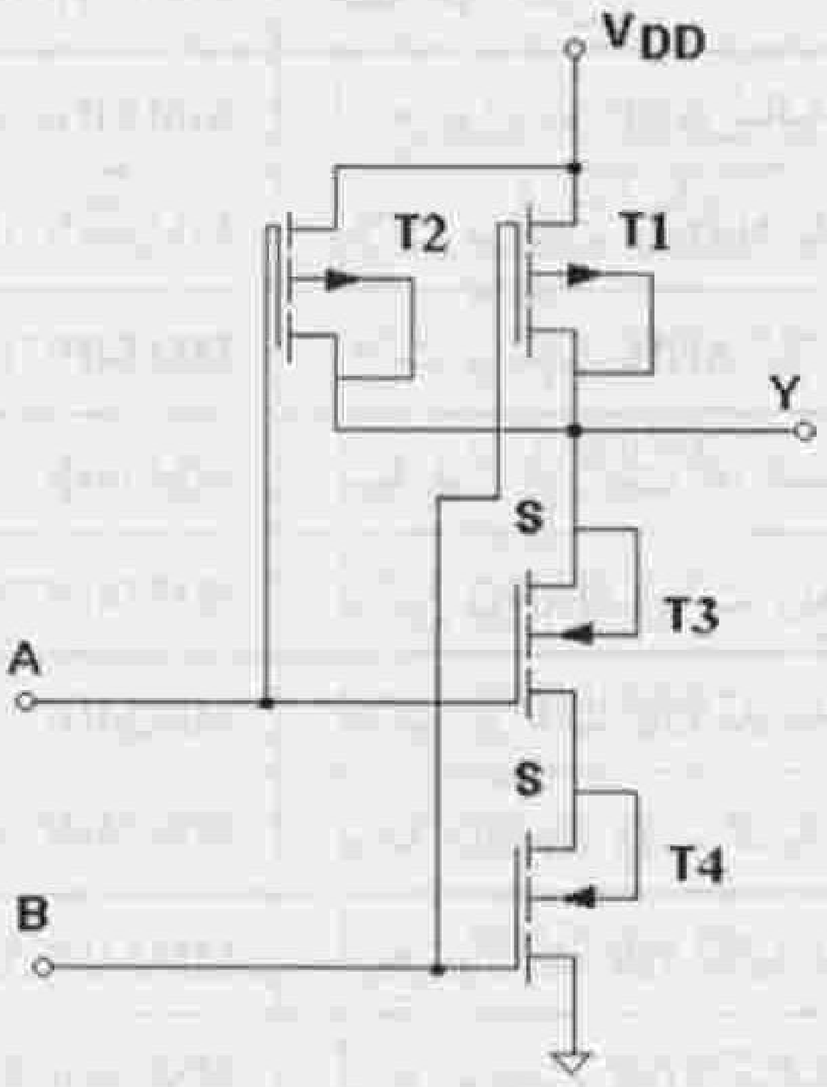


الشكل 9.2 بوابة NOR في عائلة CMOS.

الجدول 6.2 جدول العمل لترانزيستورات بوابة NOR في عائلة CMOS.

A	B	T1	T2	T3	T4	Y
0	0	on	on	off	off	1
0	1	on	off	on	off	0
1	0	off	on	off	on	0
1	1	off	off	on	on	0

أما الشكل 10.2 فيبين بوابة NAND وفي الجدول (7.2) تعطى وضعيات الترانزيستورات ووضع الخرج عند كافة الحالات المنطقية الممكنة لجهود المداخل.



الشكل 10.2 بوابة NAND في عائلة CMOS.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 7.2 وضعيات الترانزيستورات في بوابة NAND لعائلة CMOS.

A	B	T1	T2	T3	T4	Y
0	0	on	on	off	off	1
0	1	off	on	off	on	1
1	0	off	on	on	off	1
1	1	off	off	on	on	0

في الجدول التالي تعرض لائحة مختصرة لبعض الدارات المتكاملة من عائلة CMOS وللاطلاع على المزيد ينصح بالعودة إلى:

CMOS Data Book, National Semiconductor, Inc, Santaclara, California.

الجدول 8.2 بعض الدارات المتكاملة من عائلة CMOS سلسلة 74HCXX.

مسلسل	رمز الدارة المتكاملة	محتوياتها
1	MM54HC00/MM74HC00	أربع بوابات NAND ثنائية المدخل
2	MM54HC02/MM74HC02	أربع بوابات NOR ثنائية المدخل
3	MM54HC03/MM74HC03	أربع بوابات NAND ذات مجمع مفتوح ثنائية المدخل
4	MM54HC04/MM74HC04	ستة عواكس
5	MM54HC08/MM74HC08	أربع بوابات AND ثنائية المدخل
6	MM54HC10/MM74HC10	ثلاث بوابات NAND ثلاثية المدخل
7	MM54HC11/MM74HC11	ثلاث بوابات AND ثلاثية المدخل
8	MM54HC14/MM74HC14	ستة قوادح شمت عاكسة
9	MM54HC20/MM74HC20	بوابتي NAND ذوات ربع مداخل
10	MM54HC27/MM74HC27	ثلاث بوابات OR ثلاثية المداخل
11	MM54HC30/MM74HC30	بوابة NAND ذات ثمانية مداخل
12	MM54HC32/MM74HC32	أربع بوابات OR ثنائية المداخل
13	MM54HC86/MM74HC86	أربع بوابات XOR ثنائية المدخل

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مسلسل	رمز الدارة المتكاملة	محتوياتها
14	MM54HC86/MM74HC86	أربع بوابات XOR ثنائية المدخل
15	MM54HC02/MM74HC02	أربع بوابات NOR ثنائية المدخل
16	MM54HCT00/MM74HCT00	ثلاث بوابات NAND ثلاثية المدخل
17	MM54HCT04/MM74HCT04	ست عواكس

1.4.2 السلاسل المختلفة لعائلة CMOS

تتوفر السلاسل التالية ضمن عائلة CMOS:

- سلسلة CD4000A وهي ذات أهمية قليلة في هذه الأيام.
- سلسلة CD4000B وهي أكثر سلاسل CMOS انتشاراً.
- سلسلة HEF 4000 B وهي سلسلة محسنة بالمقارنة مع سلسلة CD 4000B من ناحية السعات الطفيلية وسرعة الفتح والإغلاق.
- سلسلة 74HCXX وهذه السلسلة تصف بتآلف في وظائف الأرجل مع عائلة TTL وتغذى بجهد تغذية 5V+.

نبين فيما يلي جدولاً لبعض الدارات المتكاملة التي تؤدي نفس الوظيفة ومن عائلات مختلفة.

الجدول 9.2 بعض البوابات الأساسية من العائلات الثلاث الشائعة الاستخدام.

نوع الدارة المتكاملة	رقم الدارة	العائلة المنطقية التي تنتمي إليها
NOT (عاكس)	7404	TTL
	MC10189	ECL
	MM74HC04	CMOS
AND	7408	TTL
	MC10104	ECL
	MM74HC08	CMOS
Buffer (عازل)	7417	TTL
	MC10188	ECL
	MM74HC128	CMOS
NOR	7402	TTL
	MC10102	ECL
	MM74HC02	CMOS

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

نوع الدارة المتكاملة	رقم الدارة	العائلة المنطقية التي تنتمي إليها
OR	7432	TTL
	MC10103	ECL
	MM74HC32	CMOS
NAND	7400	TTL
	MC10121	ECL
	MM74HC00	CMOS
XOR	7486	TTL
	MC10113	ECL
	MM74HC86	CMOS
XNOR	7466	TTL
	MC10107	ECL
	MM74HC66	CMOS

5.2 مقارنة بين العائلات المنطقية

نقدم في الجدول التالي مقارنة عملية مبسطة بين العائلات المنطقية الهامة حيث نقدم أهم خصائص ومواصفات كل عائلة، وتفيد هذه المقارنة في اختيار العائلة المناسبة للتطبيق لمطلوب. كما يفيد هذا الجدول في تصميم دارات الربط بين العائلات الثلاث عند ضرورة ربط أي اثنتين مع بعض بحيث لا يجوز أن نصل مباشرة خرج بوابة من عائلة ECL مثلا مع بوابة من عائلة TTL أو CMOS بسبب اختلاف المستويات المنطقية. يقصد بأعظم تردد يمكن توليده التردد الأعظمي الذي يمكن الحصول عليه عند بناء مهتز عديم الاستقرار باستخدام بوابتي عاكس من العائلة المنطقية (طبعاً يمكن استخدام بوابات NAND أو NOR كعواكس عند وصل مداخلها مع بعضها البعض). لاحظ من الجدول أن عائلة CMOS يمكن أن تغذى من جهود تتراوح بين 3V+ وحتى 15V+ ولكن الشائع عملياً هو تغذية دارات هذه العائلة من أحد الجهود 5V+ أو 10V+ أو 15V+، وفي كل هذه الحالات يكون المستوى المنطقي صفر مساوياً (0.05V+)، أما المستوى المنطقي واحد فيساوي $V_{OH} = +V_{CC} - 0.05V$.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 10.2 يبين هذا الجدول بعض مواصفات العائلات المنطقية الثلاث الأكثر استخداماً.

العائلة	جهد التغذية	استهلاك الاستطاعة للبوابة الواحدة	زمن الانتشار	أعظم تردد يمكن توليده	مستوى الواحد منطق	مستوى الصفر منطق
TTL	+5V	10mW	10ns	35MHz	من 2.4V وحتى 5V	من 0V وحتى 0.4V
ECL	-5.2V	25mW	2ns		-0.75V	-1.55V
CMOS	من +3V إلى +15V	0.5mW	100ns	3MHz	+VCC	تقريباً صفر

اقتصرنا في هذا الفصل والفصل السابق على إعطاء جداول لدارات تكاملية تحوي بوابات، ولكن الدارات التكاملية الرقمية لا تتكون فقط من بوابات ولكنها تحوي أيضاً قلابات Flip-Flops وماسكات Latches وكواشف Decoders ومرمزات Encoders ومجمعات Multiplexers وموزعات Demultiplexers، وهذا ما سنتعرف عليه في الفصل التالي. أما الذواكر والمعالجات Microprocessors فلن نتعرض لها في هذا الكتاب لأنها عالم قائم بذاته وتحتاج مع تطبيقاتها إلى مرجع مستقل.

6.2 ربط العائلات المنطقية

كما ذكرنا في بداية هذا الفصل، يمكن أن تستخدم دارات تكاملية مختلفة تنتمي إلى عائلات متنوعة، ومن أجل ضمان العمل الصحيح للمنظومة المنطقية المصممة لا بد من إجراء الربط الصحيح بين الدارات التكاملية التي تنتمي إلى عائلات مختلفة، أو عند ربط مخارج أو مداخل لدارة من عائلة ما مع عناصر إلكترونية أخرى. عند إجراء الربط بين العائلات المختلفة أو الربط بين دارة تكاملية من عائلة ما مع عناصر وتجهيزات إلكترونية أخرى يجب مراعاة الأمور التالية:

1. يجب أن تؤخذ المستويات المنطقية للمداخل والمخارج بعين الاعتبار.
2. يجب أن لا تزيد تيارات مخارج البوابات والدارات التكاملية عن الحد الأعظمي المسموح المعطى في الكتالوك.
3. يجب مراعاة سرعة انتقال الإشارة في كل نوع من العائلات المنطقية، وتظهر هذه المشكلة عند وصل دارات من عائلات مختلفة. مثلاً سرعة انتشار الإشارات في بوابات TTL أكبر منها في

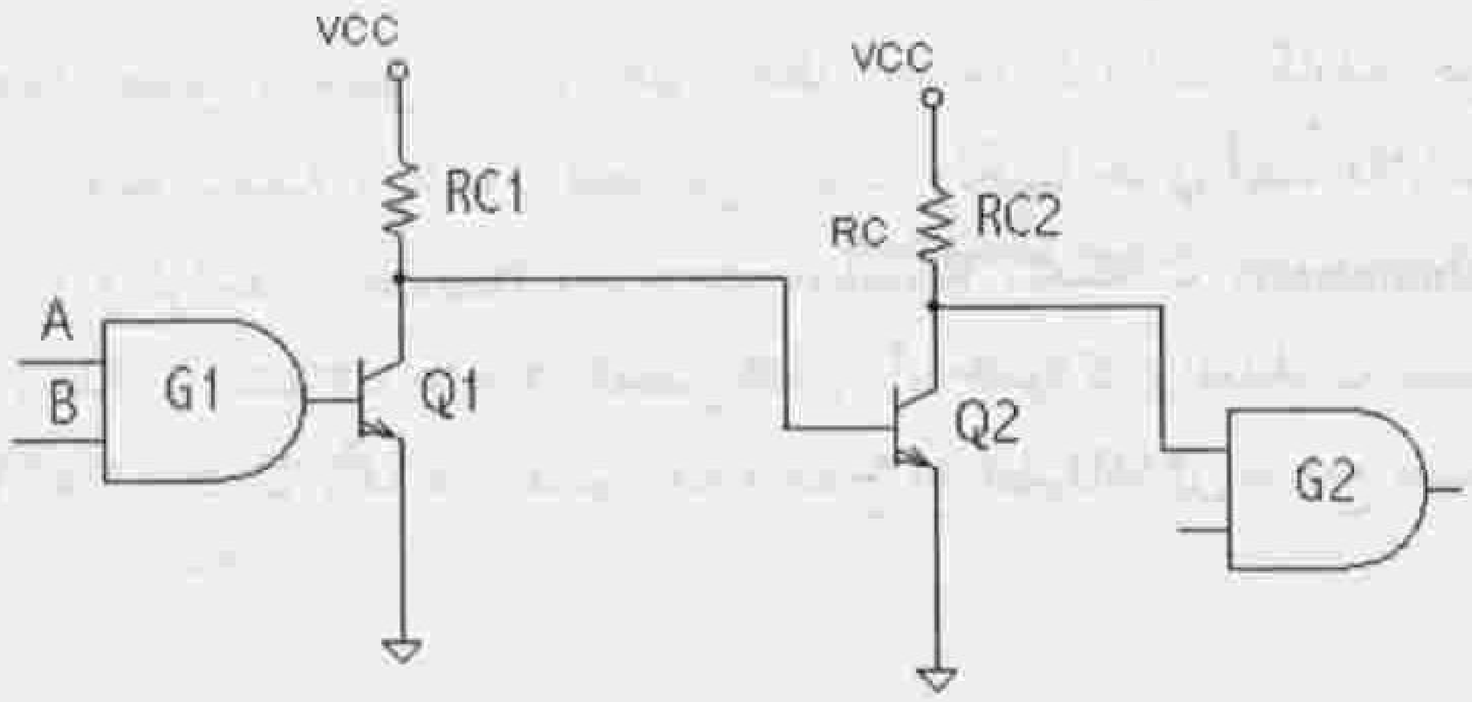
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

بوابات CMOS ولذلك، وعند قيادة بوابات أو دارات تكاملية من عائلة CMOS بدارات من عائلة TTL، يجب مراعاة عدم حدوث تغيرات بمعدل يزيد عما هو مسموح في عائلة CMOS.

الربط ضمن العائلة الواحدة

يهدف الربط ضمن العائلة الواحدة إلى أحد الأمرين التاليين:

1. **زيادة الفرق بين المستويات المنطقية:** L وH بقصد تلافي تأثير الضجيج الصناعي. فمثلاً في عائلة TTL وكما نعلم يكون الفرق بين L وH على الدخل هو (2-0.8)=1.4V وفي الخرج (2.4-0.4)=2V وهذا الفرق قليل ويمكن بتأثير الضجيج أن يتغير المستوى المنطقي للإشارة التي تطبق على الدخل، ولتلافي ذلك يتم استخدام دارة إزاحة مستوى كما في الشكل التالي:



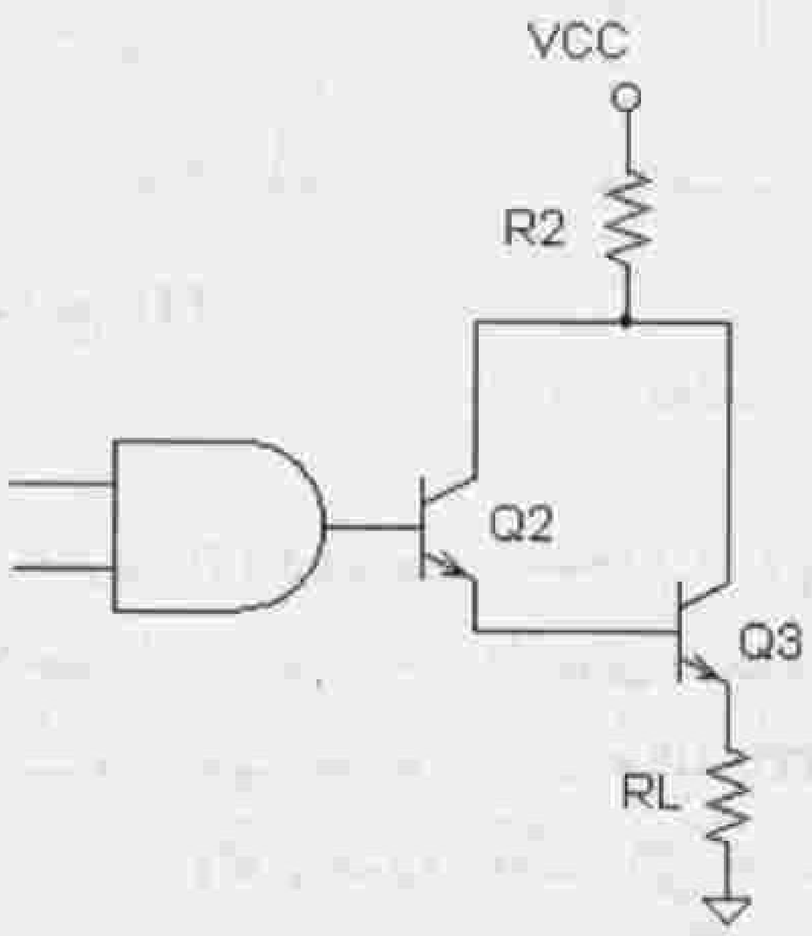
الشكل 11.2 دارة إزاحة مستوى.

وفي هذه الدارة نلاحظ أنه عندما يكون خرج البوابة على حالة L يكون الترانزيستور Q_1 في حالة قطع (Off) وجهد مجمعه يساوي VCC، أما عندما يكون خرج البوابة في حالة H فإن الترانزيستور يكون مشبعاً وجهد الخرج تقريباً يساوي صفر ($V_{output} = V_{CEsat} = 0.2V$) وبذلك يكون الفرق بين مستوى L ومستوى H قد أصبح مساوياً Vcc. من الملاحظ هنا أن دارة إزاحة المستوى تعكس خرج البوابة ولذلك يجب أن تقوم دارة تخفيض المستوى في طرف الاستقبال أيضاً بعملية عكس ثانية كي نعود إلى الوضع المنطقي الصحيح لإشارة خرج البوابة، وفي طرف الاستقبال يجب أن تكون المستويات المنطقية متآلفة مع مستويات الدارة المتكاملة التي تطبق عليها.

2. **زيادة عامل التحميل:** تستخدم دارات تكاملية تسمى Drivers أو Buffers لزيادة عوامل تحميل خرج البوابات أو الدارات المتكاملة. وتمتاز هذه الدارات بمقاومة دخل عالية وبتيار

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

خرج كبير. ويمكن أن يكون الـ driver عاكساً أو غير عاكس مثل الـ 7406 أو 7407، وكذلك يمكن استخدام دارات ذات خرج من نوع المجمع المفتوح، حيث تستخدم مقاومة شد خارجية pull-up resistor لوصل المجمع إلى مصدر الجهد المستمر وتتعلق قيمة هذه المقاومة بعدد المداخل التي يراد وصلها مع خرج البوابة. في حالات الضرورة يمكن استخدام دارات قيادة تتكون من عناصر منفصلة كالدارة التالية.



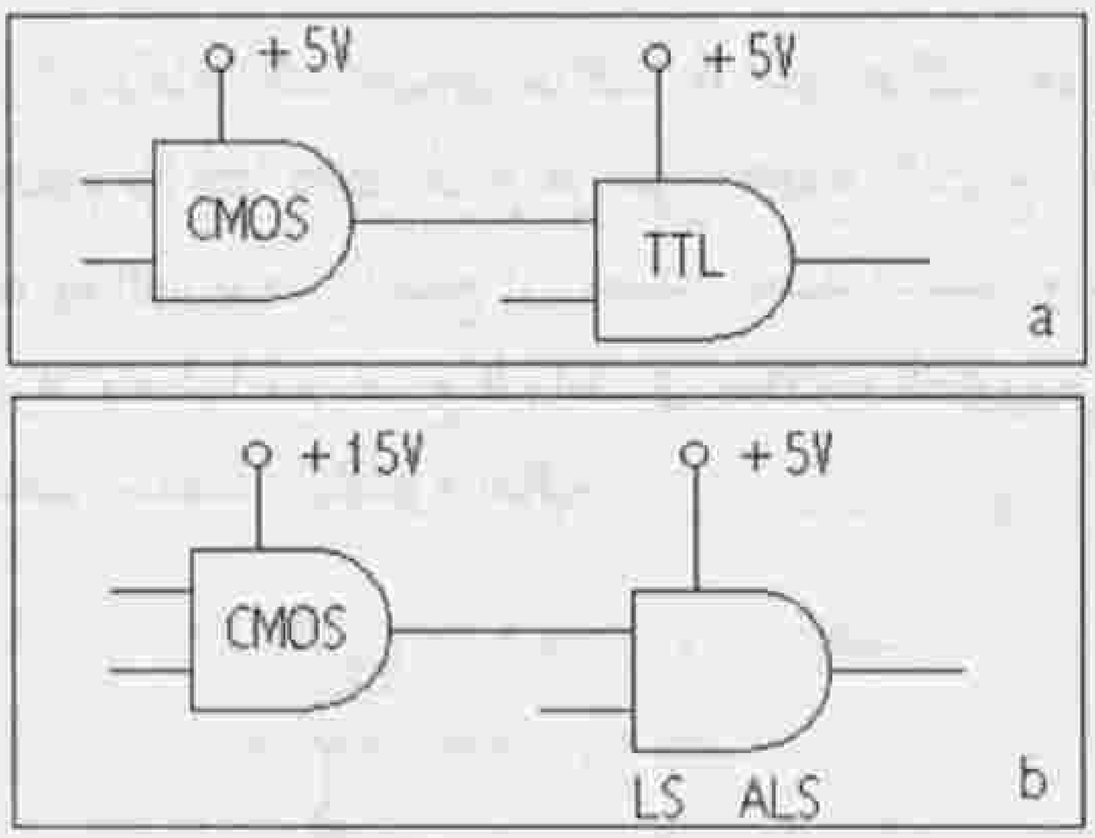
الشكل 12.2 دارة ترانزيستورية لزيادة تيار خرج البوابة إلى القيمة التي يحتاجها الحمل.

الربط بين العائلات المختلفة

ربط مخارج CMOS إلى مداخل TTL

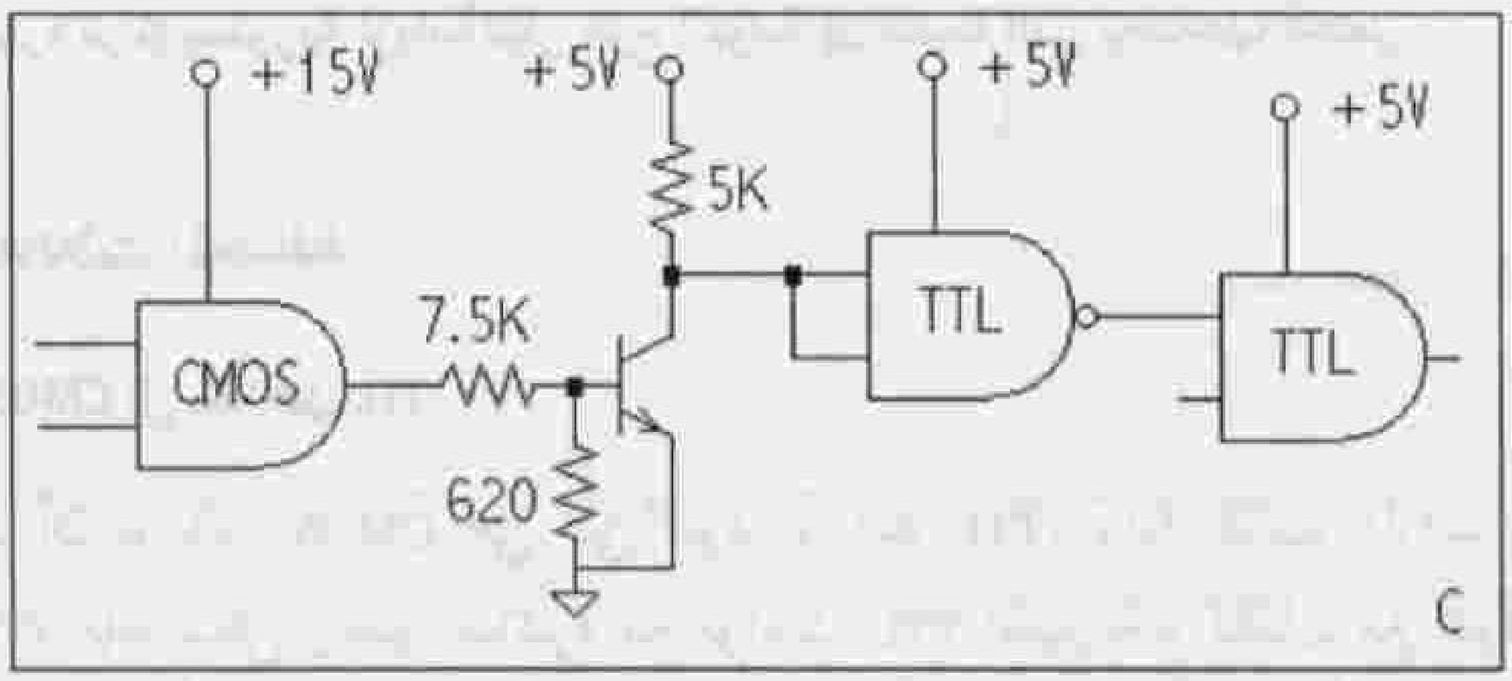
يقصد هنا أن بوابات CMOS هي التي تقود بوابات TTL، وإذا كانت دارات عائلة CMOS تتغذى من 5V+ فإنه يمكن ربطها مباشرة مع بوابات TTL المعيارية وكذلك مع البوابات الأخرى التي تنتمي إلى عائلات TTL الفرعية. أما إذا كانت CMOS تتغذى من 15V+ فإنه بالإمكان وصلها مباشرة فقط مع العائلات الفرعية 74LS و74ALS وذلك لأنها مجهزة بدارات داخلية للحماية من الجهود العالية كما في الشكل (13.2).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 13.2 وصل CMOS مباشرة مع TTL.

أما عند الوصل مع TTL المعيارية Standard TTL فتستخدم دارة إزاحة مستوى كما في الشكل (14.2)، ومن هذا الشكل نلاحظ أن دارة إزاحة المستوى تتكون من مقسم جهد وعاكس ترانزيستوري يتغذى من جهد يساوي جهد تغذية بوابات عائلة TTL. يتم وضع عاكس من عائلة TTL مباشرة بعد دارة تخفيض المستوى لإلغاء عملية العكس التي حدثت في الدارة الترانزيستورية.



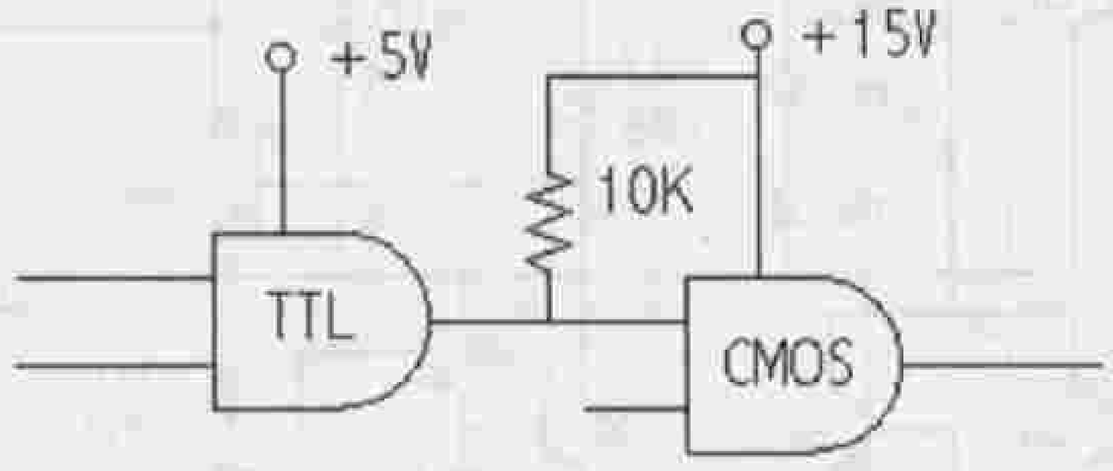
الشكل 14.2 وصل CMOS إلى TTL عبر دارة تخفيض مستوى.

عندما يكون خرج بوابة CMOS على وضع LOW يكون الترانزيستور Q في حالة قطع وجهد خرجه يساوي 5V+، وهذا يكافئ High في عائلة TTL، ونحصل في خرج العاكس من جديد على Low بمستوى يوافق عائلة TTL. عندما يكون خرج بوابة CMOS في حالة High يكون الترانزيستور في حالة on ويعمل في الإشباع وجهد خرجه يوافق Low في عائلة TTL ونحصل في خرج العاكس مجدداً على High موافق للمستوى المنطقي في عائلة TTL.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وصل مخارج TTL إلى مداخل CMOS

يمكن وصل مخارج TTL مباشرة إلى مداخل CMOS وتستخدم مقاومة شد pull-up resistor لرفع المستوى المنطقي لخرج TTL عندما يكون في حالة High كما في الشكل التالي (15.2).

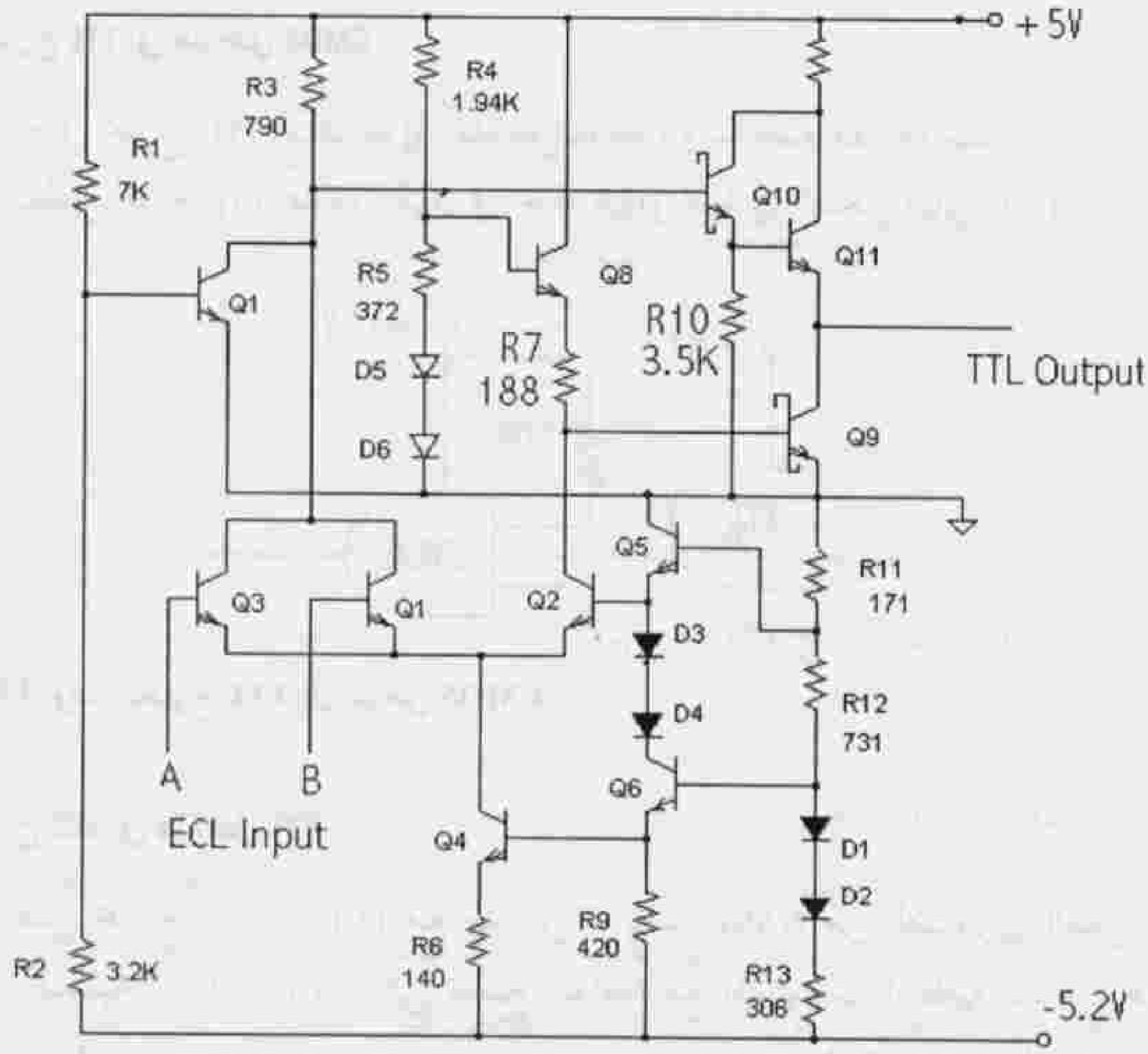


الشكل 15.2 وصل مخارج TTL إلى مداخل CMOS.

ربط مخارج ECL إلى مداخل TTL

عند وصل مخارج بوابات ECL مع مداخل بوابات NAND من الضروري العمل على تغيير المستويات المنطقية لبوابات ECL لكي تصبح متوافقة مع المستويات المنطقية لمداخل عائلة TTL. ومن أجل ذلك تستخدم دارة ربط تسمى ECL- to TTL Translator، وهذه الدارة تشكل حملاً نموذجياً لخرج ECL وخرجها متآلف مع مداخل TTL، وفي الشكل التالي نبين نموذجاً لهذه الدارة. تتكون الدارة من بوابة عادية من عائلة ECL مداخلها A و B موصولة إلى قواعد الترانزستورات Q1 و Q3. يتم بواسطة مقسم الجهد الموجود على قاعدة Q5 الحصول على الجهد المرجعي (-1.3V)، وعندما يكون المدخلان A و B في حالة Low (أي على كل منهما جهد يساوي -1.7V) فإن تيار Q4 (والذي يساوي 6.7mA) يمر عبر الترانزيستور Q2 مما يسبب هبوط جهد على المقاومة R7 ويؤدي ذلك إلى نقل الترانزيستور Q9 إلى حالة قطع، وبما أن Q1 وQ3 في حالة قطع فإن Q10 يكون في حالة عمل وكذلك الترانزيستور Q11 وجهد الخرج يساوي تقريباً 3.5V وهذا الجهد يكافئ مستوى High في عائلة TTL. من الشكل نلاحظ أن مرحلة خرج المبدل تشبه مرحلة خرج بوابة NAND في عائلة TTL. عندما يكون المدخلان في حالة high (-0.7V) فإن Q1 و Q3 يكونا في حالة on ويمر تيار مجمعات هذه الترانزيستورات عبر المقاومة R3 ويصبح جهد قاعدة Q10 مساوياً الصفر ويكون Q10 وQ11 في حالة قطع off. و Q2 في حالة Off ولذلك فإن تيار باعث الترانزيستور Q8 يشكل تيار قاعدة للترانزيستور Q9، وبما أن هذا الترانزيستور لا يصل إلى الإشباع لأنه ترانزيستور شوتكي يكون جهد الخرج مساوياً حوالي 0.5V، وهذا الجهد يكافئ مستوى Low في عائلة TTL.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

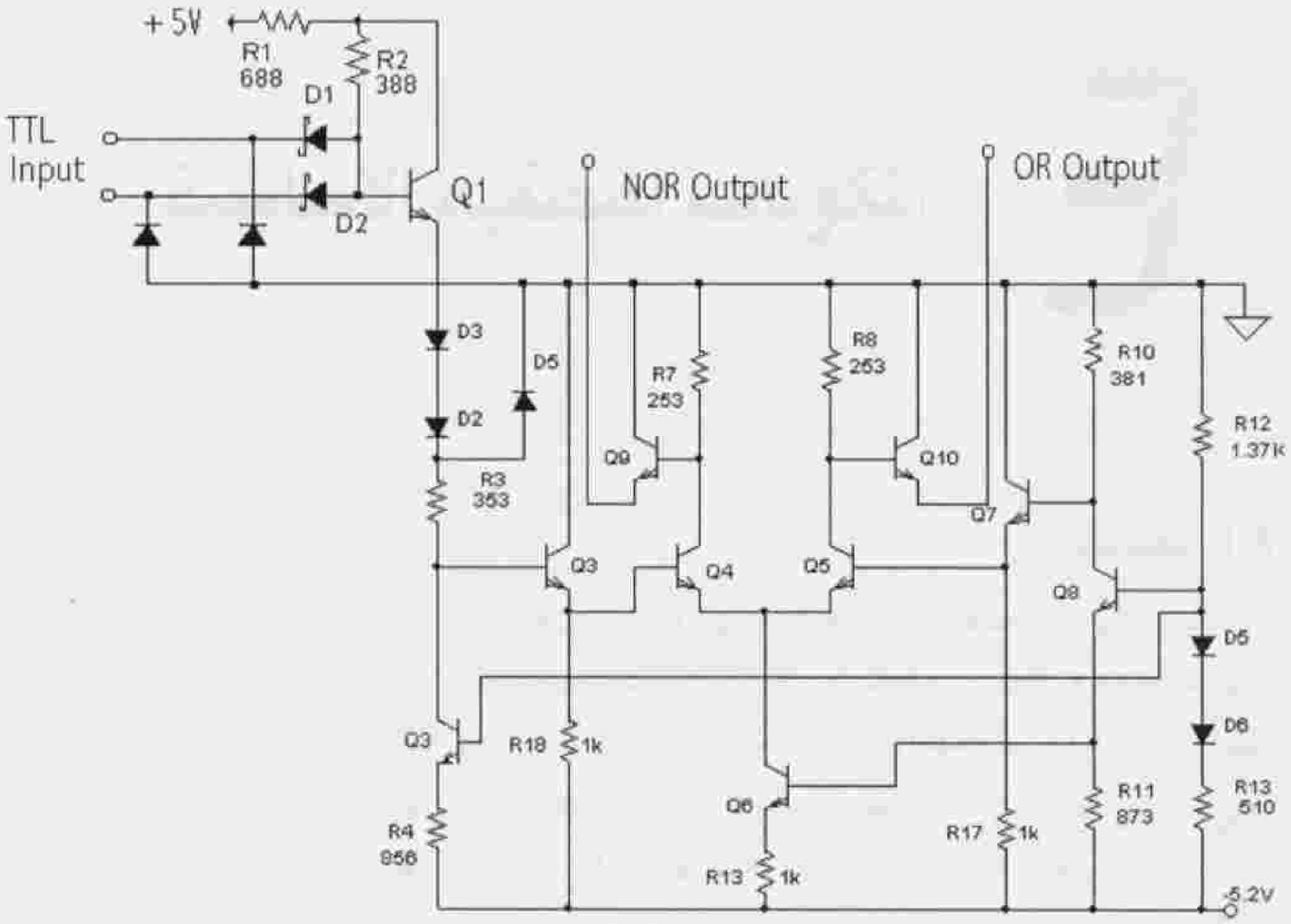


الشكل 16.2 دارة ربط مخارج ECL إلى مداخل TTL.

ربط مخارج TTL إلى مداخل ECL

في هذه الحالة تستخدم أيضاً دارة TTL to ECL Translator كالدارة المبينة في الشكل (17.2)، وتتوفر دارات الربط هذه على شكل دارات تكاملية جاهزة للاستخدام وقد أعطينا هنا الدارة التفصيلية لأحد أنواع دارات الربط ويمكن للقارئ أن يتعرف من خلالها على مبدأ العمل، ومن أجل ذلك يلزم القارئ أن يعرف آلية عمل البوابة الأساسية في عائلة ECL والبوابة الأساسية في عائلة TTL، كما يجب أن يكون متمكناً بعض الشيء من تحليل الدارات الإلكترونية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 17.2 دارة ربط لمخارج TTL إلى مداخل ECL.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

3 المكونات المنطقية الأساسية

1.3 مقدمة

ليست البوابات المنطقية التي تعرفنا عليها فيما سبق هي المكونات الوحيدة المتوفرة في الأسواق والتي تستخدم في التصميم المنطقي، وإنما توجد أيضاً مجموعة من الأدوات المنطقية الأخرى التي تتوفر أيضاً ضمن دارات متكاملة. وسوف نتعرف فيما يلي على أهم المكونات المنطقية اللازمة للتصميم والتي تشكل مع البوابات أحجار البناء الأساسية للمنظومات الرقمية. وسنقتصر هنا وانطلاقاً من الجانب العملي لهذا الكتاب على ذكر أهم الأمور التي يحتاجها المصمم عن القلابات Flip-Flops، والكواشف Decoders والمرمزات Encoders والمجمعات Multiplexers والموزعات Demultiplexers. وسنتعرف فيما يلي على بعض الرموز التي تستخدم في العديد من المراجع التي تدرس تحليل وتصميم الدارات المنطقية:

H، 1: واحد منطق أو جهد عالي.

L، 0: صفر منطق أو جهد منخفض.

X: حالة دخل لا تهم فيها القيمة حيث يمكن أن تكون القيمة إما 1 (واحد) أو 0 (صفر).

↑: الجبهة أو الحافة الصاعدة لنبضة Clock ويمكن أن يرمز لها أيضاً كما في الشكل (1.3).

↓: الجبهة أو الحافة الهابطة لنبضة Clock ويمكن أن يرمز لها أيضاً كما في الشكل (1.3).

الشكل 1.3 الجبهات الصاعدة والهابطة.

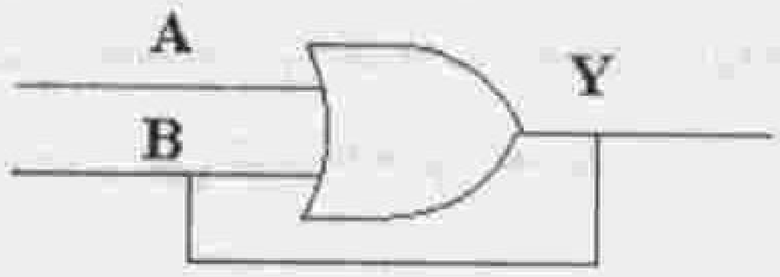
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

NC(No Change): لا تغيير في وضع الخرج.

$Q_{(n+1)}$: حالة الخرج بعد حدث معين.

2.3 القلابات Flip-Flops

في البوابة العادية البسيطة يتعلق الوضع المنطقي للخرج بوضع المداخل، ولكن إذا خلقنا تغذية عكسية (أي وصلنا الخرج إلى أحد المداخل كما في الشكل (1.3)) وبدأنا بمداخل صفرية تؤدي إلى خرج صفري ثم غيرنا الدخل A إلى حالة واحد منطق، عندها ينتقل الخرج إلى حالة واحد منطق ويكون الدخل B في حالة واحد منطق، وحالما ينتقل الدخل B إلى حالة واحد منطق فإن الخرج سوف يبقى على حالة واحد منطق (High) مهما تغير الوضع المنطقي للدخل A بعد ذلك، ولذلك تسمى هذه البوابة باسم بوابة Always. استخدامات هذه البوابة محدودة ولكنها توضح كيفية استخدام التغذية العكسية لتكوين دارة تتذكر الخرج السابق، وهذه الفكرة (أي خلق دارة منطقية تتذكر الخرج السابق) هي غاية القلابات.



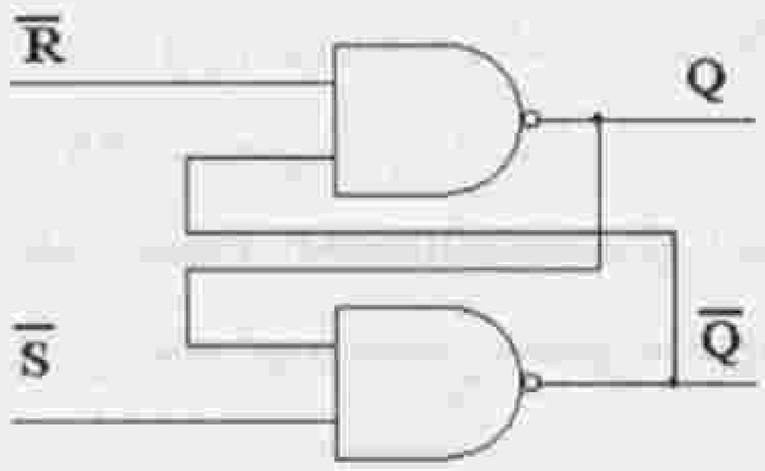
الشكل 2.3 استخدام التغذية العكسية لجعل خرج البوابة يتذكر الحالة السابقة.

القلاب هو عبارة عن دارة منطقية تتابعية يتعلق وضع خرجها الحالي بكل من الوضع المنطقي الحالي للمداخل وبالوضع المنطقي السابق للخرج. توجد أنواع مختلفة من القلابات مثل القلاب RS، القلاب JK، القلاب D والقلاب T وسنتعرف فيما يلي على رموز هذه القلابات وجداول الحقيقة مع شرح لأهم ما يجب أن يعرفه المصمم عن هذه القلابات.

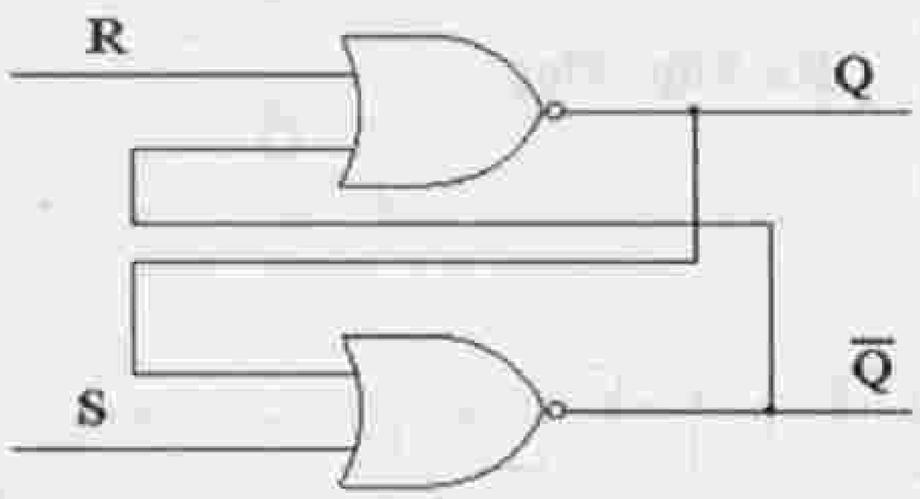
1.2.3 القلاب RS

يمكن أن يبنى هذا القلاب على بوابات NOR أو على بوابات NAND كما في الشكل التالي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



NAND RS Flip-Flop



NOR RS Flip-Flop

الشكل 3.3 بنية قلاب RS أ- باستخدام بوابات NOR، ب- باستخدام بوابات NAND.

يلاحظ من الشكل أن القلاب له مدخلان هما المدخل S (set)، والمدخل R (Reset) وله مخرجان متعاكسان منطقياً هما Q و $\overline{Q}$. أما جداول الحقيقة للقلاب فهي مبينة في الشكل التالي:

$\overline{R}$	$\overline{S}$	Q	$\overline{Q}$
0	0	حالة ممنوعة	
0	1	0	1
1	0	1	0
1	1	لا يحدث تغيير في وضع المخارج	

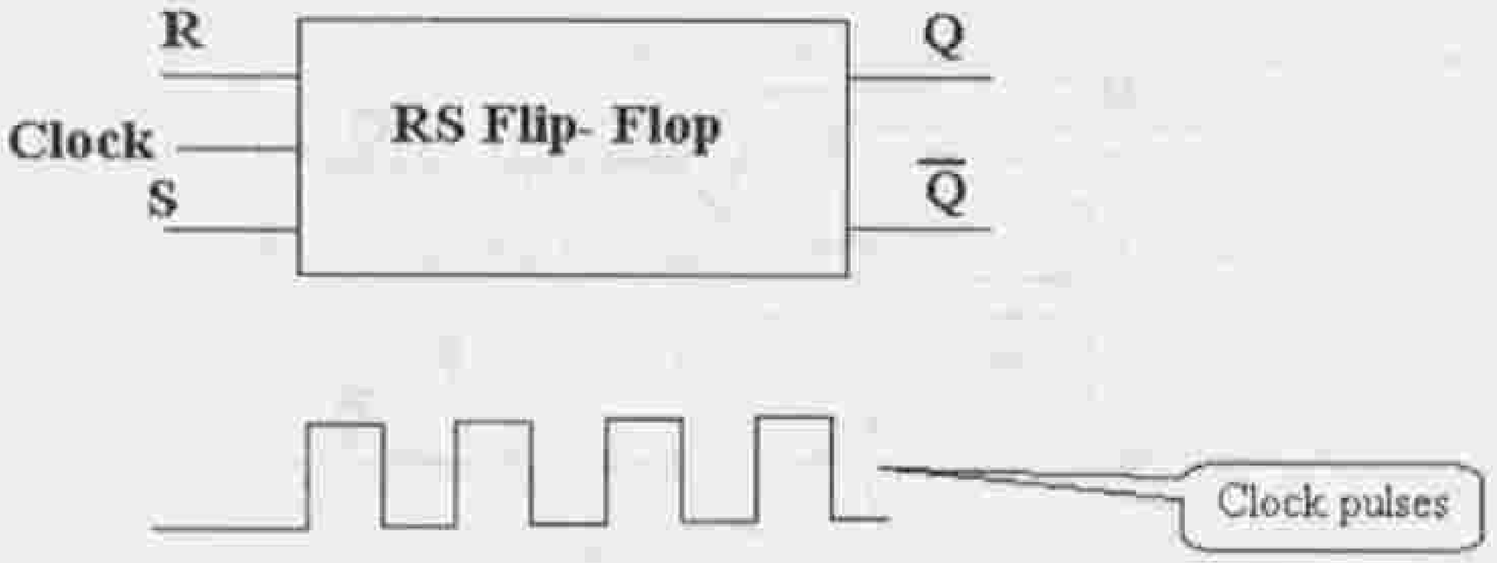
R	S	Q	$\overline{Q}$
0	0	لا يحدث تغيير في وضع المخارج	
0	1	1	0
1	0	0	1
1	1	حالة ممنوعة	

الشكل 4.3 جداول الحقيقة لقلاب RS في اليسار مبني على بوابات NOR وفي اليمين على بوابات NAND.

لاحظ من جدول الحقيقة أن الخرج Q يكون على وضع (1) منطق عندما يكون الدخل S على وضع واحد منطق والدخل R على وضع صفر منطق ولذلك فإن هذا المدخل (S) يسمى مدخل الوضع Set، أما عندما يكون R=S=0 فإن الوضع المنطقي للخرج لا يتغير، أي إذا كان Q=1 يبقى كما هو وإذا كان Q=0 يبقى كما هو. أما حالة S=0, R=1 التي تسمى حالة الإرجاع فإنها تجعل الخرج Q=0.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

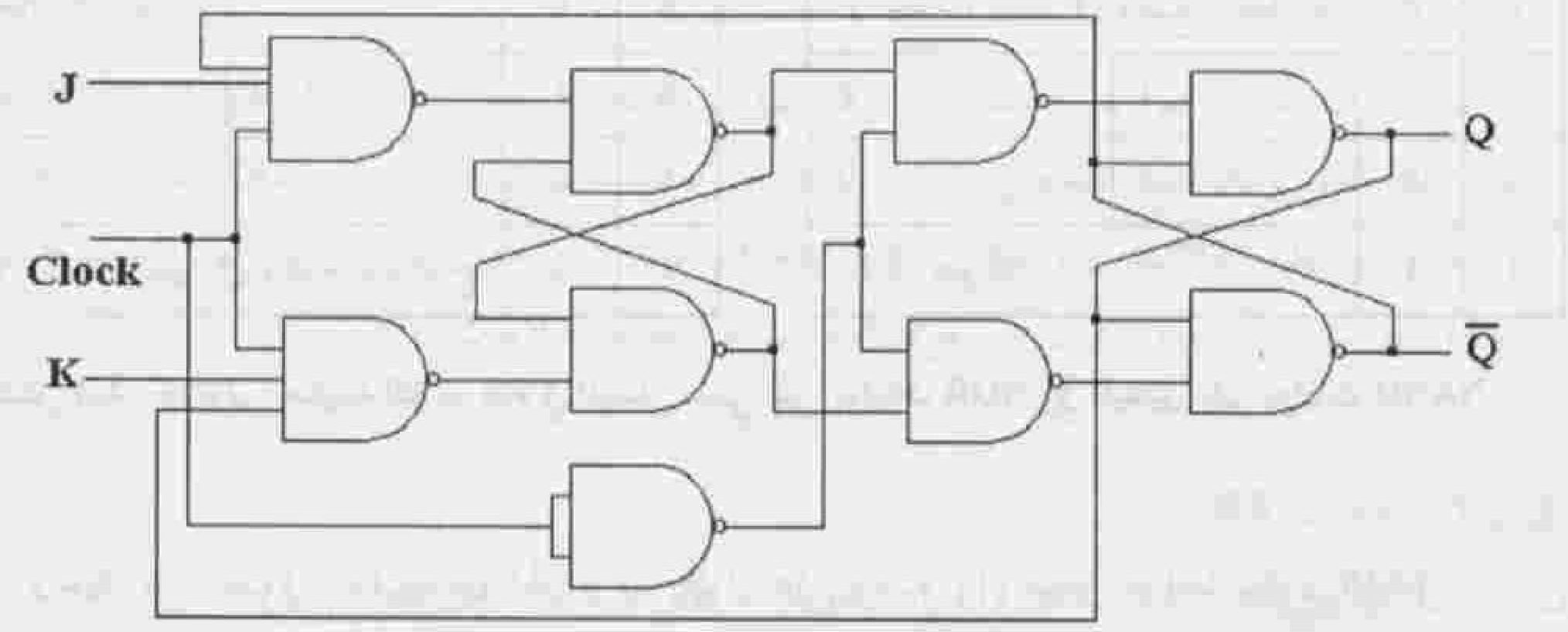
بإضافة مدخل لنبضات الساعة Clock input إلى القلاب السابق كما في الشكل (5.3) يتحول إلى قلاب متزامن ويسمى قلاب RS المتزامن. وفي هذه الحالة تحدث التغيرات على وضع الخرج مع الجبهة الصاعدة لنبضات الساعة Clock. الجبهة الصاعدة أو الحافة الصاعدة هي الحافة التي يحدث فيها انتقال جهد نبضة Clock من مستوى منخفض (صفر منطق) إلى مستوى عالي (واحد منطق).



الشكل 5.3 إضافة مدخل نبضات ساعة إلى قلاب RS.

2.2.3 القلاب JK

في القلاب JK يتم التخلص من الحالة الممنوعة التي لوحظت في قلاب RS بواسطة التغذية العكسية، وغالباً ما تكون البنية الداخلية لقلاب JK مكونة من قلابين موصولين على التوالي يسمى الأول السيد Master ويسمى الثاني التابع Slave وكما في الشكل (6.3).



الشكل 6.3 قلاب JK من نوع السيد والتابع Master-Slave JK Flip-Flop.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

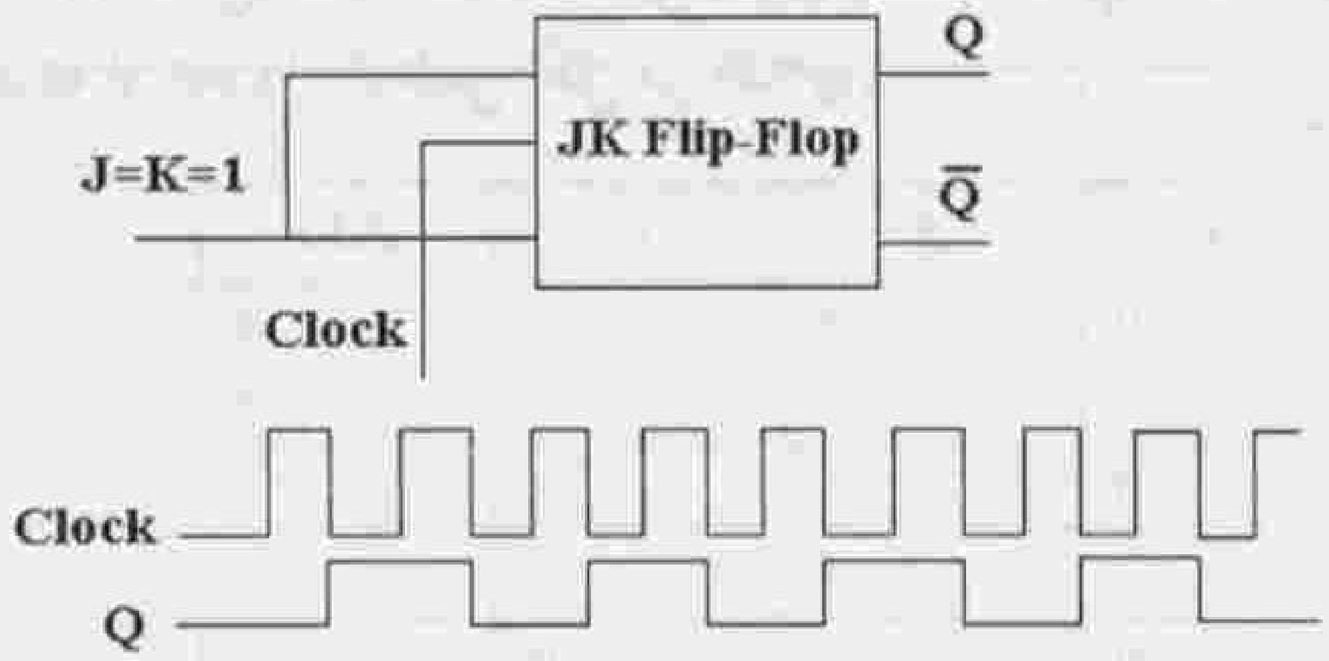
أما جدول الحقيقة للقلاب JK فيعطى كما يلي:

الجدول 1.3 جدول الحقيقة لقلاب السيد والعبد jK Master slave Flip-Flop.

J	K	$Q_{(n+1)}$
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

هنا تم وضع جدول الحقيقة للسهولة بغض النظر عن نبضات Clock وفي هذا النوع من القلابات يحدث التغير في وضع الخرج عند الجبهة الهابطة لنبضات clock أما بين الجبهات فلا يحدث أي تغير في الخرج مهما تغير J وK. إذا اعتبرنا J هو مدخل الوضع (Set) وK هو مدخل الإرجاع (RESET) فإننا نلاحظ أن سطرين من جدول الحقيقة للقلاب JK تطابق مثيلاتها في القلاب RS، عندما يكون J=K=1 فإن الخرج ينعكس ويقال عن ذلك Toggle، وعندما يكون J=K=0 فإن الخرج لا يتغير هنا أما في قلاب RS فقد كانت هذه الحالة ممنوعة.

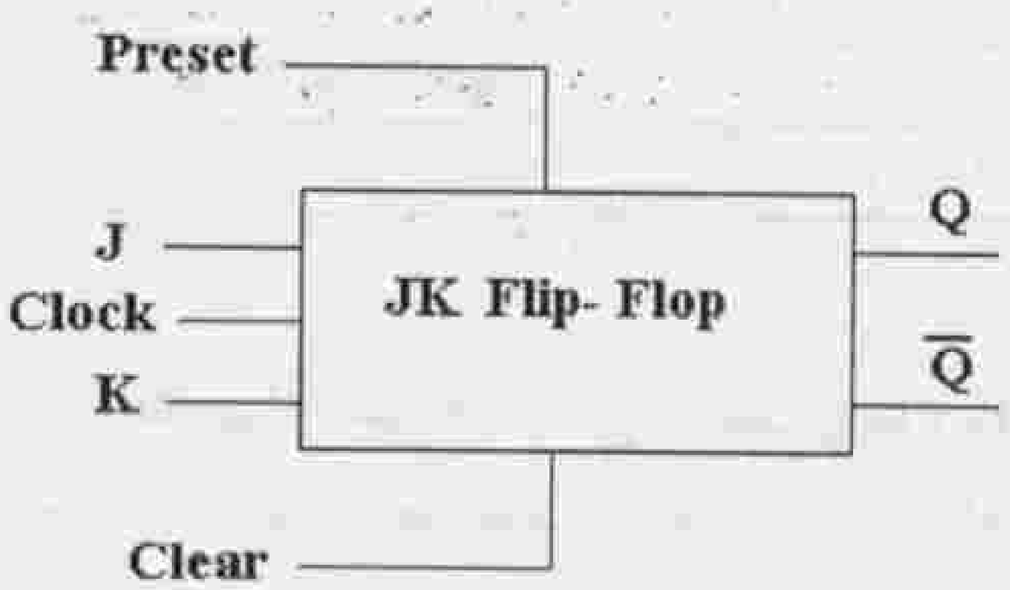
يمكن استخدام قلاب JK لتقسيم التردد بوصل المداخل J وK إلى مستوى واحد منطق وتطبيق نبضات Clock على القلاب وبما أن القلاب، يغير وضعه مع الحافة (الجبهة) الهابطة لنبضة Clock، فإن نبضات الخرج سيكون لها نصف تردد الدخل كما في المخطط النبضي المبين في نفس الشكل. بوصل قلابين مع بعض يمكن تحقيق مقسم تردد على (4).



الشكل 7.3 مقسم تردد على (2) والمخطط النبضي للدخل والخرج.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

يمكن أن تضاف إلى القلاب مداخل وضع Preset وتصفير Clear قسرية كما في الشكل (7.3) ويبين الجدول (2.3) تأثير هذه المداخل على الخرج، فعندما يكون Preset=1، Clear=0 فإن الخرج سيكون Q=1 مهما كان وضع باقي المداخل (J، K، Clock) ويسمى Preset مدخل الوضع القسري. أما عندما يكون Preset=0، Clear=1 فإن الخرج ينتقل إلى الصفر Q=0 ويسمى Clear باسم مدخل التصفير القسري.



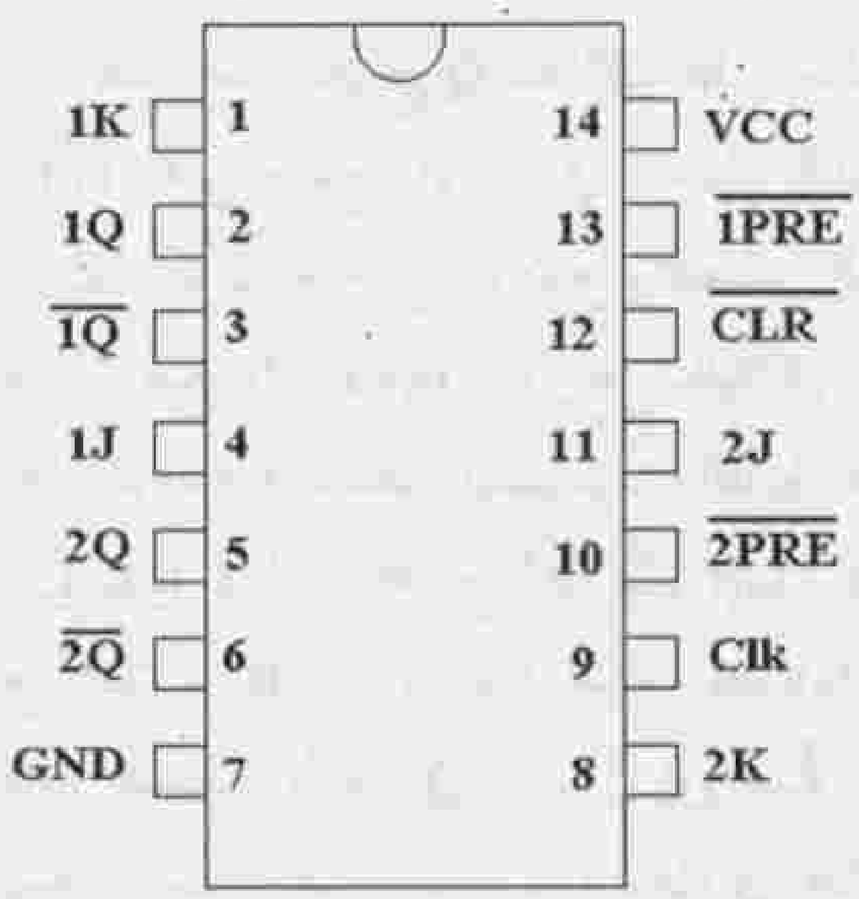
الشكل 8.3 رمز قلاب متزامن ذي مدخلي وضع وتصفير قسريين.

الجدول 2.3 تأثير مداخل الوضع والتصفير القسري على خرج القلاب.

Clear	Preset	Q	$\overline{Q}$
0	1	1	0
1	0	0	1

في الشكل (a 9.3) تعطى الدارة المتكاملة التي تحوي ضمنها قلابي JK، أما في الجدول (3.3) فيعطي جدول الحقيقة أو الجدول الوظيفي لكل من القلابين:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 9.3 a الدارة المتكاملة التي تحوي قلابين JK في داخلها.

من الشكل نلاحظ أن وظائف الأرجل هي:

(1) الدخل K للقلاب الأول، (2) الخرج Q للقلاب الأول، (3) الخرج $\overline{Q}$ للقلاب الأول، (4) الدخل J للقلاب الأول، (5) الخرج Q للقلاب الثاني، (6) الخرج $\overline{Q}$ للقلاب الثاني، (7) أرضي، (8) الدخل K للقلاب الثاني، (9) مدخل نبضات Clock، (10) مدخل الوضع القسري (أي جعل الخرج على وضع H أو واحد منطق) للقلاب الثاني وهو فعال عندما يطبق عليه جهد منخفض (LOW أو صفر منطق) وهذا ما يفهم من الرمز $\overline{2PRE}$، (11) المدخل J للقلاب الثاني، (12) مدخل التصفير وهو فعال عند تطبيق صفر منطق عليه وهذا ما يدعى أيضاً باسم Active Low أي فعال على الحالة المنخفضة، (13) مدخل الوضع القسري للقلاب الأول (14) مصدر التغذية الموجب.

الجدول 3.3 جدول الحقيقة للقلاب JK ذي مداخل التصفير والوضع القسري.

$\overline{PRE}$	$\overline{CLR}$	المداخل			المخارج	
		CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q_0	$\overline{Q_0}$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	
H	H	H	X	X	$\overline{Q_0}$	$\overline{Q_0}$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

في السطر الأول من الجدول يتم وضع الخرج Q للقلاب على حالة H (حالة الوضع القسري)، لأن مدخل الوضع القسري $\overline{PRE}$ على وضع L، أما في السطر الثاني فيتم تصفير خرج القلاب بشكل قسري. في السطر الثالث يكون مدخلي الوضع والتصفير القسري فعالين وفي مثل هذه الحالة تكون مخارج القلاب على وضع H. الأسطر الأربع التالية هي أسطر العمل الفعلي للقلاب وفيها نلاحظ عدم فعالية مداخل الوضع والتصفير القسري، والتأثير على الخرج يحدث على الجبهة الهابطة لنبضات Clock. عندما J=K=L لا يتغير خرج القلاب، J=H، K=L ينتقل Q إلى H و $\overline{Q}$ إلى L، عندما J=L & K=H يصبح Q=L و $\overline{Q}$=H وأخيراً عندما J=K=H ينعكس خرج القلاب على الجبهة الهابطة لنبضة Clock. يشير السطر الأخير في الجدول إلى عدم تغير حالة الخرج عندما تكون نبضة Clock على وضع H مهما كانت أوضاع J و K وذلك في حالة عدم فعالية مداخل الوضع والتصفير القسري أي $\overline{PRE} = \overline{CLR} = H$.

3.2.3 القلاب T

هو قلاب Jk وصل مدخلاه، JK مع بعض ويبين الشكل (10.3) رمز وجدول حقيقة القلاب. ومن جدول الحقيقة هذا نلاحظ أن الخرج لا يتغير عندما $T_n = 0$، أما عندما يكون $T_n = 1$ فإن الخرج يتغير على الحافة الهابطة لكل نبضة Clock. يسمى هذا القلاب أيضاً باسم Toggle Flip-Flop.

T_n	$Q_{(n+1)}$
0	Q_n
1	$\overline{Q}_n$

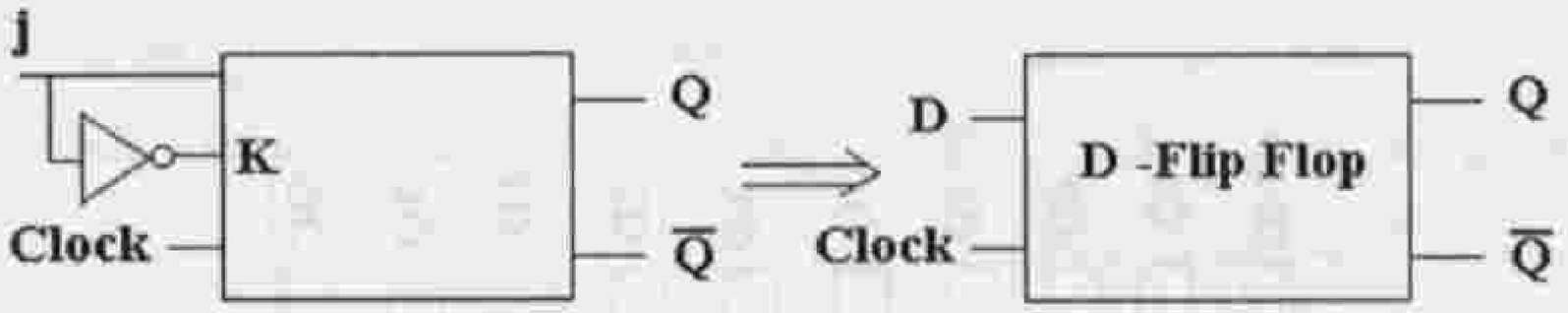
الشكل 10.3 قلاب نوع T وجدول حقيقته.

4.2.3 القلاب D

في الشكل (9.3) يعطى رمز وجدول حقيقة القلاب والمخطط النبضي الذي يوضح مبدأ العمل. ويتضح أن ما هو موجود على الدخل ينتقل إلى الخرج مع الجبهة الصاعدة لنبضة Clock. يمكن

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

تحويل القلاب Jk إلى قلاب نوع D كما في الشكل حيث يُطبق الدخل على J مباشرة وعبر عاكس على K والمدخل الوحيد يسمى D.



D	$Q_{(n+1)}$
0	0
1	1

الشكل 11.3 قلاب D وجدول حقيقته وطريقة تحويل قلاب JK إلى D.

3.3 الماسكات Latches

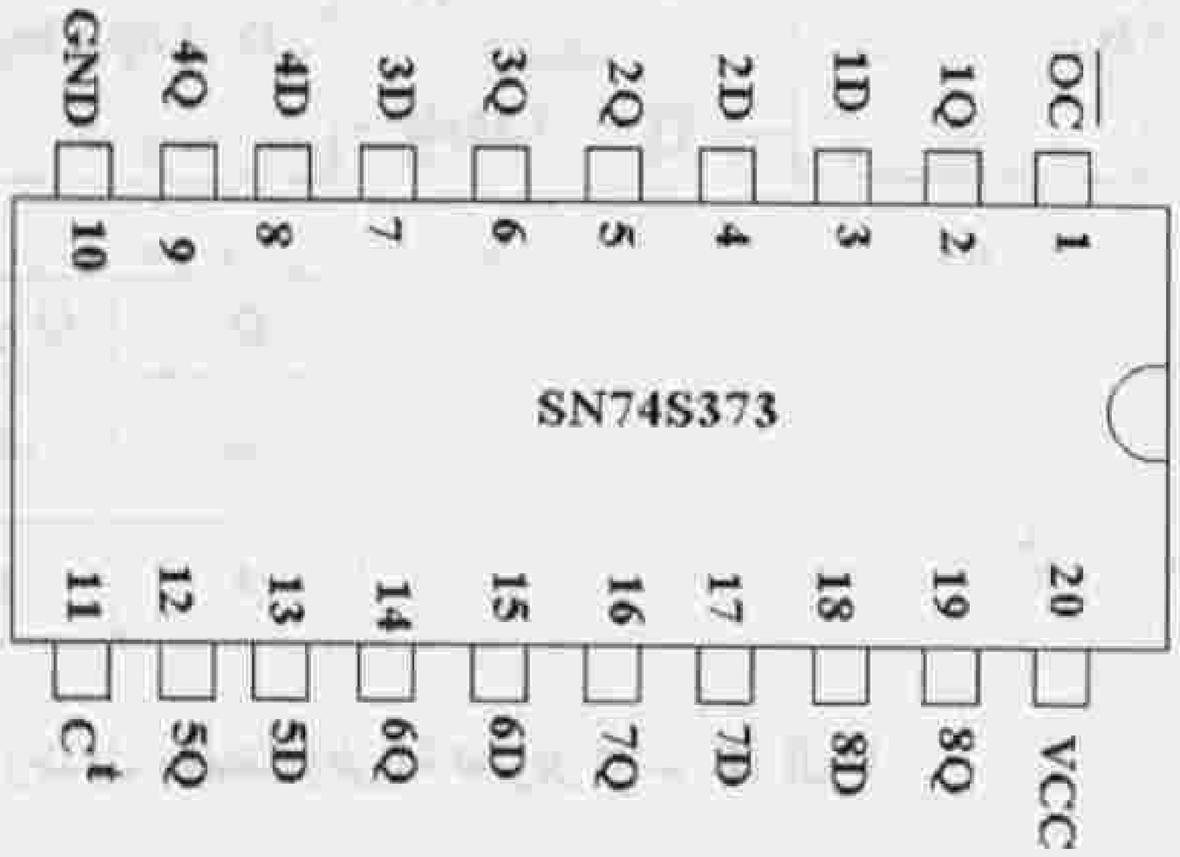
الماسك هو نوع من القلابات له القدرة على الاحتفاظ بالدخل السابق وتخزينه حتى يتم تصفير العنصر أو طلب المعطيات من أجل القراءة من قبل شريحة أخرى. تتوفر الدارات المتكاملة التي تقوم بوظيفة Latch بحجوم تتراوح من ماسك واحد إلى شرائح ذواكر memory Chips تخزن آلاف بتات المعلومات. وفي الشكل التالي (الشكل 12.3) تعطى الدارة المتكاملة 74S373 التي تحوي ماسكات من نوع D-type Latches. أما جدول الحقيقة فيعطى كما يلي:

الجدول 3.3 جدول حقيقة للماسك المبين في الشكل (10.3).

تمكين الخرج	تمكين الماسك	D	الخرج
0	1	1	1
0	1	0	0
0	0	X	Q_O
1	X	X	Z

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الدارة مكونة من 20 رجل موزعة على اتجاهين وتتكون من ثمانية خطوط دخل 1D حتى 8D وثمانية خطوط خرج 1Q حتى 8Q ورجل (Pin) للتغذية ورجل أخرى للأرضي و 2 رجل لها وظائف سوف تشرح لاحقاً.



الشكل 12.3 دارة 74S373.

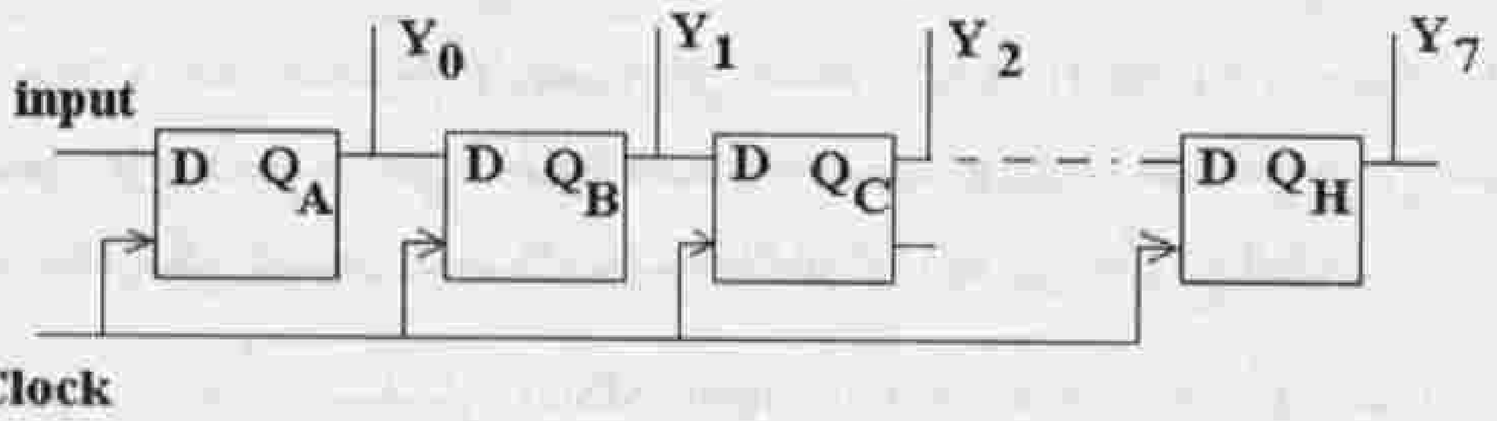
مخارج الدارة مصممة لقيادة الأحمال ذات الطبيعة السعوية كما هي الحال في أنظمة الممرات. للدارة مدخل إضافي اسمه Latch Enable (تمكين الماسك)، وعندما يكون هذا المدخل على وضع H (أو 1 منطق) فإن وضع المخارج Q يطابق وضع المداخل، تماماً كما هي الحال في القلاب نوع D، وفي هذه الحالة يقال عن الماسك أنه شفاف Transparent. عندما يكون المدخل Latch Enable على وضع LOW (أو صفر منطق) فإن المخارج لا تتغير. هناك مدخل آخر باسم Output disable وعندما يكون هذا المدخل في حالة H (1 منطق) فإن كافة المخارج تكون في حالة ممانعة عالية High impedance State أي عائمة، وذلك بغض النظر عن باقي المداخل. في الذواكر يتم تخزين المعلومات (المعطيات) حتى إما تصفير الذاكرة أو حتى كتابة معطيات جديدة فوق المعطيات القديمة. في بعض الذواكر تكتب قيمة المعطيات كما هي، أما في بعضها الآخر فيتم عكسها قبل الكتابة (التخزين) وبشكل مشابه فإن الخرج إما أن يكون صحيحاً (True) أو معكوساً.

4.3 مسجلات الإزاحة

مسجل الإزاحة هو مجموعة من القلابات D أو JK الموصولة مع بعضها على شكل سلسلة بحيث تزاح المعطيات إما إلى اليمين أو إلى اليسار مع نبضات Clock بمعدل مرحلة واحدة مع كل

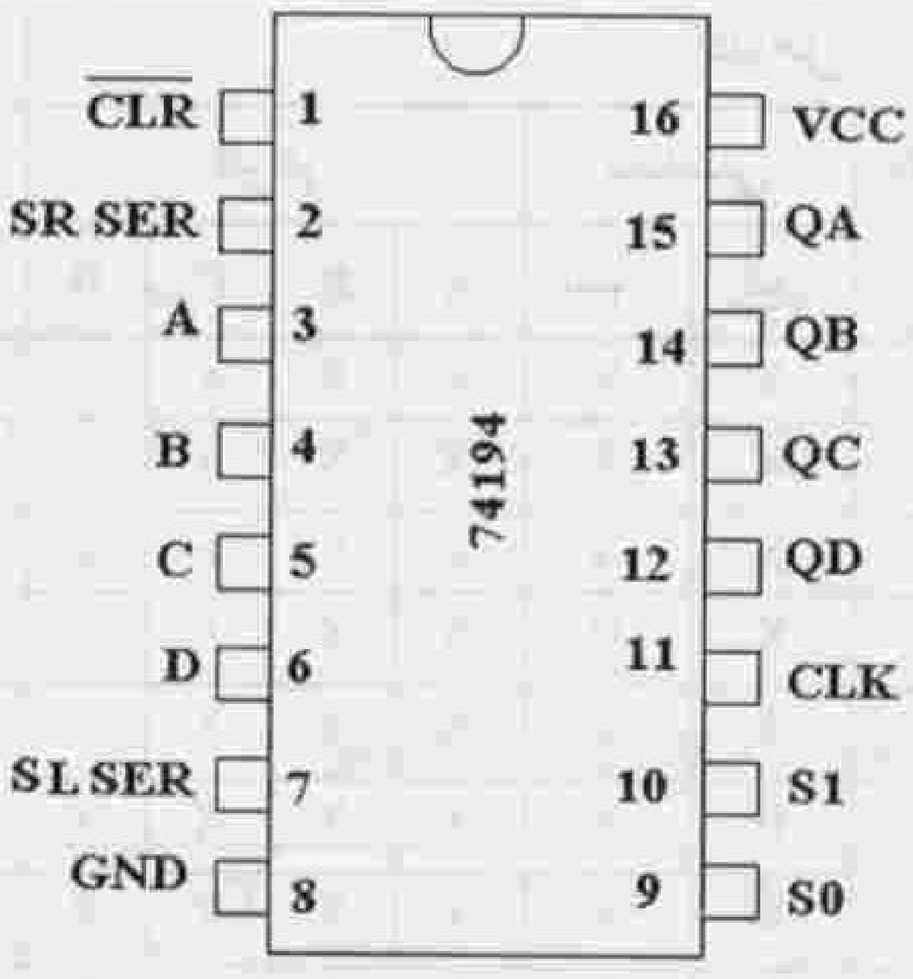
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

نبضة Clock. في الشكل (13.3) تعطى دارة مسجل إزاحة مكونة من ثمانية مراحل. تحدث الإزاحة مع الحافة أو الجبهة الصاعدة لنبضة Clock، ويتم تمرير خانات المعطيات بشكل منتظم مع أول نبضة Clock من قلاب إلى آخر. فمع أول نبضة clock تظهر أول خانة معطيات على خرج القلاب الأول، ومع ثاني نبضة Clock تظهر أول خانة معطيات على خرج ثاني قلاب، أما ثاني خانة معطيات فتظهر على خرج القلاب الأول. وهكذا ويمكن اعتبار المسجل بالكامل دارة تأخير للمعطيات بمقدار ثمانية نبضات Clock.



الشكل 13.3 مسجل إزاحة تسلسلي مكون من ثمانية قلابات.

سوف نتعرف الآن على مسجل الإزاحة العام (الدارة المتكاملة 74194) مع جدول الحقيقة الذي يوضح آلية عمل هذا المسجل، ويمكن بواسطة هذا المسجل تحقيق إزاحة إلى اليمين أو إزاحة إلى اليسار وذلك حسب طريقة وصل هذا المسجل.



الشكل 14.3 الدارة المتكاملة 74194 (مسجل الإزاحة العام).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

يمكن تحميل المعطيات بشكل تفرعي بوضع كلا متحكمي النمط S0 و S1 على حالة H وبعدها تنتقل الخانات الأربع a,b,c,d إلى الخرج ويقرأ الخرج بشكل تفرعي $Q_A.Q_B.Q_C.Q_D$ وفي هذه الحالة يكون وضع المداخل التسلسلية غير هام (X). إذا تم وضع S0=L أي على وضع صفر و S1=H أي واحد فإن الانزياح سيكون نحو اليمين وطبعاً مع الحافة (الجبهة) الصاعدة لنبضة Clock. إذا كانت S1=S0=L فإن حالة المسجل لا تتغير. يوجد مدخل تصفير (الرجل واحد ويصبح هذا المدخل فعال عند تطبيق صفر منطق أو L عليه) يجعل حالة المخارج كلها أصفاراً بغض النظر عن حالة المداخل. يسمح بتغيير أنماط الدخل عند عدم تغيير حالة نبضة Clock. نلاحظ في السطر الأول من جدول الحقيقة أن نبضة Clear على وضع L وكافة المخارج على وضع L مهما كان وضع المداخل. وفي السطر الثاني نجد أن Clear =H ، CLK=H ووضع المخارج لا يتغير، وفي السطر الثالث S1=S0=H والمعطيات الموجودة على كافة المداخل تنتقل إلى المخارج على الجبهة الصاعدة النبضة Clock وهذا النوع من تحميل المعطيات يسمى تحميلاً تفرعياً. يمكن تصنيف توصيلات مسجلات الإزاحة إلى الأنواع التالية:

1. دخل تسلسلي – خرج تسلسلي Serial input- Serial output (SISO) أي يتم إدخال المعطيات بشكل تسلسلي وتؤخذ المعطيات من الخرج أيضاً بشكل تسلسلي.
2. دخل تسلسلي – خرج تفرعي Serial input – Parallel output.
3. دخل تفرعي – خرج تفرعي Parallel input – Parallel output.
4. دخل تفرعي – خرج تسلسلي Parallel input – Serial output.

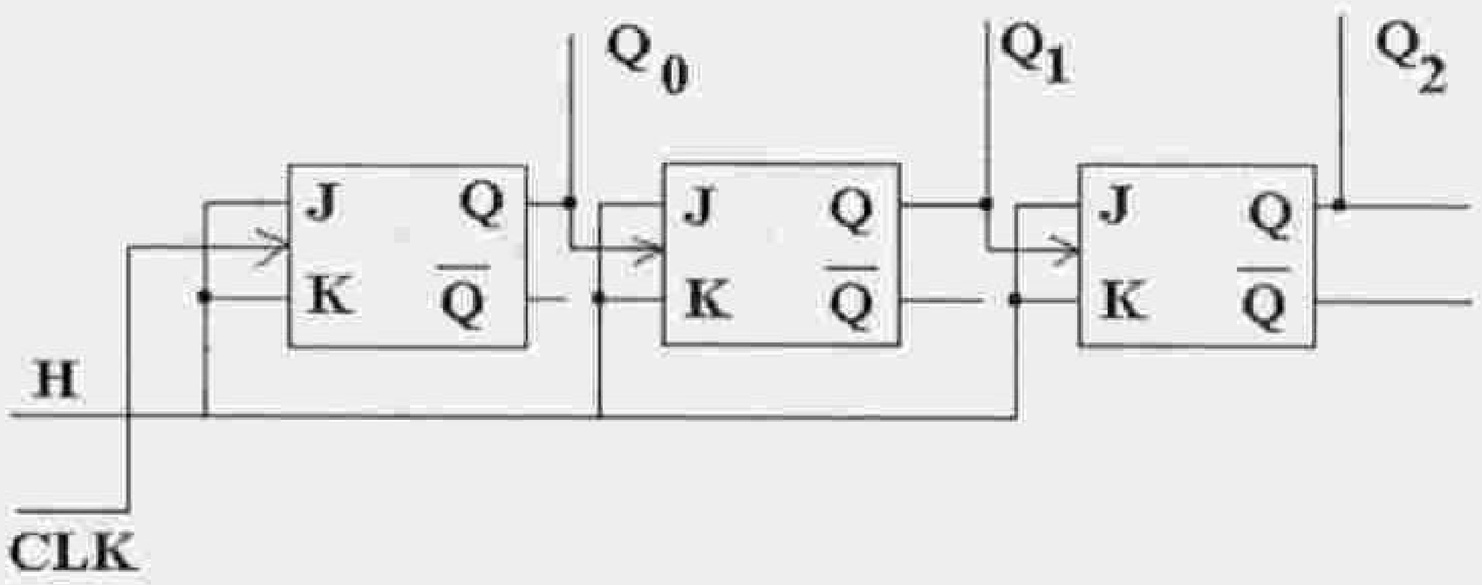
الجدول 4.3 جدول الحقيقة لمسجل الإزاحة العام.

المداخل										المخارج			
Clear	النمط		CLK	تسلسلي		تفرعي				QA	QB	QC	QD
	S0	S1		يمين	يسار	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	D
H	L	H	↑	X	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}
H	H	L	↑	H	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

5.3 العدادات Counters

العداد هو مجموعة من القلابات الموصولة مع بعضها بطريقة معينة وتستخدم العدادات لعد النبضات كما يمكن أيضاً استخدامها لتقسيم التردد. يمكن أن تكون العدادات متزامنة Synchronous أو غير متزامنة. في العدادات المتزامنة يتم وصل نبضات Clock إلى مداخل Clock لكافة القلابات في نفس الوقت، أما في العدادات غير المتزامنة فلا تطبق نبضات Clock على كافة القلابات في نفس الوقت. في الشكل (15.3) تعطى دارة عداد غير متزامن يتكون من ثلاث قلابات JK ويتم في كل قلاب وصل المداخل J و K مع بعض ووصل الجميع إلى H (واحد منطق)، وتطبق النبضات المطلوب عدها على مدخل Clock لأول قلاب. يطبق خرج القلاب الأول على مدخل Clock للقلاب الثاني وخرج القلاب الثاني على مدخل Clock للقلاب الثالث. مع الجبهة الهابطة لنبضة Clock الأولى ينعكس خرج القلاب الأول والشكل (16.3) يبين جدول الحقيقة للعداد والمخطط النبضي.



الشكل 15.3 عداد غير متزامن.

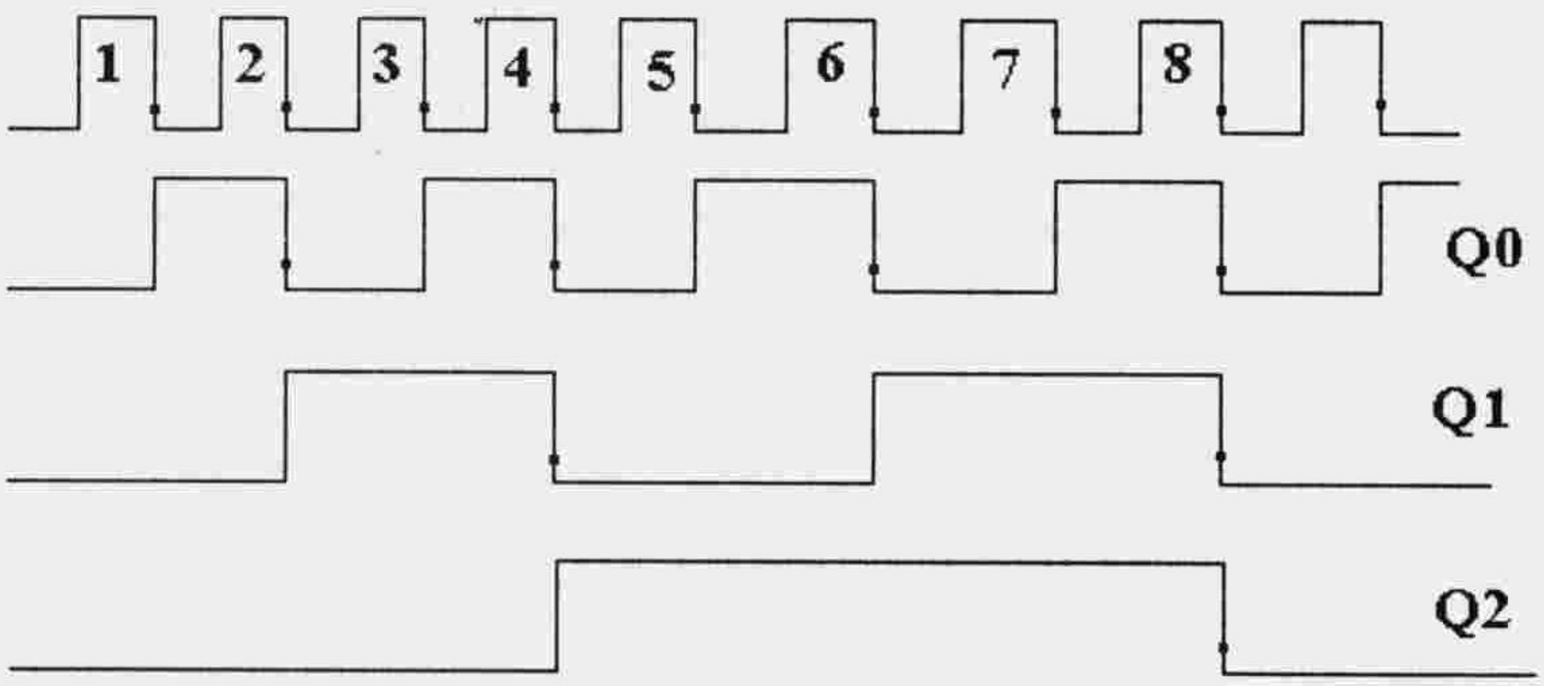
يسمى العداد الناتج عن طريقة الوصل المبينة في الشكل عداد زاحف (Ripple Counter)، وطبعاً هذا العداد يعد من 000 إلى 111 والجدول التالي يبين جدول الحقيقة للعداد كما يعطى في الشكل (16.3) المخطط النبضي للعداد.

الجدول 5.3 جدول يبين وضع مخارج القلابات في العداد السابق.

Clock	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

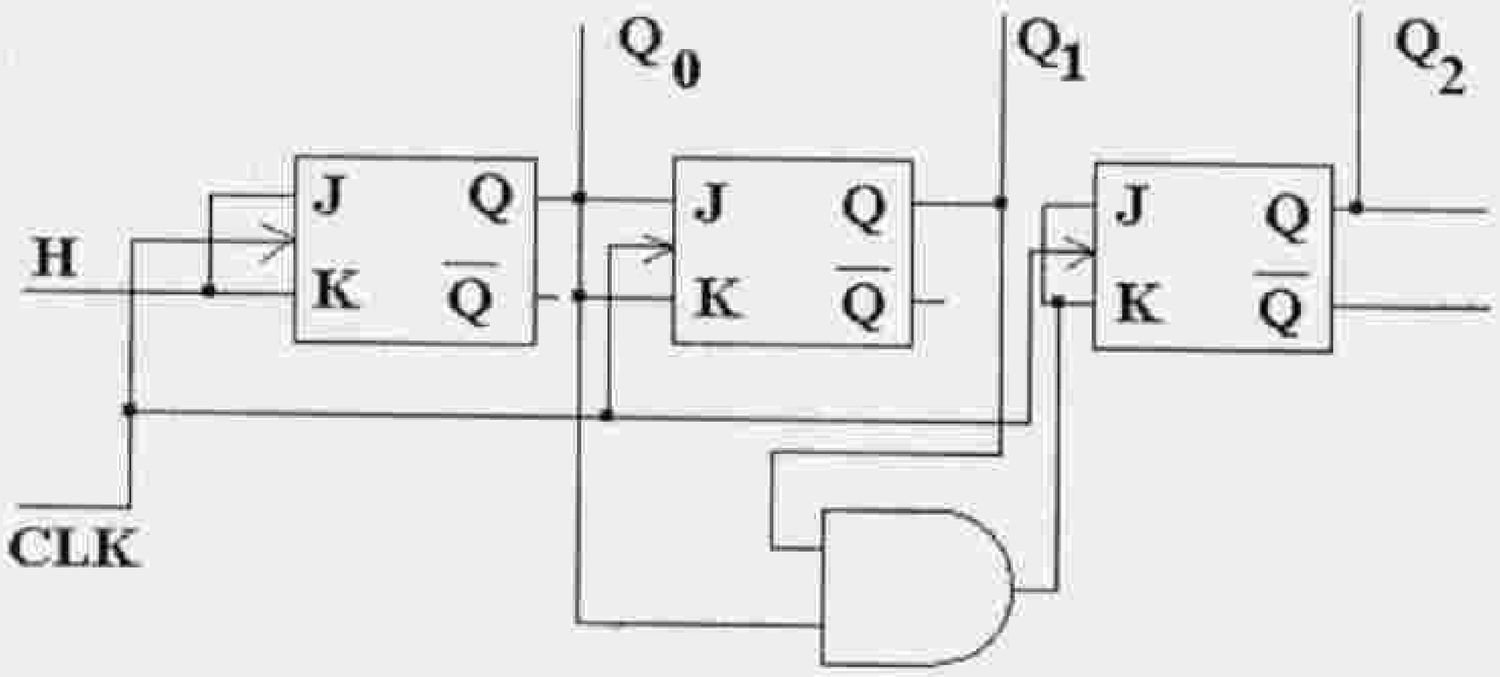
Clock	Q2	Q1	Q0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1



الشكل 16.3 المخطط النبضي للعداد المعطى في الشكل (13.3).

في العدادات المتزامنة يتم تطبيق نبضات Clock على كافة مداخل Clock القلابات في نفس الوقت، أما وضعيات المداخل JK للقلابات فيتم تحديدها بحيث يغير القلاب خرجه حسب الرغبة. ففي العداد السابق إذا أردنا أن نجعل العداد متزامناً نلاحظ أن K، J للقلاب الأول يوصلان إلى H فيغير القلاب خرجه مع كل نبضة Clock (طبعاً على الجبهة الهابطة)، أما القلاب الثاني فيجب أن يغير خرجه عندما يكون القلاب الذي يسبقه على وضع (H) ولذلك يوصل مدخلاه K، J إلى الخرج Q للقلاب الأول. يجب أن يغير القلاب الأخير خرجه عندما يكون القلابين الذين يسبقاه على وضع H ولذلك يوصل الخرجين Q و Q إلى AND ويوصل خرج بوابة AND إلى المدخلين K، J للقلاب الثالث.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 17.3 عداد متزامن.

يمكن تحويل العداد إلى عداد هابط، أي يعد بالعكس، بوصل عواكس مع مخارج القلابات وذلك إذا كان العد يتم من (000) إلى (111)، أما إذا كان العد يتم من (000) إلى (101) فإن هذه الطريقة غير فعالة. يمكن بسهولة تحويل عداد زاحف غير متزامن إلى عداد عكسي بوصل المخرج $\overline{Q}$ من كل قلاب إلى المدخلين J وK للقلاب التالي.

1.5.3 طرق تصميم العدادات

هناك عدة طرق لتصميم العدادات غير المتزامنة ومنها طريقة استخدام مداخل الوضع القسري للقلابات، وتتلخص هذه الطريقة بالخطوات التالية:

1. تحديد عدد القلابات اللازمة لبناء العداد وذلك من المتراجحة التالية $2^{n-1} < L < 2^n$ حيث L هي طول دورة العداد، n عدد القلابات.
2. توصل القلابات مع بعض بحيث تشكل عداد زاحف Ripple Counter.
3. نعين العدد الفردي الممثل لطول دورة العداد K=L-1.
4. نمثل العدد K بالنظام الثنائي.
5. نوصل مخارج القلابات التي تكون على وضع (H أو 1) عند العدد K مع نبضة Clock إلى بوابة AND، ونوصل خرج AND إلى مداخل الوضع القسري لباقي القلابات إذا كانت هذه المداخل من نوع Active High أي فعالة عند الواحد، أما إذا كانت من نوع Active Low (فعالة عند الصفر) فنستخدم بوابة NAND بدلاً من بوابة AND.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

تصميم العدادات المتزامنة

تصمم العدادات المتزامنة باتباع الخطوات التالية:

1. يتم وضع جدول لمخارج القلابات يتضمن كافة الحالات التي يمر بها العداد ويسمى هذا الجدول (جدول الحالة الراهنة present State Table).
2. يتم وضع جدول مجاور يمثل الحالات التالية لمخارج القلابات ويسمى (جدول الحالة التالية next State table).
3. اعتماداً على جدول الحقيقة للقلابات المستخدمة يتم تحديد حالات J&K لكل قلاب، والتي تحقق الانتقال المطلوب. ويتم إعداد جدول بذلك ومن الجدول نستخرج التوابع المنطقية اللازمة لكل مداخل القلابات وطبعاً تستخدم طرق اختصار التوابع المنطقية للحصول على أبسط دارة تحقق المطلوب.سوف نشرح الآن هذه الطريقة بشكل أوضح من خلال مثال لتصميم عداد يعد من (0) حتى (9) باستخدام قلابات JK.

خطوات التصميم:

1. نحتاج طبعاً إلى أربع قلابات.
2. نوضح في الجدول التالي وضع مخارج القلابات للحالة الراهنة والتالية.

الجدول 6.3 جدول الحالة التالية والراهنة للمثال.

	الحالة الراهنة				الحالة التالية			
Clock	Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	0	0	0	0

بما أننا سوف نستخدم قلاباً JK فإننا نعود لنذكر بجدول الحقيقة للقلاب JK والذي نعيده هنا.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

J	K	$Q_{(n+1)}$
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

من هذا الجدول نستخرج الجدول التالي:

الجدول 7.3 جدول أوضاع مداخل القلابات للحصول على الانتقالات المطلوبة في الخرج.

Q_n	$Q_{(n+1)}$	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

كيف استخرجنا هذا الجدول؟ في السطر الأول من هذا الجدول نريد أن يكون الخرج الحالي $Q_n=0$ والخرج التالي $Q_{(n+1)}=0$ ويمكن أن يتحقق ذلك حسب الجدول السابق إذا كان J=K=0 (السطر الأول)، ومن السطر الثاني في الجدول السابق نلاحظ أن $Q_{(n+1)}=0$ إذا كان j=0 و K=1 ومن ذلك نلاحظ أن الحالة المطلوبة (الخرج الحالي $Q_n=0$ والخرج التالي $Q_{(n+1)}=0$) تتحقق إذا كان J حتماً صفر أما K فيمكن أن يكون إما صفراً أو واحداً ونسمي حالة K هذه بـــ (d) وبنفس الطريقة نحصل على باقي أسطر الجدول الجديد.

نضع الآن جدول الحالات اللازمة لمداخل القلابات اعتماداً على جدول الحالة، انظر الجدول (8.3).

الجدول 8.3

	مداخل القلابات							
Clock	J4	K4	J3	K3	J2	K2	J1	K1
0	0	d	0	d	0	d	1	D
1	0	d	0	d	1	d	d	1
2	0	d	0	d	d	0	1	D
3	0	d	1	0	d	1	d	1

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

	مداخل القلابات							
Clock	J4	K4	J3	K3	J2	K2	J1	K1
4	0	d	d	0	0	d	1	D
5	0	d	d	0	1	d	d	1
6	0	d	d	0	d	0	1	D
7	1	d	d	1	d	1	d	1
8	d	0	0	d	0	d	1	D
9	d	1	0	d	0	d	d	1

من هذا الجدول نلاحظ أن J1=K1=1، ولمعرفة وضع K2 نرسم مخطط كارنوف لأربع متحولات كما يلي:

الجدول 9.3 مخطط كارنوف لأربعة متحولات لدارة العداد الجاري تصميمه.

Q3Q2 / Q1Q0	00	01	11	10
00	d	d	d	d
01	d	d	d	d
11	1	1	d	d
10	0	0	d	d

من هذا الجدول واضح أن K2=Q0 وهكذا وباستخدام نفس الطريقة نحصل على:

$J2 = Q_0\overline{Q}_3$

$K3 = Q_0Q_1$

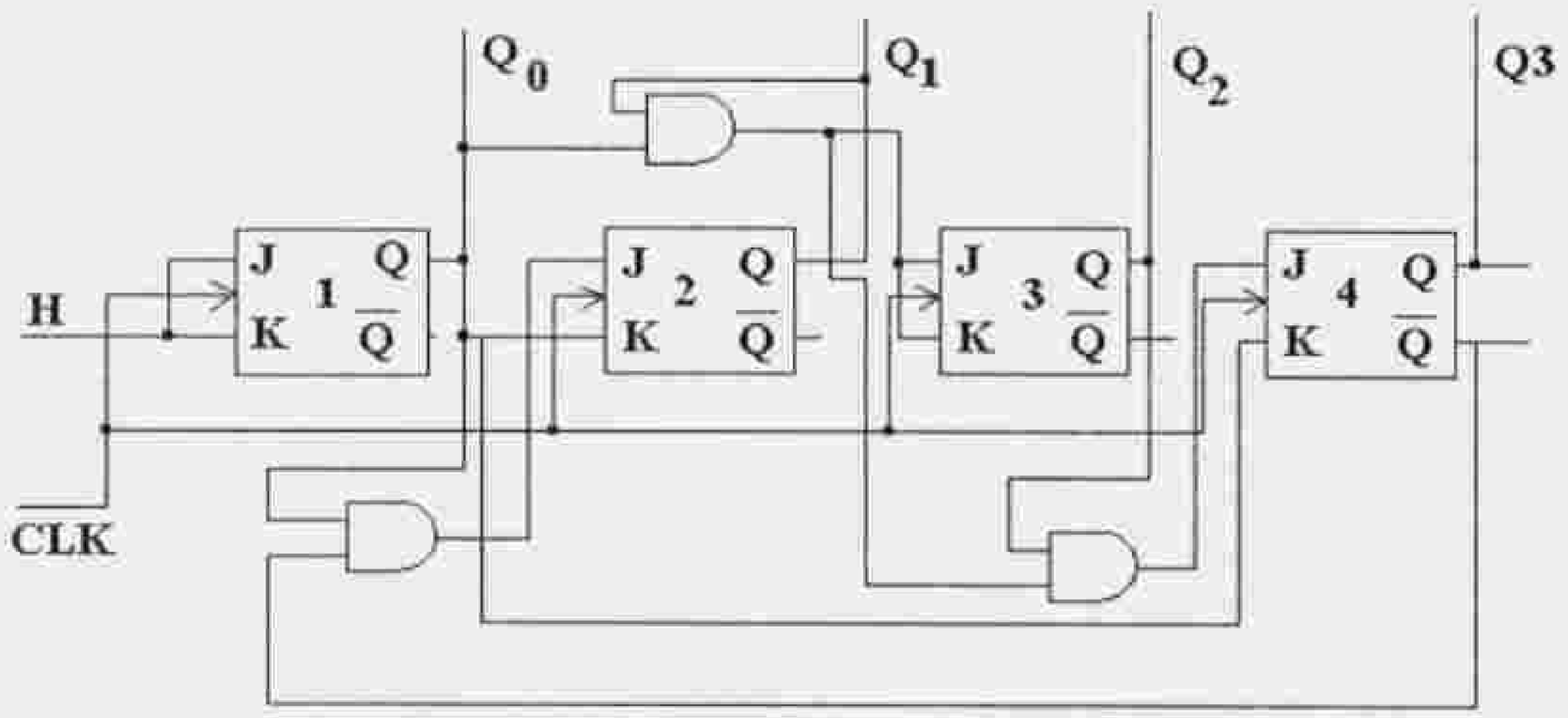
$J3 = K3$

$K4 = Q_0$

$J4 = Q_0Q_1Q_2$

أما دارة العداد فهي مبينة في الشكل التالي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 18.3 دارة العداد المتزامن المطلوب تصميمه في المثال.

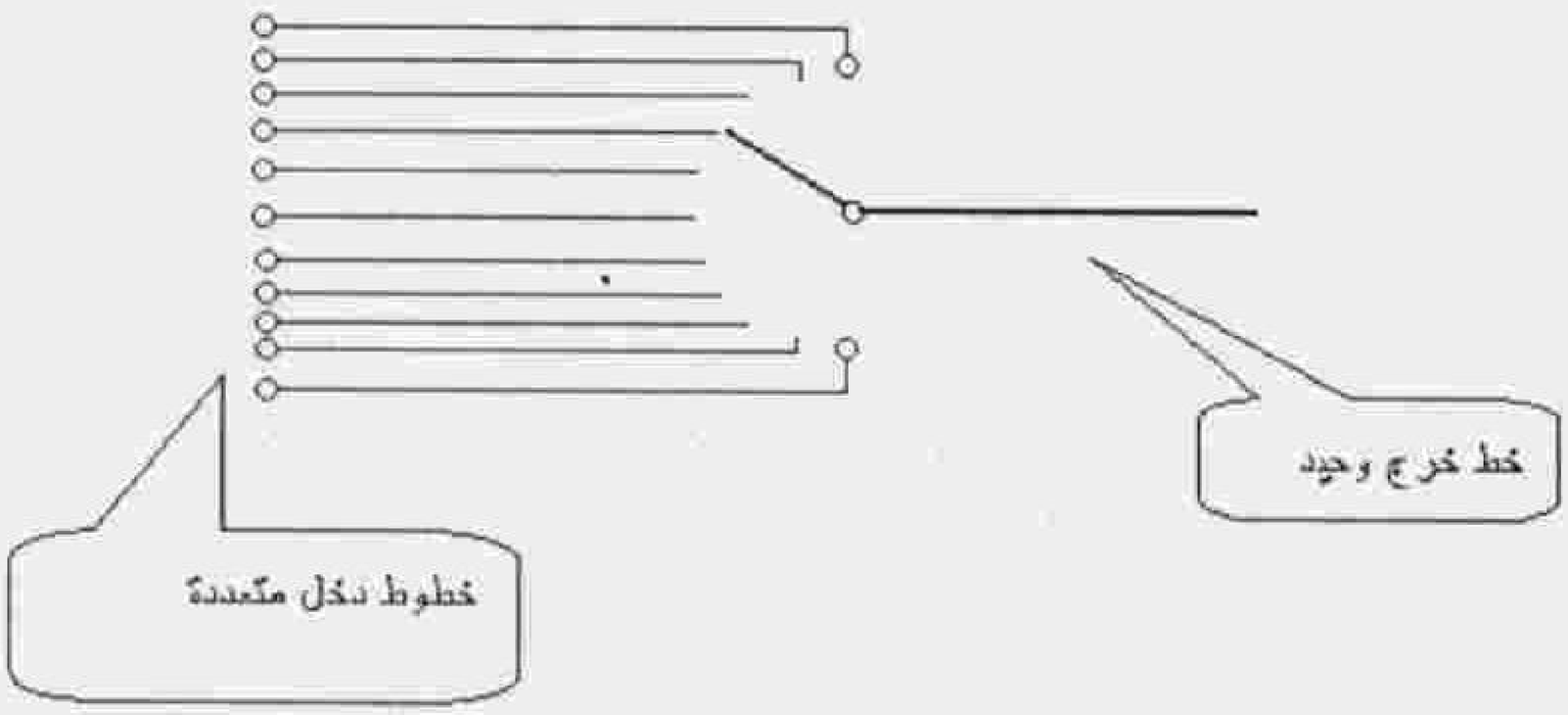
6.3 المجمعات Multiplexers والموزعات Demultiplexers

تعتبر المجمعات والموزعات من المكونات المنطقية وأهم استخداماتها:

- توليد توابع منطقية مختلفة.
- تحويل المعطيات من شكل تفرعي إلى تسلسلي ومن شكل تسلسلي إلى تفرعي.
- تحقيق المفاتيح بشكل إلكتروني

1.6.3 المجمعات Multiplexers

المجمع هو دارة منطقية تقوم بوظيفة مشابهة لوظيفة المفتاح المبين في الشكل التالي:

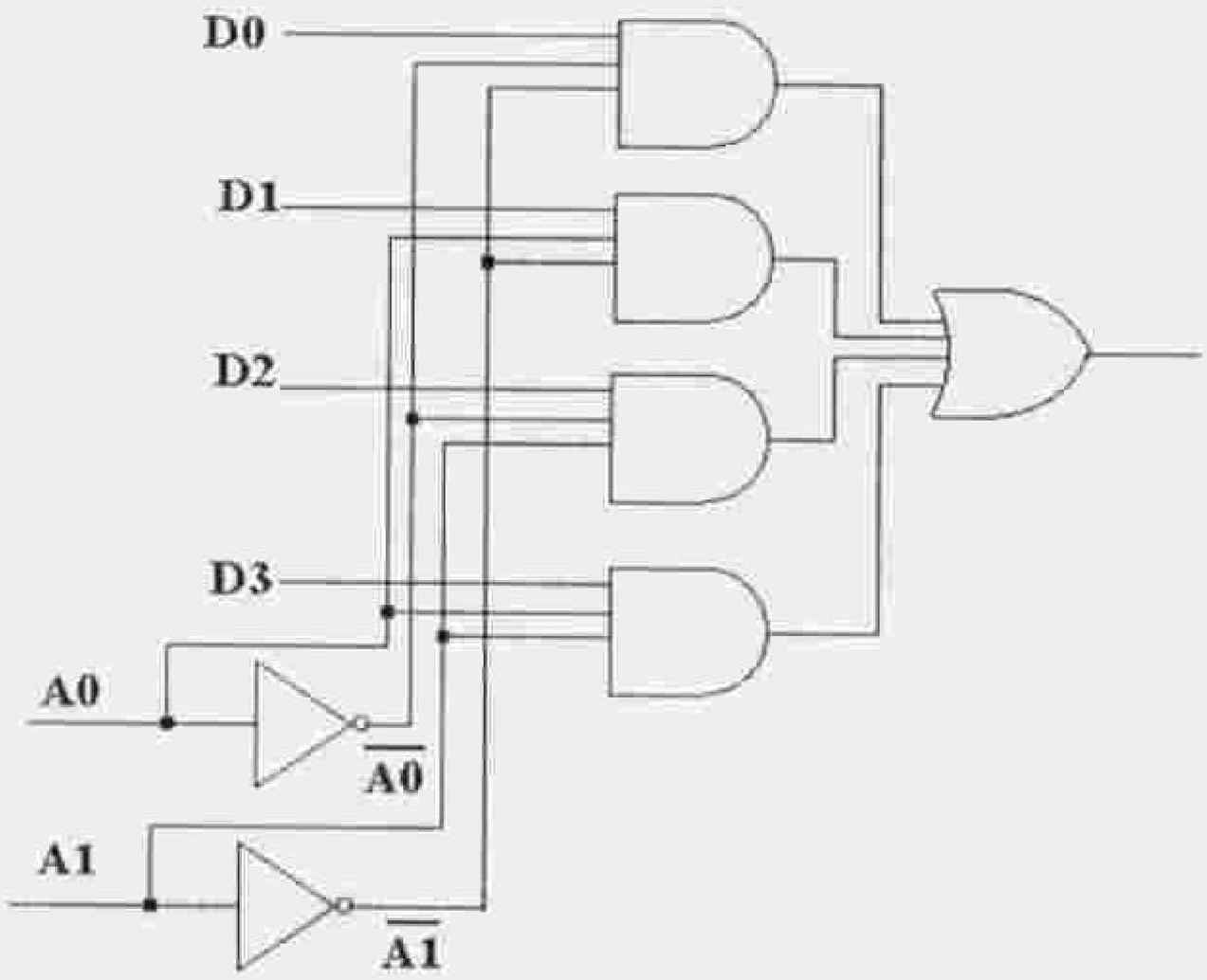


الشكل 19.3 مبدأ عمل الـ multiplexer.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وفي هذا الشكل يتم وصل واحد فقط من خطوط الدخل المتعددة مع الخرج. في المجمعات التكاملية يتم التحكم بالخط المنتقى بواسطة خطوط انتخاب، والعلاقة بين عدد خطوط الدخل وخطوط الانتخاب (n) هي:

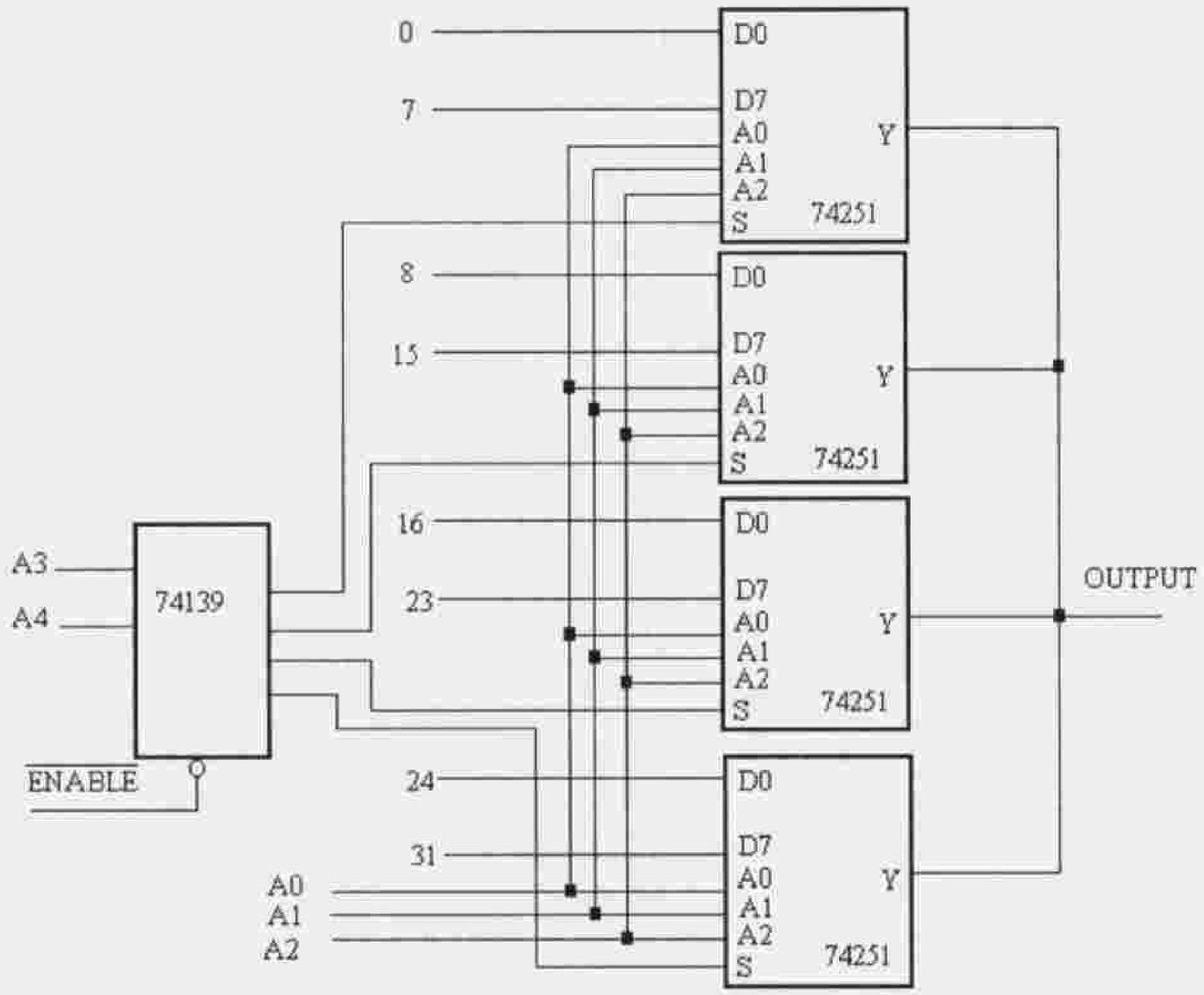
$M = 2^n$ حيث n هي عدد خطوط الانتخاب، وM عدد خطوط الدخل. تتوفر دارات متكاملة تحوي مجمعات مثل SN74151 (واحد من ثمانية) وSN74150 (واحد من ستة عشر)، ويمكن ربط المجمعات مع بعض لزيادة عدد المداخل. وفي الشكل (20.3) نبين دارة Multiplexer لأربع خطوط دخل وفي هذه الدارة يوصل واحد من المداخل D0، D1، D2 وD3 إلى الخرج حسب الوضع المنطقي لمداخل العنونة A0 وA1.



الشكل 20.3 الدارة المنطقية لـ Multiplexer أربعة إلى واحد.

وكمثال على دارات المجمعات المتكاملة المتوفرة في الأسواق من عائلة TTL هناك الدارة 74150 ذات الـ 16 دخل، 74151 و74152 وهي ذات ثمانية مداخل. يمكن توسيع عدد مداخل الـ multiplexer عن طريق وصل عدة دارات مع بعضها البعض، وفي حالة كون خرج كل مجمع من النوع ثلاثي الحالة فإنه بالإمكان وصل المخارج مباشرة مع بعضها كما في الشكل (21.3) حيث يتم وصل أربع مجمعات لكل منها 8 مداخل مع بعضها لتكوين مجمع ذي 32 دخل. وفي هذا الشكل نلاحظ أن مداخل العنونة للمجمعات الأربعة توصل كلها على التوازي ويتم استخدام مداخل strobe للتحكم بتمكين المجمعات. تمثل A0، A1، A2، A3، A4 مداخل العنونة.

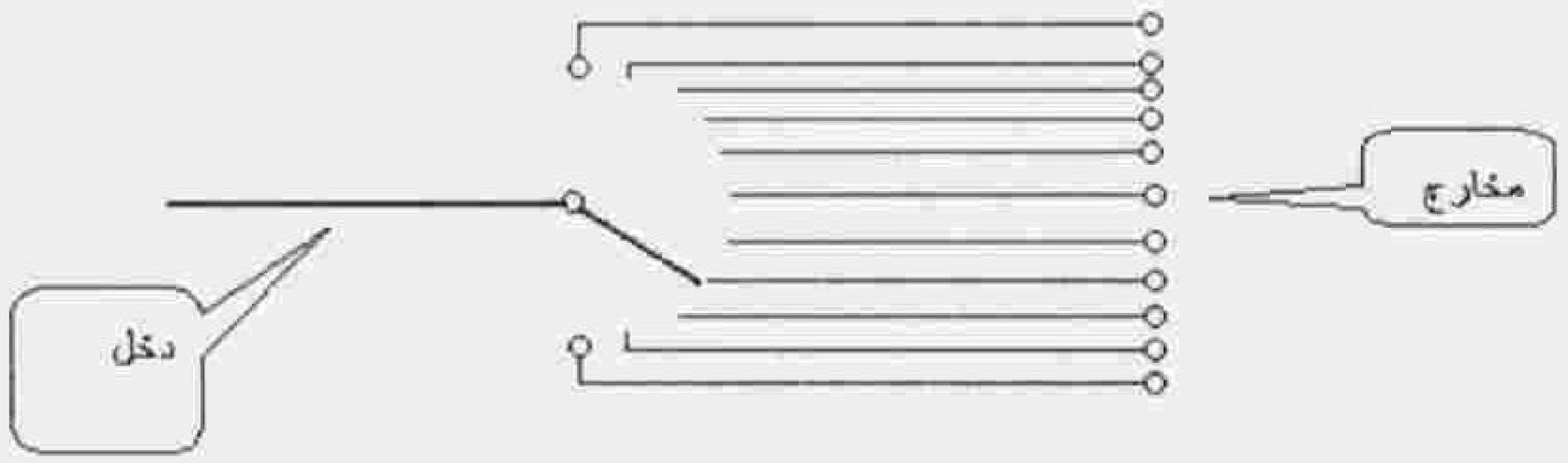
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 21.3 توصيل المجمعات مع بعضها لتوسيع عدد المداخل.

2.6.3 الموزعات Demultiplexers

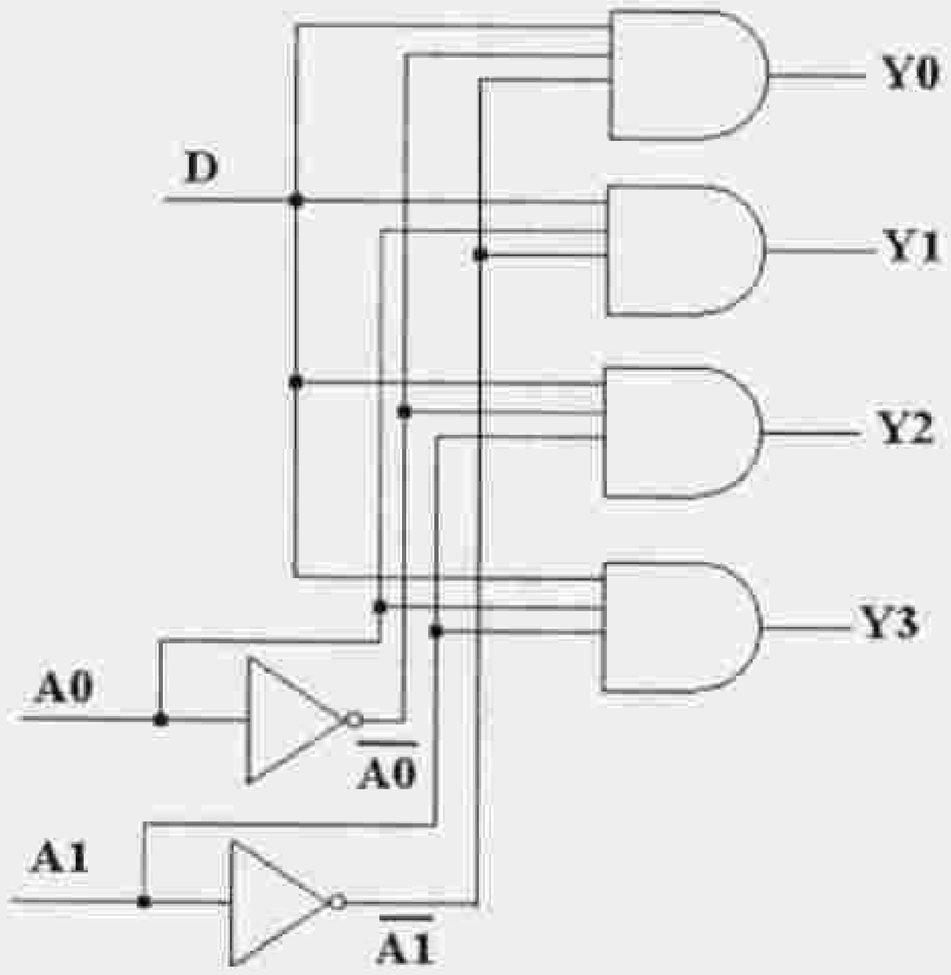
عمل الموزع يعاكس عمل المجمع حيث يتم بواسطة خطوط انتخاب وصل خط دخل وحيد إلى واحد فقط من خطوط الخرج المتعددة بواسطة خطوط انتخاب، وإذا كان عدد خطوط الانتخاب يساوي N فإن عدد خطوط الخرج يساوي 2^n.



الشكل 22.3 مبدأ عمل الموزع.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

في الشكل التالي تعطى الدارة المنطقية لموزع دخل وحيد إلى أربعة مخارج، وفيه نلاحظ أن عدد خطوط العنونة يساوي (2). وحسب الوضع المنطقي لمداخل العنونة يكون أحد المخارج Y0، Y1، Y2 أو Y3 مطابقاً للدخل D.



الشكل 23.3 الدارة المنطقية لموزع 1 إلى 4.

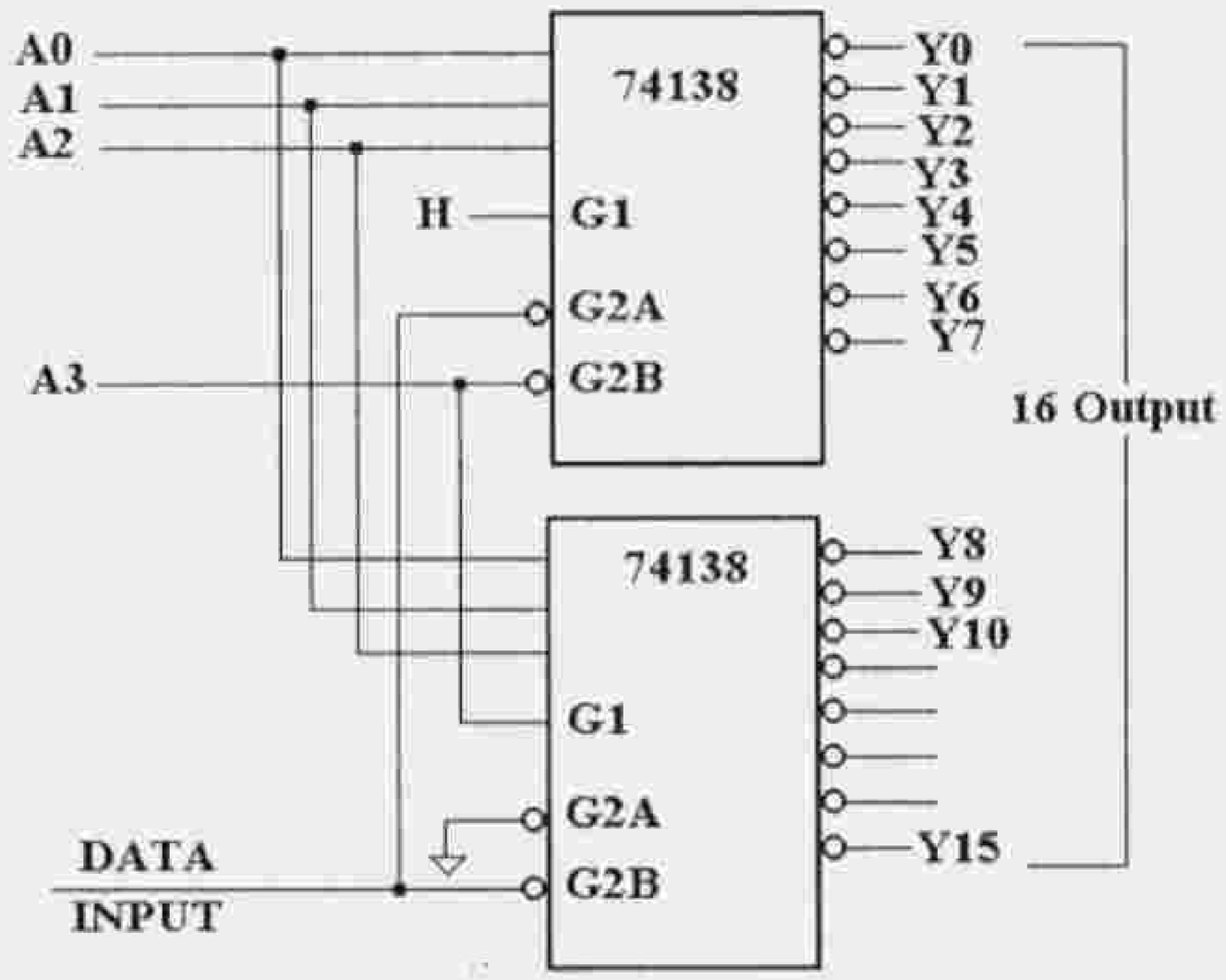
الجدول 10.3 جدول فعالية مخارج الموزع المعطى في الشكل (23.3).

A1	A0	Y0	Y1	Y2	Y3
0	0	فعال	0	0	0
0	1	0	فعال	0	0
1	0	0	0	فعال	0
0	0	0	0	0	فعال

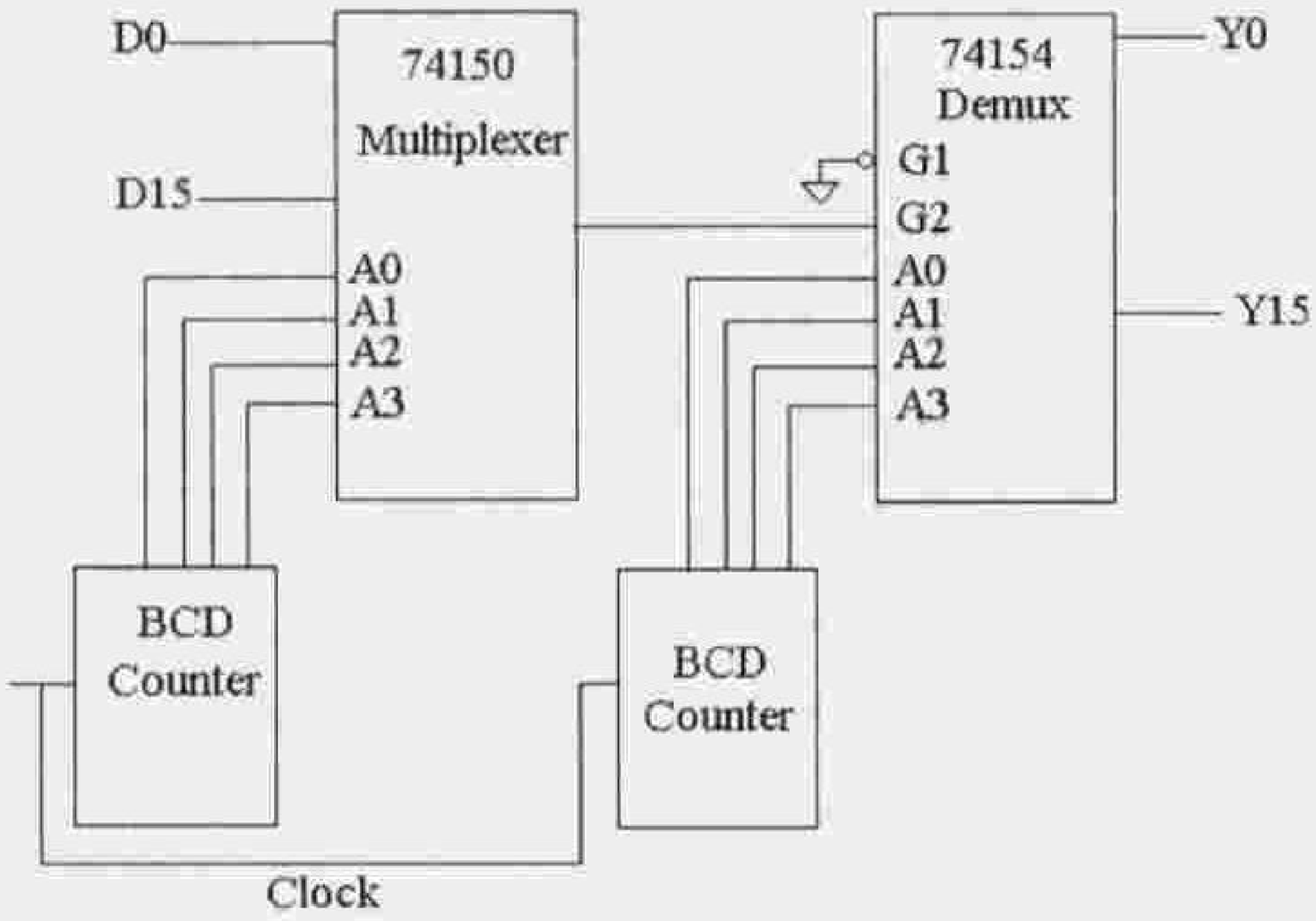
عندما يكون الخرج Y0 مثلاً فعالاً فإن الدخل المنطقي D ينتقل إلى هذا الخرج ويحدث ذلك في الدارة السابقة عندما تكون مداخل الانتخاب A1A0 على الوضع (00). يمكن هنا أيضاً وصل الموزعات مع بعض لزيادة عدد المخارج، وفي الشكل التالي نبين مثالاً لوصل دارتي 74138 مع بعض لتكوين موزع واحد (دخل وحيد) إلى 16 (عدد المخارج 16). توجد هناك استخدامات عديدة للموزعات ومنها تحويل المعطيات من شكل تسلسلي إلى شكل تفرعي ولهذا التطبيق استخدامات

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

واسعة في نظم التعدد الزمني التي تستخدم في نقل المعطيات. والشكل (24.3) يبين استخدام دارتي مجمع 74150 وموزع 74154 الأولى ذات 16 مدخل والثانية ذات 16 مخرج في نظام لنقل المعطيات.



الشكل 24.3 وصل مجمعين مع بعض لتوسيع عدد المخارج.



الشكل 25.3 استخدام مجمع وموزع في منظومة نقل معطيات.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

7.3 الكواشف والمرمزات Decoders and Encoders

يتم التعبير عن المعلومات في النظم الرقمية بشيفرات مختلفة وذلك حسب الأفضلية، ومن أجل التحويل من شيفرة إلى أخرى يتم استخدام مبدلات الشيفرة (الكواشف والمرمزات) والتي يمكن تعريفها أنها دارات منطقية تركيبية تقوم بتحول معطيات الدخل التي طولها N خانة إلى معطيات خرج بطول M خانة، والمثال الأكثر وضوحاً في هذا المجال هو التحويل من نظام الـ BCD إلى نظام يتوافق مع الإظهار الرقمي ومن أجل هذه الغاية يستخدم كاشف BCD-to 7segment decoder، وهذا الكاشف متوفر كدارة تكاملية جاهزة.

ويمكن تصميم الكواشف والمرمزات بطريقة سهلة جداً عن طريق كتابة جدول الحقيقة للمرمز أو فاك الشيفرة (الكاشف)، ومن الجدول يتم استخراج التوابع المنطقية اللازمة للتصميم وهذه التوابع يتم اختصارها حسب طرق الاختصار الواردة في الفصل الثاني من هذا الكتاب، وسنوضح ذلك من خلال عدد من الأمثلة:

مثال (1): تصميم كاشف من BCD إلى النظام العشري BCD-to decimal decoder

جدول الحقيقة لهذا الكاشف سيكون بالشكل التالي:

المداخل				المخارج									
D	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

الشكل 11.3 جدول الحقيقة للكاشف.

من الجدول نلاحظ أن:

$$Y0 = \overline{A}.\overline{B}.\overline{C}.\overline{D},\ Y1 = A\overline{B}.\overline{C}.\overline{D},\ Y2 = \overline{A}B\overline{C}.\overline{D},\ Y3 = AB\overline{C}.\overline{D},\ Y4 = \overline{A}.\overline{B}C\overline{D}$$

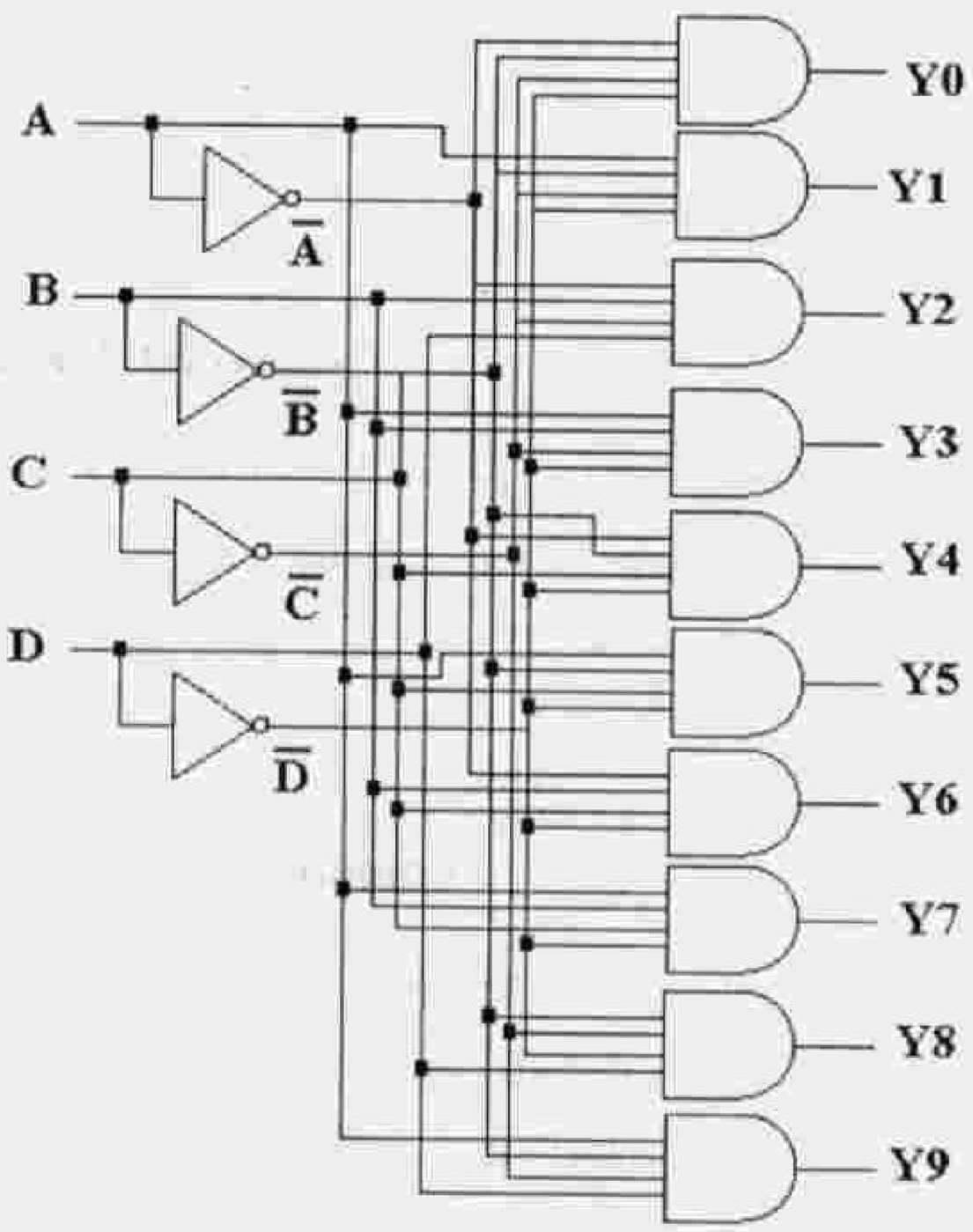
$$Y5 = A\overline{B}C\overline{D},\ Y6 = \overline{A}BC\overline{D},\ Y7 = ABC\overline{D},\ Y8 = \overline{A}.\overline{B}.\overline{C}D,\ Y9 = A\overline{B}.\overline{C}D$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

ويمكن تحقيق الكاشف بناء على هذه المعادلات كما في الشكل (26.3). توجد دارة متكاملة 7442 جاهزة تقوم بهذه الوظيفة وقد تعرفنا هنا على طريقة تصميم هذا الكاشف كتمرين على تصميم دارات الكواشف، أما إذا أردنا مثلاً أن نصمم كاشف من النظام العشري إلى نظام BCD فإننا نلاحظ من الجدول السابق أن المعادلات المنطقية هي:

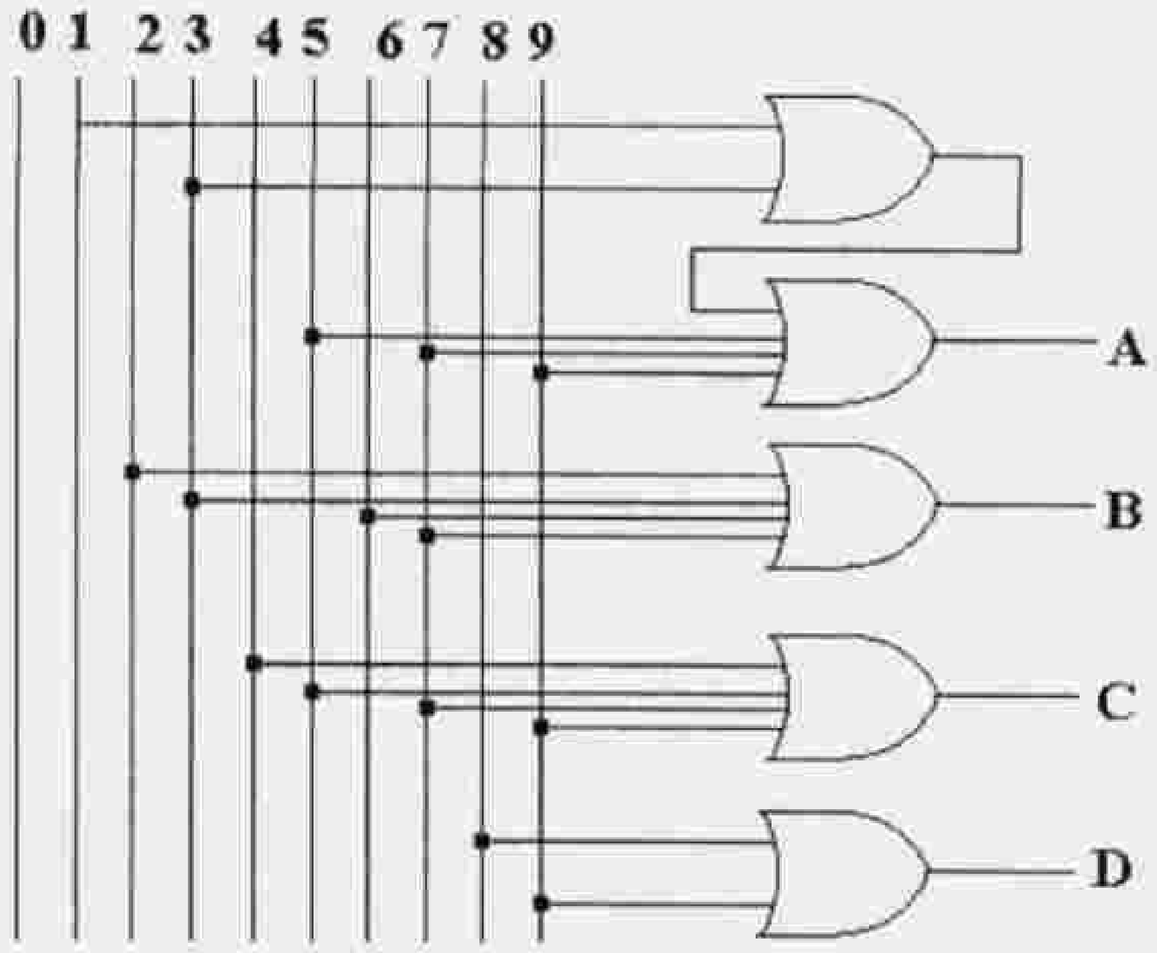
$A = Y1 + Y3 + Y5 + Y7 + Y9$
$B = Y2 + Y3 + Y6 + Y7$
$C = Y4 + Y5 + Y6 + Y7$
$D = Y8 + Y9$

والشكل (26.3) يبين دارة هذا الكاشف.



الشكل 26.3 دارة كاشف من BCD إلى نظام عشري.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 27.3 دارة كاشف من النظام العشري إلى نظام BCD.

8.3 الدارات المنطقية الحسابية

يحتوي الحاسوب وغيره من النظم المنطقية على دارات منطقية تقوم بإنجاز عمليات حسابية مثل الجمع والطرح والضرب والتقسيم والمقارنات، وغالباً ما يتم تنفيذ العمليات الحسابية بنظام الأعداد الثنائي، وسنتعرف في هذه الفقرة على بعض دارات الجمع والطرح والمقارنة.

1.8.3 المقارنات comparators

في دارات المقارنة تطبق الأعداد المطلوب مقارنتها على الدخل ونحصل في الخرج على النتيجة التي يمكن أن تكون تساوي العددين A=B أو A<B أو A>B، وبذلك نلاحظ أن للمقارن ثلاثة مخارج. وحسب نتيجة المقارنة سيكون أحد هذه المخارج H أما المخارج الأخرى فتكون في حالة L.

وسوف نقوم الآن بتصميم مقارن لعددين يتكون كل واحد منهما من خانة واحدة. نضع في البداية جدول الحقيقة للمقارن كما يلي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

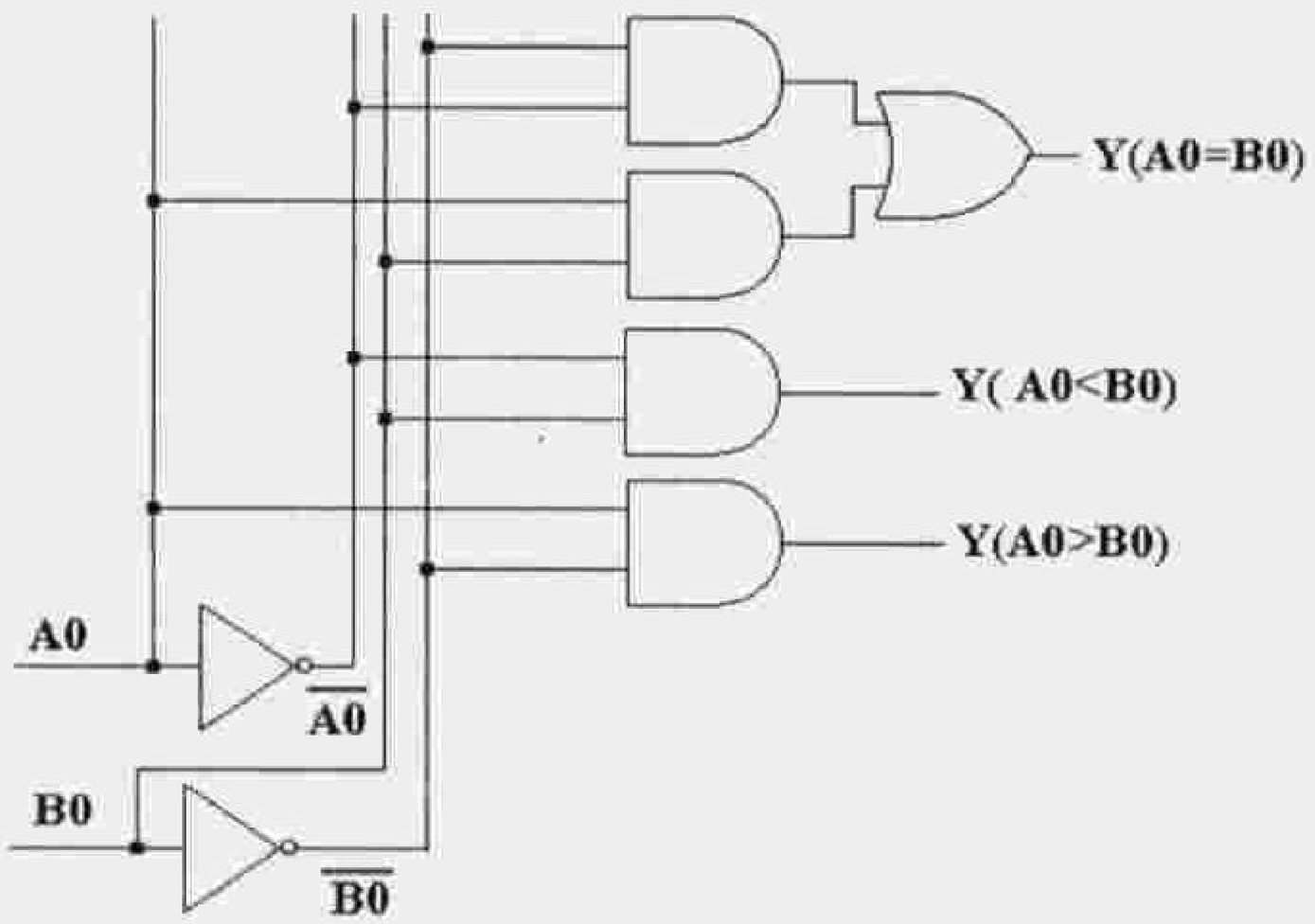
الجدول 12.3 جدول الحقيقة لمقارنة خانتين.

A0	B0	Y(A0>B0)	Y(A0=B0)	Y(A0<B0)
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

من هذا الجدول نلاحظ أن:

$$Y(A0 = B0) = \overline{A0}.\overline{B0} + A0.B0$$
$$Y(A0 > B0) = A0.\overline{B0}$$
$$Y(A0 < B0) = A0.\overline{B0}$$

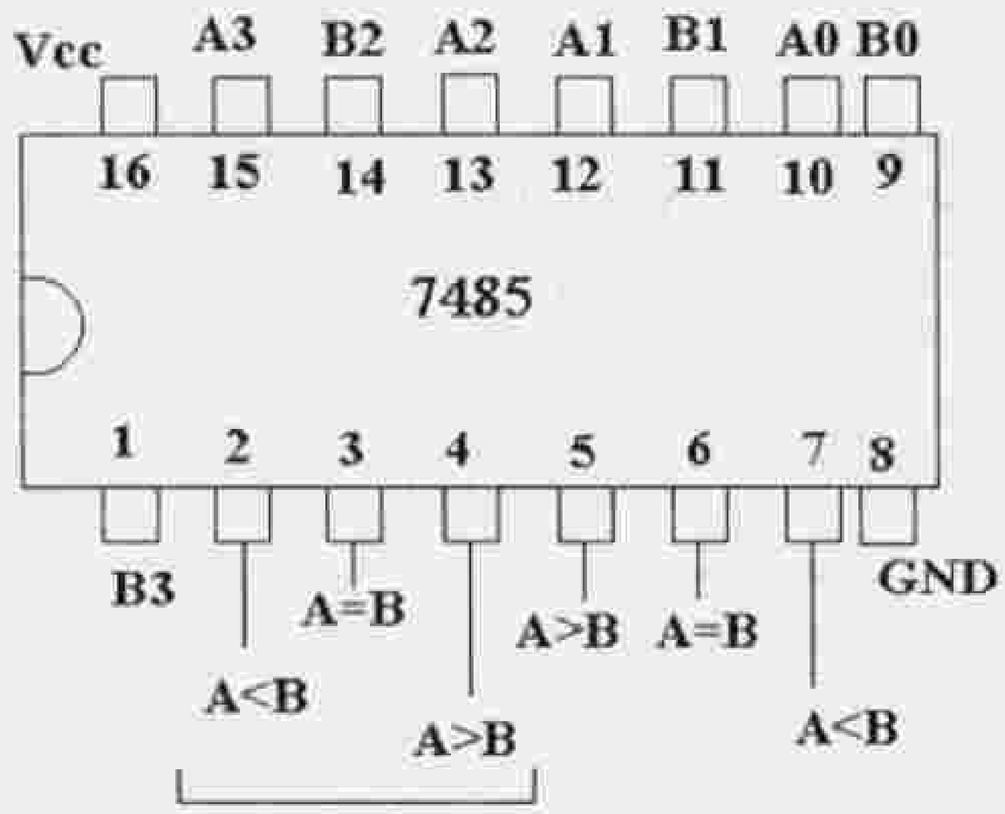
والدارة المنطقية التي تحقق هذا المقارن مبينة في الشكل (28.3).



الشكل 28.3 الدارة المنطقية لمقارن خانتين.

من أجل مقارنة الأعداد متعددة الخانات تتوفر دارات تكاملية جاهزة مثل الدارة المتكاملة 7485 والتي هي مقارن لعددين ثنائيين كل واحد منهما مكون من أربع خانات. في الشكل (29.3) يعطى شكل الدارة ووظائف الأرجل، أما الجدول (13.3) فيمثل جدول الحقيقة لهذه الدارة .

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 29.3 وظائف أرجل الدارة 7485.

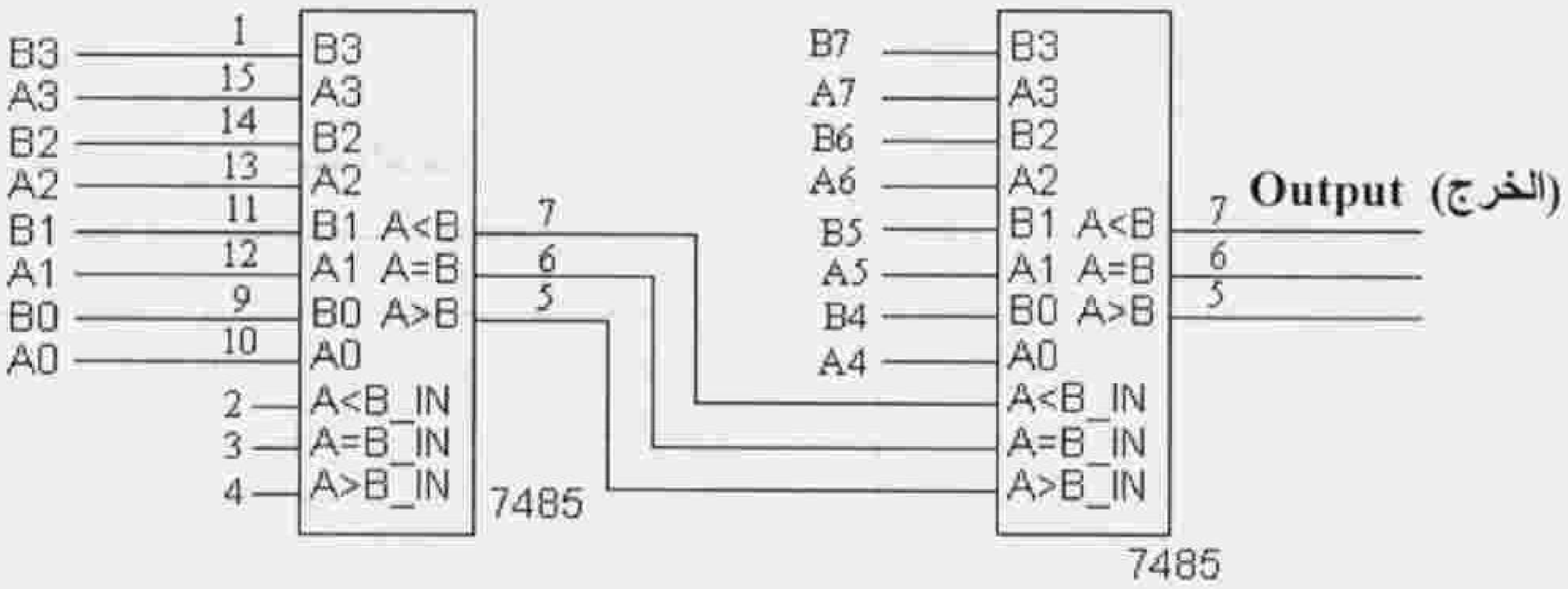
الجدول 13.3 جدول الحقيقة للمقارن 7485.

مداخل المقارنة								مخارج الربط			المخارج		
A3	B3	A2	B2	A1	B1	A0	B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3		X		X		X		X	X	X	H	L	L
A3<B3		X		X		X		X	X	X	L	H	L
A3=B3		A2>B2		X		X		X	X	X	H	L	L
A3=B3		A2<B2		X		X		X	X	X	L	H	L
A3=B3		A2=B2		A1>bB		X		X	X	X	H	L	L
A3=B3		A2=B2		A1<B1		X		X	X	X	L	H	L
A3=B3		A2=B2		A1=B1		A0>B0		X	X	X	H	L	L
A3=B3		A2=B2		A1=B1		A0<B0		X	X	X	L	H	L
A3=B3		A2=B2		A1=B1		A0=B0		L	L	H	L	L	H
A3=B3		A2=B2		A1=B1		A0=B0		H	L	L	H	L	L
A3=B3		A2=B2		A1=B1		A0=B0		L	H	L	L	H	L

من هذا الجدول نلاحظ أنه عندما تكون الخانة الأكثر أهمية من A أكبر من الخانة الأكثر أهمية من العدد B (أي خانة MSB من A أكبر من خانة MSB من B) فإن A يكون أكبر من B بغض النظر عن باقي الخانات، وإذا كانت أصغر يكون A<B بغض النظر عن باقي الخانات، ولكن عند تساوي خانتي الـــ MSB تقارن الخانة التي قبل خانة الـــ MSB من A مع نظيرتها في B. والجدول يوضح نتائج المقارنة حيث تستمر العملية حتى الخانة الأخيرة، وعندما تكون كافة خانات الأعداد

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

متساوية فإن الذي يقرر أيهما أكبر (A أم B) هو وضع مخارج الربط الواردة من المقارن السابق (وذلك في حالة ربط عدة مقارنات مع بعض لتوسيع عدد خانات الدخل). يمكن بواسطة هذه الدارات التكاملية مقارنة أي عددين مهما كان عدد خاناتهما وذلك عن طريق وصل المقارنات مع بعضها البعض وذلك بوصل مخارج Y(A=B)، وY(A>B)، وY(A<B) للمقارن الأول مع مداخل الربط المتوالي Y(A=B)، Y(A>B) وY(A<B) الموجودة على المقارن الثاني، وهكذا حتى آخر مقارن فتكون مخارجه Y(A=B)، Y(A>B) وY(A<B) هي المخارج النهائية للمقارن. وفي الشكل (30.3) نرى مثالاً يبين طريقة وصل دارتين 7485 لتوسيع عدد خانات الأعداد الجاري مقارنتها إلى ثماني خانات. تسمى طريقة الوصل هذه طريقة التوسيع التسلسلي.



الشكل 30.3 توصيل تسلسلي لدارتي مقارنة لزيادة عدد خانات الأعداد الجاري مقارنتها.

2.8.3 دارات الجمع والطرح

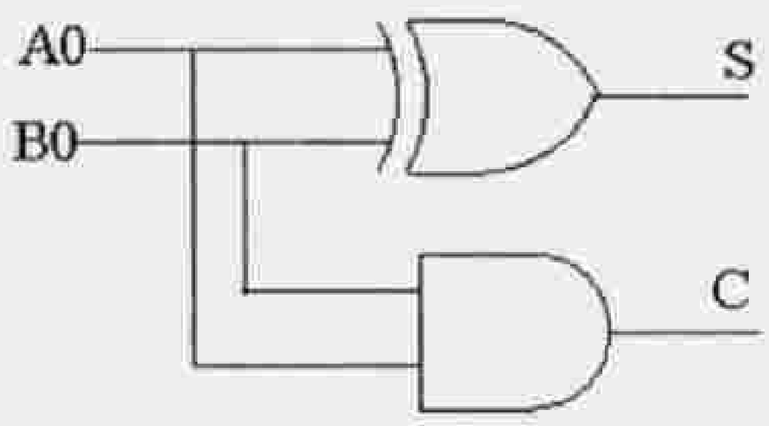
تشبه عملية الجمع في النظام الثنائي عملية الجمع في النظام العشري، ونتذكر أن قواعد الجمع في النظام الثنائي هي (1=1+0، 1=0+1، 0=0+0 و10=1+1 وتكتب النتيجة 0 والمحمول 1)، ولذلك فإن دارات الجمع يكون لها خرجان الأول هو حاصل الجمع S والثاني هو المحمول C. فيما يلي نتعرف على طريقة تصميم جامع نصفي وجامع كامل. في الشكل (31.3) يعطى جدول الحقيقة والدارة المنطقية للجامع النصفي. يتم الحصول على معادلات التصميم من جدول الحقيقة، وهي:

$$S = \overline{A0}B0 + A0.\overline{B0}$$

$$C = AB$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

A0	B0	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



الشكل 31.3 يعطى جدول الحقيقة والدارة المنطقية للجامع النصفي.

أما عند تصميم الجامع الكامل فيجب أن نأخذ محمول المرحلة السابقة بالاعتبار وبذلك نجد أن جدول الحقيقة سيكون كما يلي:

الجدول 14.3 جدول الحقيقة للجامع الكامل.

A	B	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

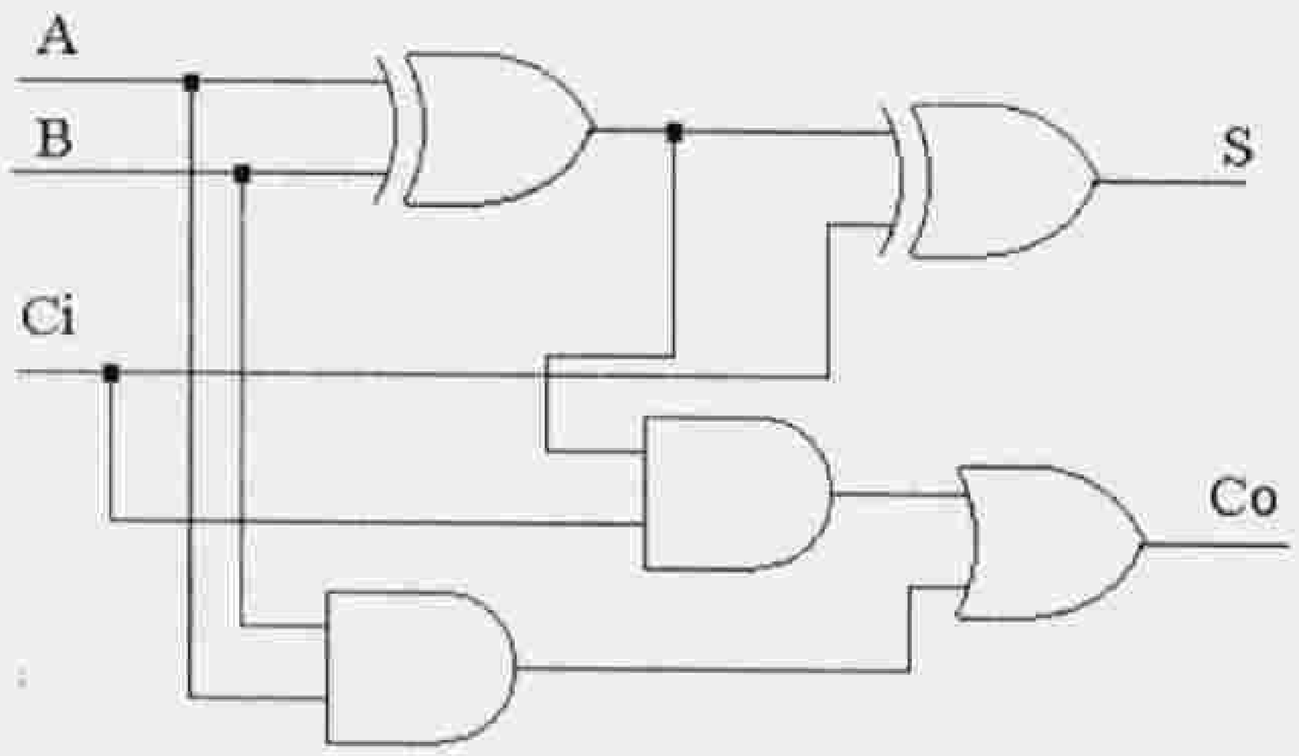
أما معادلات تصميم الجامع الكامل فيتم الحصول عليها من جدول الحقيقة، حيث نحصل على العلاقات التالية:

$$S = \overline{A}.\overline{B}C_i + \overline{A}B\overline{C_i} + A\overline{B}.\overline{C_i} + ABC_i$$
$$C_o = \overline{A}BC_i + A\overline{B}C_i + AB\overline{C_i} + ABC_i$$

باختصار هذه التوابع المنطقية نحصل على:

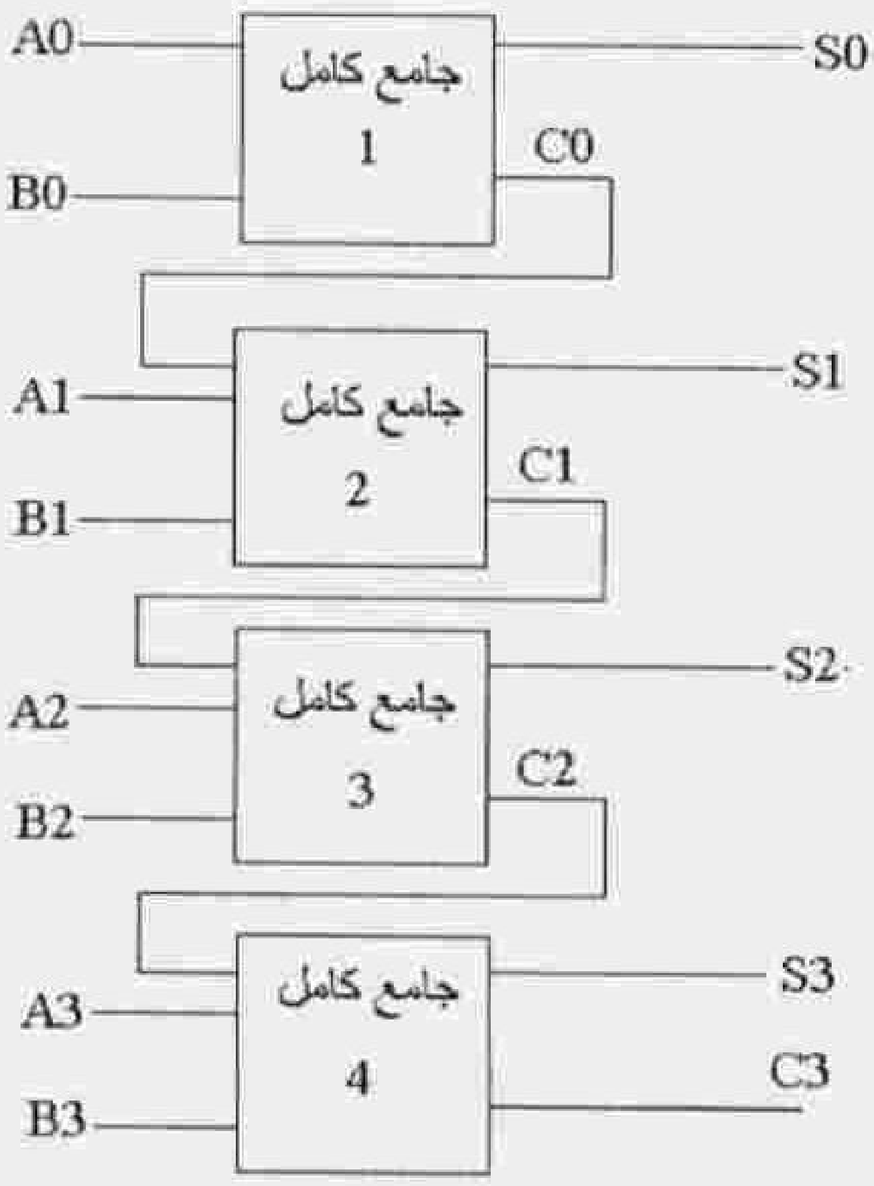
$$S = \overline{C_i}(A\overline{B} + \overline{A}B) + C_i(AB + \overline{A}.\overline{B})$$
$$C_o = C_i(\overline{A}B + A\overline{B}) + AB$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 32.3 دارة الجامع الكامل.

عند الرغبة في جمع عددين مكونين من عدد كبير من الخانات يستخدم ما يسمى بالجامع التفرعي ذي المحمول التسلسلي والمبين في الشكل التالي.



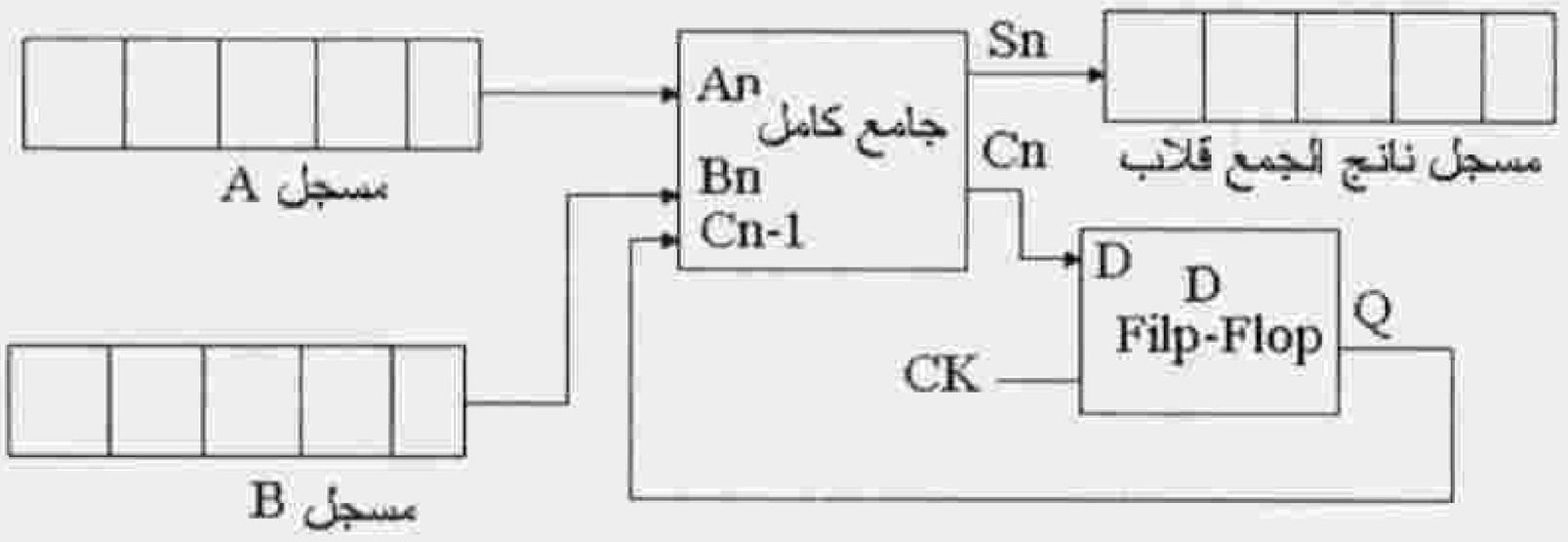
الشكل 33.3 جامع تفرعي ذي محمول تسلسلي.

يستخدم مبدأ المحمول التسلسلي الوارد في الشكل السابق في وحدات الحساب والمنطق التي تعتبر من أهم مكونات المعالج microprocessor وكذلك تتوفر وحدات المعالجة الحسابية كدارات تكاملية مستقلة مثل الدارة المتكاملة 74180.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجامع التسلسلي

من أجل تقليل عدد الدارات المستخدمة في عملية الجمع يتم استخدام مبدأ الجمع التسلسلي المبين في الشكل التالي (34.3)، وفي هذا الشكل يتم تخزين العددين المطلوب جمعهما في مسجلي إزاحة A و B وتتم إزاحة العددين تسلسلياً خانة فخانة إلى دخل دارة الجامع.



الشكل 34.3 دارة جامع تسلسلي.

تصل نتيجة الجمع إلى مسجل ناتج الجمع. عند تطبيق نبضات الإزاحة تطبق الخانات الأقل أهمية على المداخل An وBn للجامع، ومع نفس النبضة يصل ناتج عملية الجمع التي يتم تنفيذها لحظياً إلى الخانة اليسارية للمسجل E، ويتم تخزين المحمول الناتج عن العملية في القلاب D، وعند ورود نبضة الإزاحة التالية يتم تطبيق المحمول على الدخل Cn-1 في دارة الجامع.قبل البدء بعملية الجمع يكون المحمول مساوياً الصفر. في الشكل تم توضيح المبدأ و لم ترسم الدارات المنطقية لمسجلات الإزاحة ولمولد النبضات حيث يمكن أن تكون مسجلات الإزاحة المستخدمة ذات دخل تسلسلي وخرج تسلسلي أو ذات دخل تفرعي وخرج تسلسلي.

الطارح التسلسلي

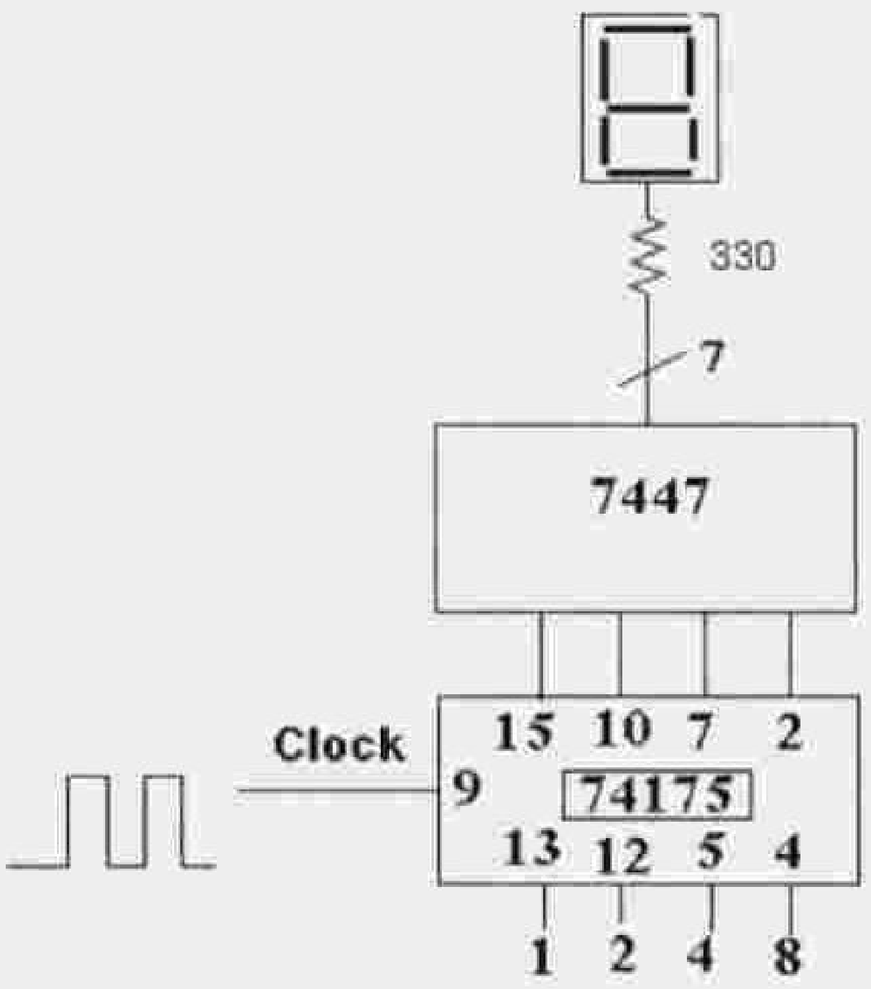
يمكن تحويل دارة الجامع التسلسلي إلى طارح تسلسلي عن طريق عكس مخارج مسجل الإزاحة B بإضافة عاكس ووضع المحمول على قيمة (1+). ونلاحظ أن عملية الطرح قد تحولت إلى عملية جمع، ولكن تهمل الخانة الأكثر أهمية في ناتج الجمع. تعتمد هذه الفكرة على أن الطرح يكافئ تماما جمع المتمم فمثلاً في النظام العشري إذا أردنا حساب (8-9)، فإننا نستطيع إنجاز هذه العملية عن طرق إضافة متمم العدد (8) في النظام العشري والذي هو الرقم (2) إلى الرقم (9) حيث نلاحظ أن (11=2+9) وبإهمال الخانة اليسارية في ناتج الجمع يبقى الرقم (1) الذي هو فعلاً يساوي 8-9.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

9.3 أمثلة تصميمية

مثال: صمم دارة لقيادة وحدة إظهار ذات سبع قطع بحيث تمسك الخرج وتحافظ عليه ثابتاً على الرغم من تغير الدخل. تستخدم هذه الدارة عند قياس كمية متغيرة مثل السرعة.

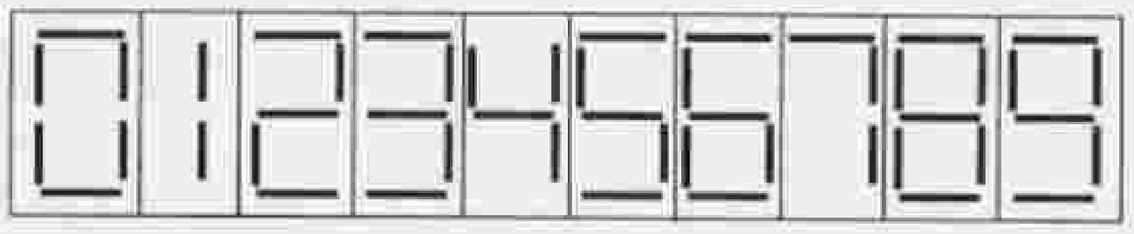
الحل: أحد الحلول الممكنة لهذه المسألة مبين في الشكل(35.3)، وبما أننا نحتاج فقط إلى أربعة خطوط معطيات فقد اخترنا الماسك 74175 الذي يحوي أربع قلابات نوع D لمسك المعطيات المطبقة على وحدة الإظهار أثناء تغير الدخل. تنتقل المعلومات الموجودة على الخطوط 4.5.12.13 إلى خطوط الخرج 2.7.10.15 على الجبهة الصاعدة لنبضة Clock المطبقة على الرجل 9. عندما تكون نبضة Clock على وضع H أو Low لا يكون لمعطيات الدخل أي تأثير على الخرج. يغذي خرج الماسك دارة كاشف الإظهار 7447 الذي يحول الخرج BCD إلى خرج مناسب لوحدة الإظهار ذات القطع السبع وذلك عبر مقاومات تساوي 330 أوم.



الشكل 35.3 قيادة وحدة الإظهار بواسطة ماسك.

يمكن أن تكون وحدات الإظهار من النمط ذي المهبط المشترك، وفيه توصل كافة مهابط القطع المصدرة للضوء مع بعض وتوصل أثناء العمل مع الأرض، ولإضاءة كل قطعة يجب تأمين جهد يساوي 5V+ لمصعدها. أو من النمط ذي المصعد المشترك حيث توصل كافة المصاعد إلى 5V+ ولإضاءة كل قطعة يجب تأمين أرضي لها. تسمى وحدات الإظهار هذه بالوحدات سباعية القطع لأنها تتكون من سبع قطع وتستخدم لإظهار الأرقام (0 وحتى 9) كما في الشكل (36.3).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 36.3 إظهار الأرقام (0 حتى 9) بواسطة وحدة إظهار سباعية القطع.

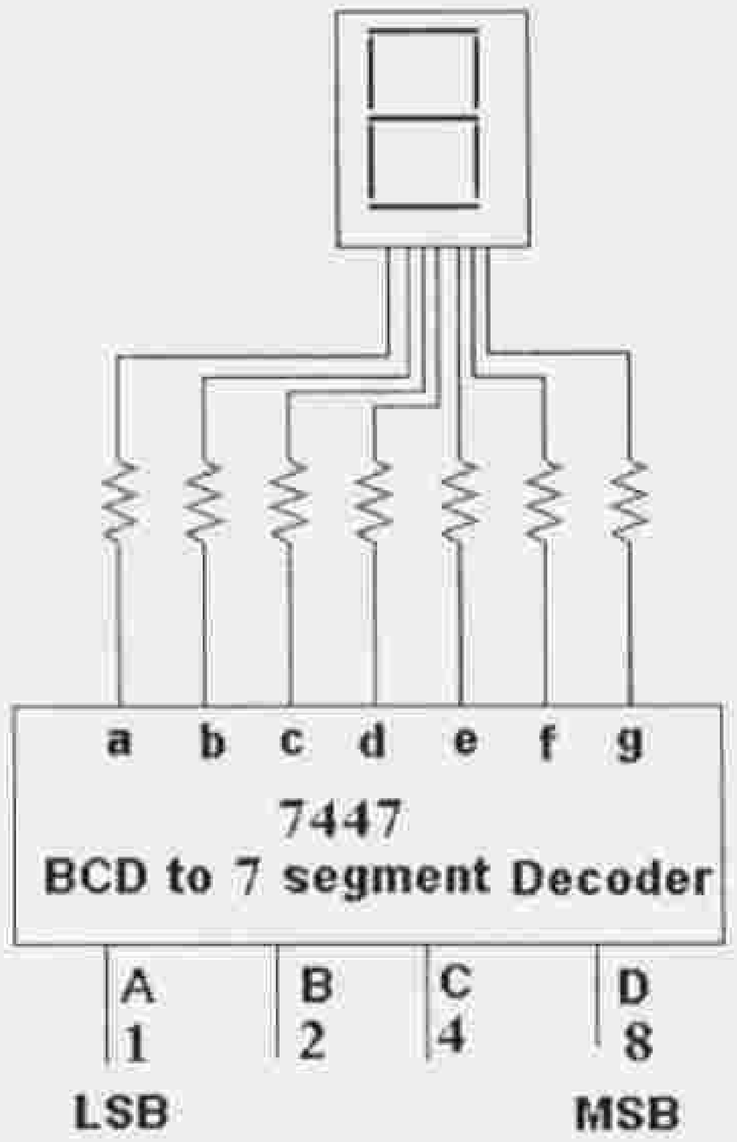
ومن هذا الشكل نلاحظ أن حالة القطع أثناء الإظهار تكون كما في الجدول (15.3).

الجدول 15.3 حالة القطع السبع أثناء إظهار الأرقام.

الرقم	a	b	c	d	e	f	g	ملاحظات
0	On	On	On	On	On	On	Off	
1	Off	On	On	Off	Off	Off	Off	
2	On	On	Off	On	On	Off	On	
3	On	On	On	On	Off	Off	On	
4	Off	On	On	Off	Off	On	On	
5	On	Off	On	On	Off	On	On	
6	On	Off	On	On	On	On	On	
7	On	On	On	Off	Off	Off	Off	
8	On	On	On	On	On	On	On	
9	On	On	On	On	Off	On	On	

يتم وصل مخارج الكاشف مع وحدة الإظهار عبر مقاومات 330 أوم وفق الطريقة التالية. إذا لم يتوفر لوحدة الإظهار مخطط يوضح المصعد أو المهبط وباقي الأطراف، فيتم البحث عن هذه الأطراف بالتجريب بواسطة سلك عليه 5V+ موصول إلى 330 أوم وخط عليه أرضي حيث نحاول، بوضع هذين السلكين على أرجل وحدة الإظهار، إضاءة إحدى القطع كي نحدد المصعد أو المهبط ونوع الوحدة هل هي من نمط المصعد المشترك أو المهبط المشترك.

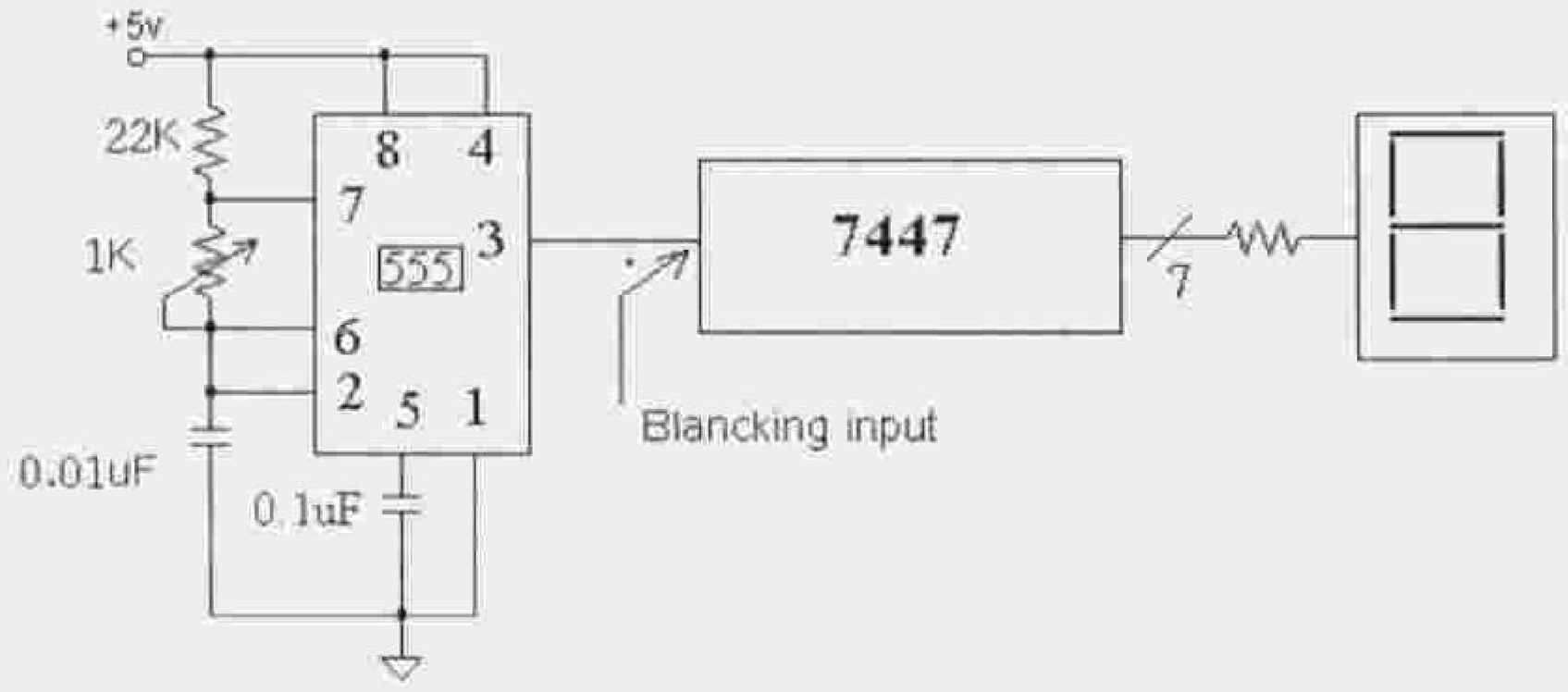
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 37.3 الشكل المفصل لقيادة وحدة الإظهار.

مثال: صمم دارة تعمل على 555 وتستخدم من أجل التحكم بوميض وحدة إظهار سباعية القطع.

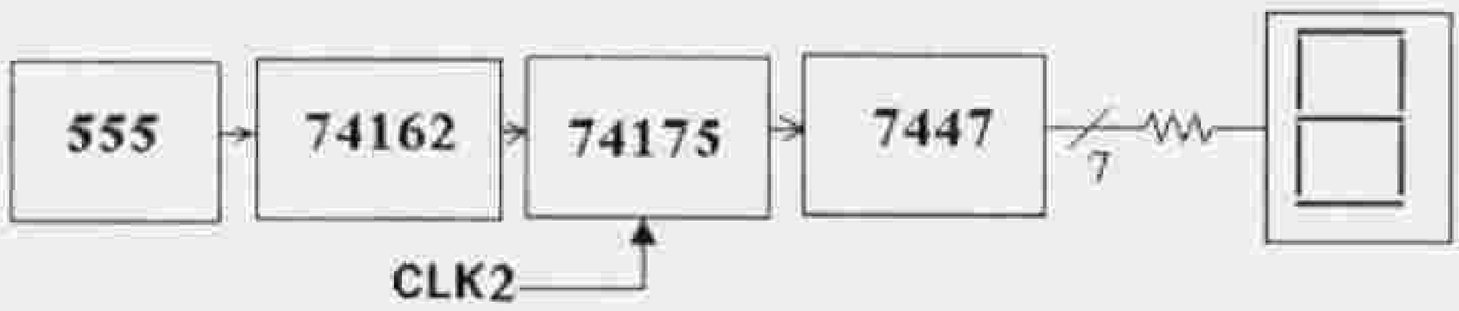
الحل: يمكن التحكم بإضاءة (وميض) وحدة الإظهار سباعية القطع عن طريق وصل خرج دارة 555 تعمل كمولد عديـــم استقرار إلى مدخل الوميض للكاشف 7447. عادة ما يوصل مدخل الوميض في الكاشف إلى مستوى Low (أي إلى الأرضي)، وذلك لقطع الإظهار بالكامل. وعند وصل خرج مولد النبضات إليه فإن دور وزمن مشغولية نبضات الخرج يتحكمان بإضاءة (بوميض) وحدة الإظهار. والشكل (38.3) يبين طريقة وصل تمز عدم الاستقرار مع كاشف الإظهار.



الشكل 38.3 طريقة وصل مهتز عديم الاستقرار مع كاشف إظهار.

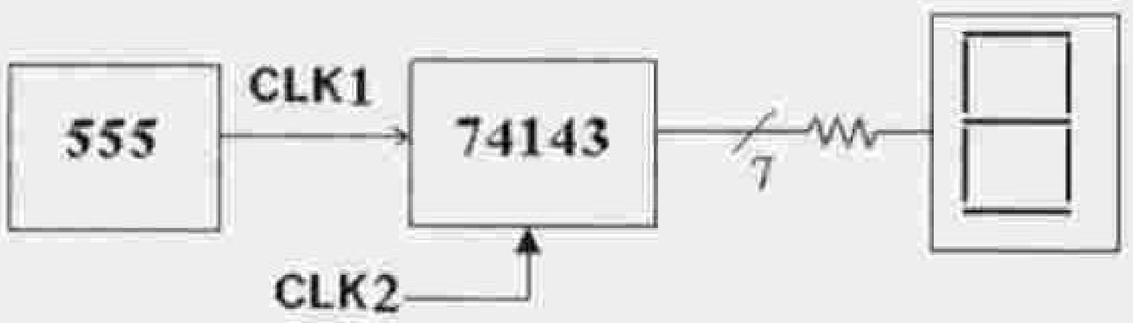
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مثال: تصيميم عداد لعد نبضات Clock الواردة من دارة 555 تعمل كمولد عديم استقرار، وإظهار ناتج العد على وحدة إظهار سباعية القطع مع التحكم بثبات القراءة خلال عملية العد. نبين في الشكل (39.3) المخطط الصندوقي للدارة المطلوب تصميمها، حيث يستخدم العداد 74162 ويطبق خرج العداد على دارة الماسك Latch 74175 الذي تطبق عليه نبضة Clock ثانية فتنقل خرج الماسك إلى وحدة الإظهار.



الشكل 39.3 مخطط صندوقي لعداد.

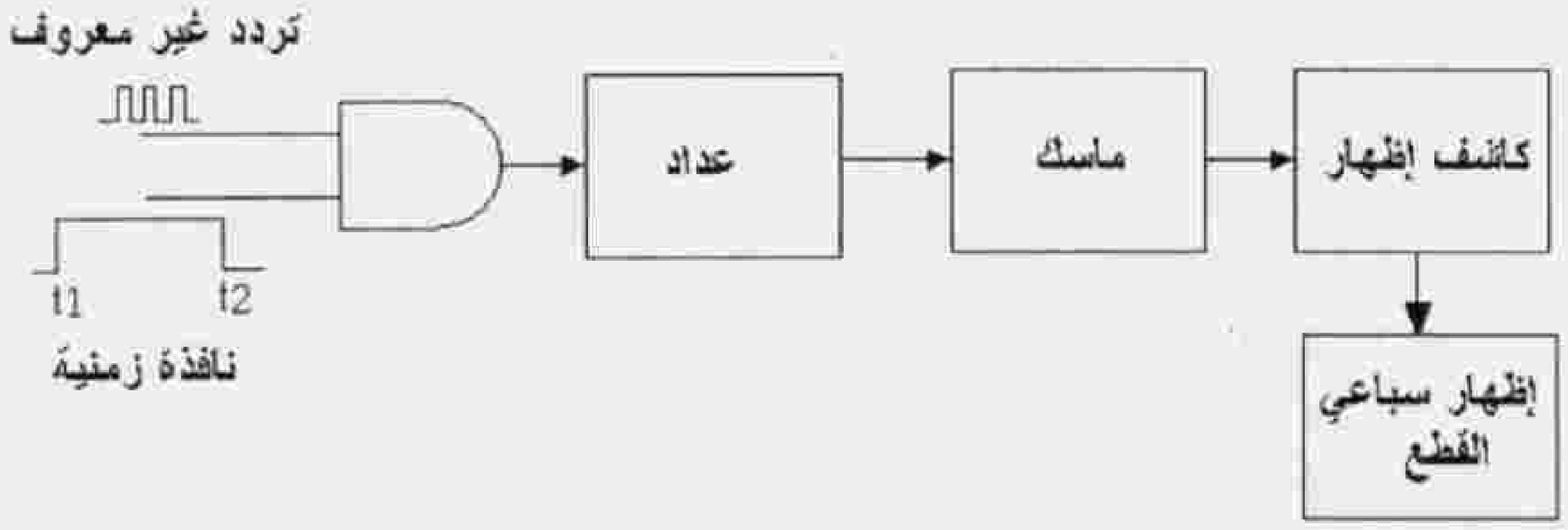
يمكن حل المسألة باستخدام دارة تكاملية واحدة هي 74143 والتي تقوم بوظيفة عداد وماسك وكاشف إظهار كما في الشكل (40.3).



الشكل 40.3 مخطط صندوقي للعداد عند استخدام الدارة المتكاملة 74143.

هناك العديد من الاستخدامات الهامة للعدادات مثل قياس السرعة أو التردد، حيث يمكن وصل عداد مع مولد نبضات لتشكيل عداد تردد، ومبدأ قياس التردد مبين في الشكل (41.3).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



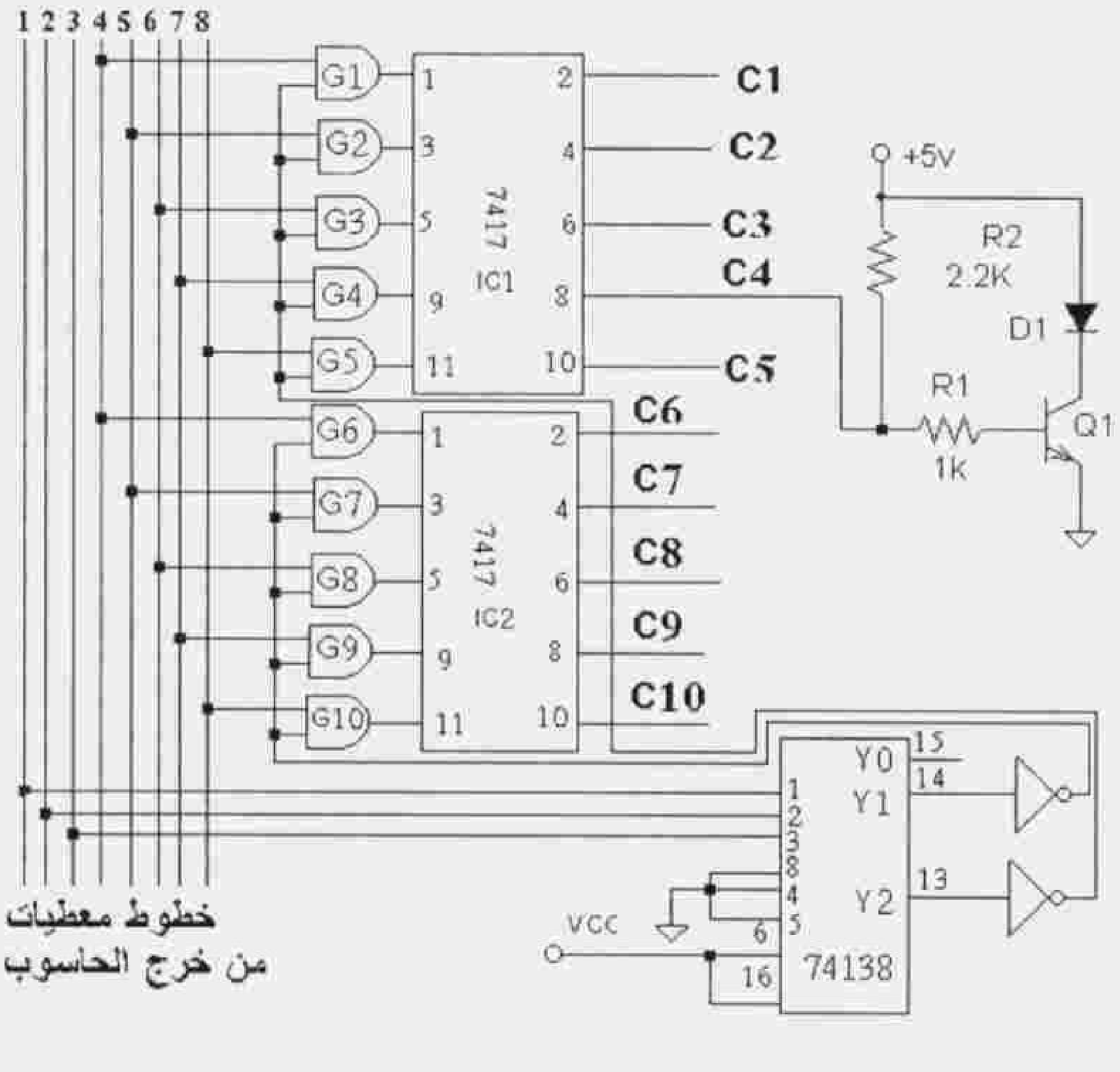
الشكل 41.3 مبدأ قياس التردد.

يقوم العداد بعد نبضات الإشارة ذات التردد غير المعروف خلال نافذة زمنية محددة، فإذا كانت نافذة العد ثانية واحدة فإن العدد الذي يظهر على وحدات الإظهار يكون هو التردد مقدراً بالهرتز.

مثال: عن استخدام الموزع 74138 في دارة ربط تجهيزات خارجية مع منفذ الطابعة التفرعي في الحاسوب.

في هذا المثال تستخدم دارة التوزيع 74138 من أجل إتاحة إمكانية للتحكم بمجموعتين من الأغراض عن طريق نفس خطوط المعطيات المأخوذة من المنفذ التفرعي للحاسوب والذي توصل إليه عادة الطابعة، حيث يتم (وكما هو موضح في الشكل) استخدام أول ثلاثة خطوط من خطوط المعطيات من أجل عنونة الموزع فعندما تكون خطوط العنونة في الوضع LLL يكون الخرج Y0 هو الخرج الفعال (مخارج هذا الموزع تكون فعالة في حالة L أي من نوع active low) وعندما تكون مداخل العنونة على الوضع LLH يكون الخرج الفعال هو Y1 وأما الخرج Y2 فيكون فعالاً عندما تكون خطوط العنونة على الوضع LHL.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 42.3 دارة ربط مع منفذ الحاسوب التفرعي.

عندما ترغب في قيادة التجهيزات الموصولة مع خطوط القيادة C6 وحتى C10 يجب أن يكون الوضع المنطقي لخطوط العنونة هو LLH فيكون الخرج Y1 على حالة Low، يعكس هذا الوضع بواسطة عاكس ويطبق بذلك مستوى H على مداخل البوابات G6 وحتى G10 وبذلك يكون الوضع المنطقي لخرج هذه البوابات متعلقاً بالوضع المنطقي للمعطيات الواردة على خطوط المعطيات (3,4,5,6,7,8,)، وفي الشكل تم استخدام الدارات 7417 التي تقوم بدور عزل بين مخرج الحاسوب والحمل وكل دارة تحوي ستة عوازل ذات خرج من نوع المجمع المفتوح open collector. القسم العلوي من دارة القيادة يكون غير فعال لأن مخارج البوابات G1,G2,G3,G4 وG5 على وضع Low. عندما تكون خطوط العنونة على الوضع LHL ينعكس الوضع تماماً فتصبح مخارج التحكم C1 حتى C5 هي الفعالة. تستخدم لغة QBASIC لإرسال أوامر التحكم من المنفذ التفرعي للحاسوب، وفيما يلي برنامج بسيط يمكنك من إرسال العنوان الذي تريده مع أمر التحكم:

```
100 INPUT " Enter the Control Command";C
OUT &H378;C
GoTo 100
```

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

في السطر الأول من هذا البرنامج البسيط يطلب إدخال أمر التحكم الذي يعطى الرمز C وعادة يكتب هذا الرمز في النظام الستة عشري. في السطر الثاني يتم إخراج هذا الأمر على خطوط المعطيات للمنفذ التفرعي للحاسوب. في السطر الأخير يمكنك إعطاء أمر جديد وإخراجه على خطوط المعطيات. وإذا أردنا على سبيل المثال أن يكون أمر التحكم هو (LHLLLLHH) أي (01000011) فإن هذا الرقم يقابل الرقم (43) في النظام الستة عشري وبذلك تكون C في البرنامج هي (43). يحوي الرقم المعطي العنوان في الخانات الثلاث الأولى من اليسار وهي (010) أي أن Y1 فعال والجزء السفلي من دارة التحكم فعال وتكون المستويات المنطقية لخطوط التحكم كما يلي: C6=C7=C8=L و C9=C10=H وفي الدارة رسمت، وعلى سبيل المثال، مرحلة ترانزيستورية موصولة إلى خط تحكم. وعندما يكون هذا الخط فعالاً فإن الترانزيستور ينتقل إلى الإشباع ويضيء الديود الضوئي الموجود في مجمع الترانزيستور. يمكن وصل ملف حاكمة في دارة مجمع الترانزيستور بدلاً من الديود مع مراعاة جهد تغذية الحاكمة، وعند ورود واحد منطق على خط التحكم تجذب الحاكمة تماسها الذي يمكن أن يؤدي إلى تشغيل فعالية كهربائية ما كمحرك مثلاً أو أية وسيلة أو أداة أخرى.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

4 أسس التصميم المنطقي

1.4 مقدمة

درسنا في الفصول الثلاث السابقة الأدوات المنطقية الأساسية التي تدخل في بناء المنظومة المنطقية وتعتبر المعلومات المتوفرة في الكتاب حتى هذا الفصل كافية للقارئ كي يبدأ في تصميمي المنظومات الإلكترونية الرقمية. لا يقتصر تصميم المنظومات الرقمية فقط على استخدام العناصر والمكونات الرقمية الواردة في الكتاب حتى الآن ولكنه قد يحتاج إلى غيرها من الأدوات الرقمية والعناصر التشابهية. سوف نقدم في هذا الكتاب شرحاً عملياً كافياً لما يلزم من هذه العناصر للمشاريع والدارات العملية التي سنتعرض لها، ولكي يتمتع المصمم بحرية ومهارة في إنجاز التصاميم يجب أن تتوفر لديه معرفة كاملة بالعناصر الإلكترونية الخطية وغير الخطية وبالدارات الإلكترونية وطرق تصميمها، كما يجب أن يكون واسع الإطلاع على الدارات والعناصر والمكونات الرقمية، وطبعاً تزداد مهارات وخبرات المصمم يوماً بعد يوم من خلال الممارسة والتعامل مع عدد كبير من المسائل التصميمية والمشاكل العملية. ومع أن هذا الكتاب يقدم لك الكثير مما تحتاجه للانطلاق في الاتجاه العملي والتصميمي، فيجب أن لا تتوقع أنك ستصبح خبير تصميم منطقي بمجرد قراءة هذا الكتاب لوحده لأن جمع الخبرة والوصول إلى درجة الخبير يتطلب جهداً كبيراً ومعرفة واسعة للعديد من خواص ومواصفات ومبادئ عمل واستخدام وتوظيف الأدوات الإلكترونية التشابهية والرقمية.

2.4 مبادئ التصميم الرقمي

يتم تصميم الدارات المنطقية باتباع الخطوات التالية:

1. تحديد المسألة التصميمية وتحديد كل من دخل وخرج الدارة، ويتم في هذه الخطوة تحديد ما الشيء الذي سيتم تصميمه، وما هي الوظائف التي سوف ينجزها والمواصفات التي يجب أن يتمتع بها؟ يحتاج المصمم عادة إلى تقسيم المسألة التصميمية إلى أجزاء فرعية وذلك من أجل

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

تبسيط وتسريع عملية التصميم، حيث يتم تقسيم المسألة إلى مسائل فرعية أصغر وأبسط ويتعلق عدد المسائل التصميمية الفرعية بدرجة تعقيد الشيء المطلوب تصميمه. لحل كل مسألة تصميمة يحدد المصمم معطيات الدخل ومتطلبات الخرج واعتماداً على خبرته يكون تصوراً عن الأدوات التي سوف يستخدمها لتحقيق المطلوب، وهنا تظهر أهمية وضرورة المعرفة وسعة الاطلاع على ما يتوفر في السوق من أدوات وعناصر منطقية وإلكترونية. وفي حال عدم توفر أداة أو أدوات منطقية تحقق المطلوب بأقل كلفة وحجم واستهلاك طاقة، يمكن للمصمم استنباط التابع المنطقي الذي يحقق الوظيفة المطلوبة بمتابعة الخطوات التالية:

2. تجهيز جدول الحقيقة المنطقي للمسألة.
3. إيجاد التابع المنطقي من جدول الحقيقة.
4. اختصار التابع المنطقي بإحدى طرق الاختصار المعروفة.
5. رسم الدارة المنطقية التي تحقق التابع الناتج.

تأتي بعد ذلك مرحلة تجريب الدارة عملياً والتأكد من صحة عملها، ويفضل أن يجري ذلك على لوحة تجريب. وبعدها وعندما يكون عمل الدارة التجريبية جيداً يتم تصنيع دارة مطبوعة وتلحم عليها العناصر والمكونات الإلكترونية وتوصل مع غيرها من الأدوات المناسبة.

3.4 الاعتبارات العملية في التصميم المنطقي

هناك مجموعة من المحددات Limitations التي يجب أخذها بالاعتبار عند التصميم المنطقي وهذه الاعتبارات هي:

- عدد مداخل كل عنصر.
- عدد العناصر الموجودة ضمن كل دارة تكاملية.
- عدد الدارات التكاملية اللازمة لتحقيق التابع المطلوب.
- استهلاك الطاقة.
- السرعة أو التأخير.
- تحميل الخرج.

فعلى سبيل المثال تأتي الدارات المتكاملة الرقمية على شكل شرائح متكاملة ذات عدد محدد من الأرجل، وتحوي كل دارة ضمنها عدداً محدداً من البوابات، وعادة تحوي الدارة المتكاملة ستة

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

عواكس inverters أو عوازل Buffers أو أربع بوابات ثنائية المدخل، أو ثلاث بوابات ثلاثية المدخل، أو بوابتين لكل واحدة منهما أربعة مداخل أو بوابة واحدة ذات ثمانية مداخل. يتعلق العدد الكلي للبوابات الموجودة ضمن الدارة التكاملية بعدد الأرجل (Pins)، فمثلاً في الدارات التكاملية ذات الـ 14 رجل تخصص رجل لمنبع التغذية المستمر، ورجل للأرضي فتبقى 12 رجل تخصص ثلاث منها لكل بوابة (إذا كانت البوابة ثنائية المداخل بمعدل مدخلين وخرج واحد) وبذلك يكون العدد الكلي للبوابات ضمن الدارة المتكاملة الواحدة هو (12/3=4)، أما إذا كانت البوابات ذات ثلاث مداخل فيكون العدد الكلي للبوابات في الدارة المتكاملة الواحدة هو (12/4=3). قد تحتاج في تصميم ما إلى سبعة عواكس وهذا يجبرك على استخدام دارتين متكاملتين الأولى فيها ستة عواكس والثانية تحوي أيضا ستة عواكس ولكنك ستحتاج فقط واحداً من هذه العواكس وتبقى خمسة عواكس غير مستخدمة.إذا كانت معلوماتك جيدة عن البوابات واستخداماتها فإنك ستعرف أن بوابة NAND أو بوابة NOR تعمل أيضاً كعاكس عند وصل مدخليها مع بعض، فإذا كانت لديك بوابة فائضة ضمن دارة متكاملة مستخدمة في التصميم عندها يمكنك استخدامها وتوفير دارة متكاملة للعواكس.إذا لزمك في التصميم المنطقي بوابة ذات خمسة مداخل وتوفرت لديك بوابة ذات ثمانية مداخل، عندها يمكنك وصل المداخل الثلاثة غير المستخدمة إلى مستوى منطقي مناسب، وعادة يستخدم جدول الحقيقة للبوابة لتحديد المكان الذي ستوصل إليه المداخل غير المستخدمة، ففي بوابات OR وNOR توصل المداخل غير المستخدمة إلى الأرضي (0 منطق)، أما في بوابات AND و NAND فتوصل المداخل غير المستخدمة إلى مستوى الواحد منطق (أو إلى مصدر التغذية).

1.3.4 المناعة ضد الضجيج واستهلاك الطاقة

Noise immunity and power consumption

تمثل المناعة ضد الضجيج واستهلاك الطاقة والسرعة أيضاً اعتبارات هامة جداً في التصميم المنطقي. ويجب أن يؤخذ المكان والبيئة التي ستعمل فيها المنظومة المنطقية بالاعتبار، فمثلاً إذا كانت المنظومة ستعمل ضمن مصنع يحوي محركات كهربائية كبيرة، أو قرب محطات إرسال راديو أو تلفزيون، فيجب استخدام دارات متكاملة من عائلات ذات مناعة عالية ضد الضجيج. والمناعة العالية ضد الضجيج تعني أن الدارة غير حساسة للجهود الضجيجية التي يتم توليدها وبثها بشكل غير مرغوب إلى النظام الإلكتروني، وإذا لم يكن ذلك كافياً فيجب استخدام الحجب Shielding وكذلك يجب استخدام أسلاك توصيل محجوبة لنقل الإشارات المنطقية.

لا يعتبر استهلاك الطاقة مشكلة في التجهيزات التي تتغذى عبر مقوم ومنظم من مصدر جهد الشبكة، ولكن يجب أن تصمم الأجهزة التي تعمل على بطاريات من عائلات منطقية قليلة استهلاك

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

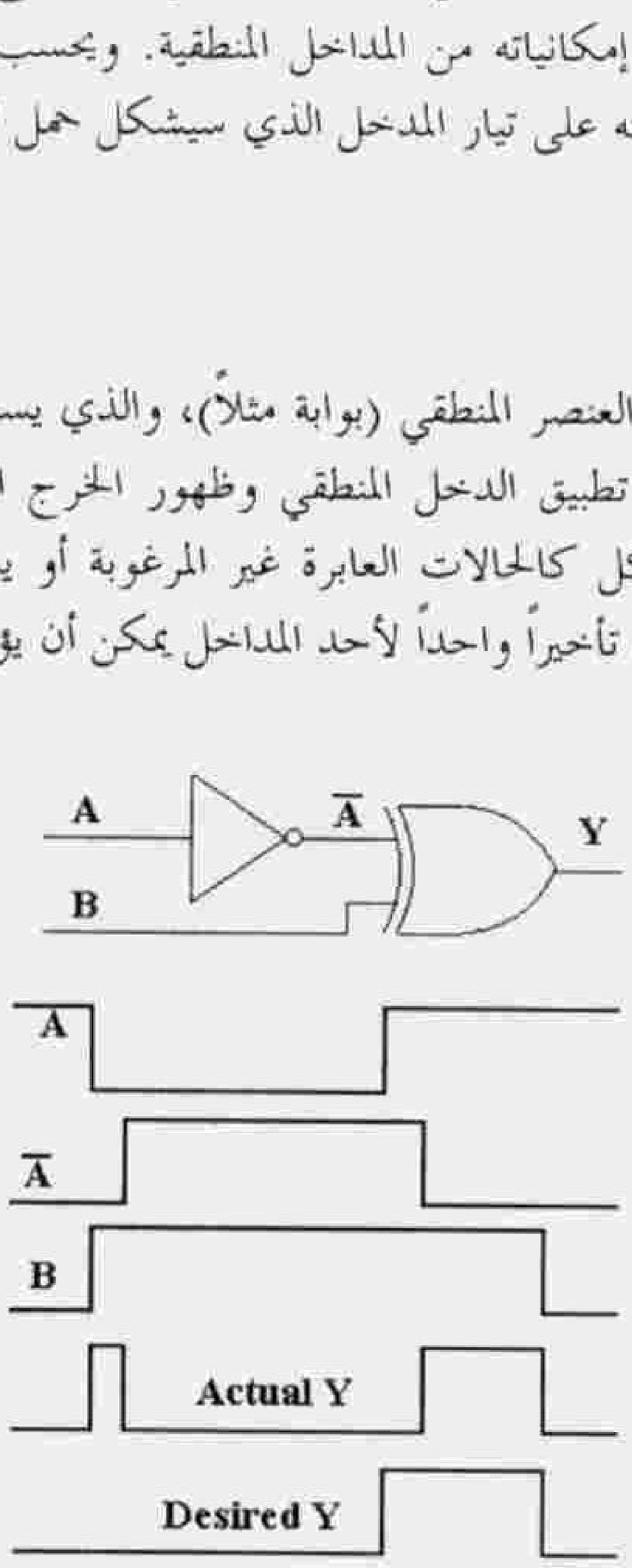
الطاقة. تعتبر سرعة العمل إحدى المعايير التي تضيق مجال اختيار نوع العائلة المنطقية. يجب دراسة الكتالوكات ونشرات المواصفات التي تعطيها الجهات الصانعة بعناية من أجل تحقيق الانتقاء الأفضل للعائلة المنطقية التي تحقق المطلوب.

2.3.4 تحميل الخرج Fan out

يمثل عامل تحميل الخرج لبوابة منطقية أو لأداة منطقية عدد المداخل التي يمكن وصلها مع الخرج في وقت واحد، ويجب مراعاة هذا العامل بدقة للتأكد من أن الخرج المنطقي للدارة لن يجبر على قيادة أو تشغيل ما يزيد عن إمكانياته من المداخل المنطقية. ويحسب هذا العامل عادة من معرفة التيار الأعظمي للخرج وقسمته على تيار المدخل الذي سيشكل حمل للخرج.

3.3.4 التأخير

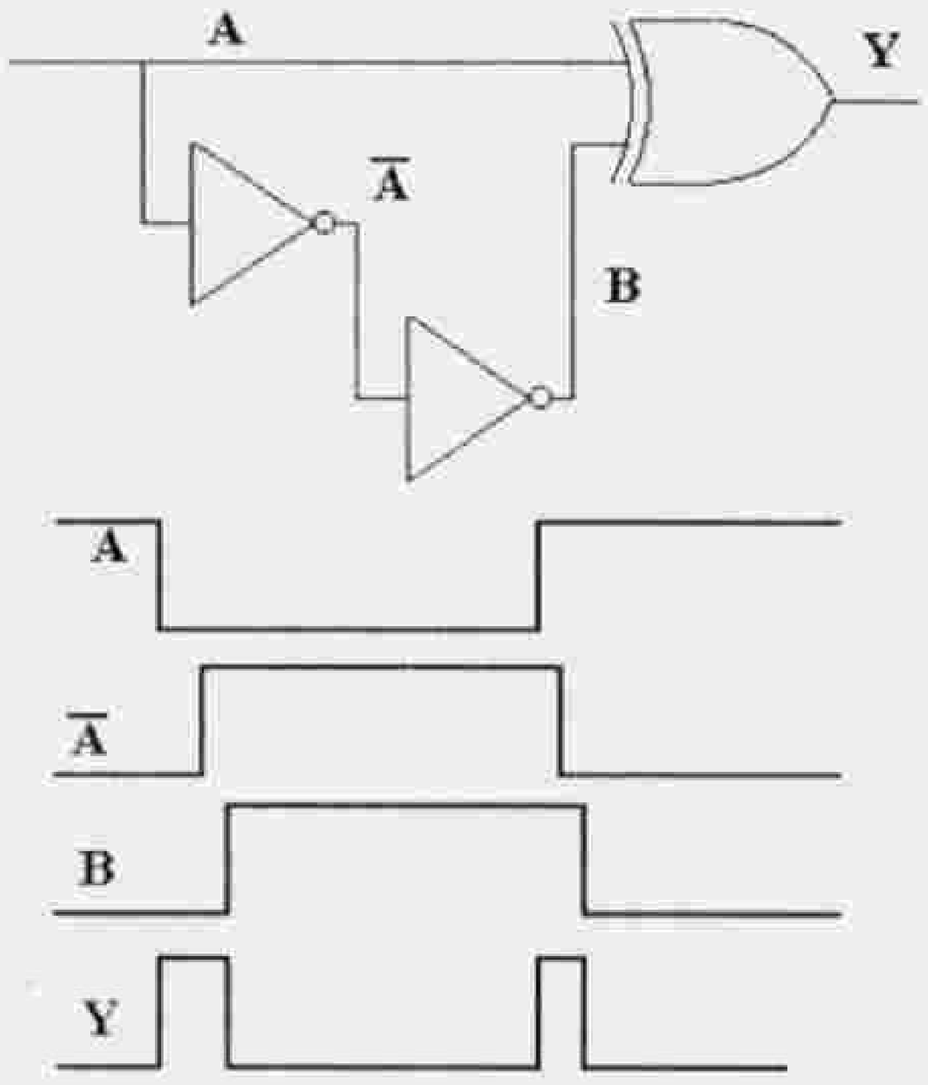
يمثل التأخير الزمني ضمن العنصر المنطقي (بوابة مثلاً)، والذي يسمى Propagation delay (تأخير الانتشار)، الوقت بين لحظة تطبيق الدخل المنطقي وظهور الخرج المنطقي الموافق. وهذا التأخير يمكن أن يسبب أحياناً مشاكل كالحالات العابرة غير المرغوبة أو يسبب ما يسمى glitches وفي الشكل التالي نوضح كيف أن تأخيراً واحداً لأحد المداخل يمكن أن يؤدي إلى حدوث glitch.



الشكل 1.4 ظهور glitch بسبب التأخير.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

يمكن أن يكون التأخير مفيداً كما في الشكل التالي، حيث يتم توليد نبضة ضيقة عند كل انتقال للدخل A من حالة منطقية إلى حالة أخرى.



الشكل 2.4 توليد نبضة عند كل تغير للدخل A من حالة إلى حالة أُخرى.

مثال:

تحوي طائرة منظومة مكونة من أربع منظومات فرعية A,B,C,D تعمل بشكل مرتبط مع بعضها البعض، ومن أجل التأكد من صحة عمل المنظومة ككل توضع في كبينة الطيار لوحة تحذير لإظهار الخطر في حالات الطوارئ، وتعرّف أربع حالات خطرة هي:

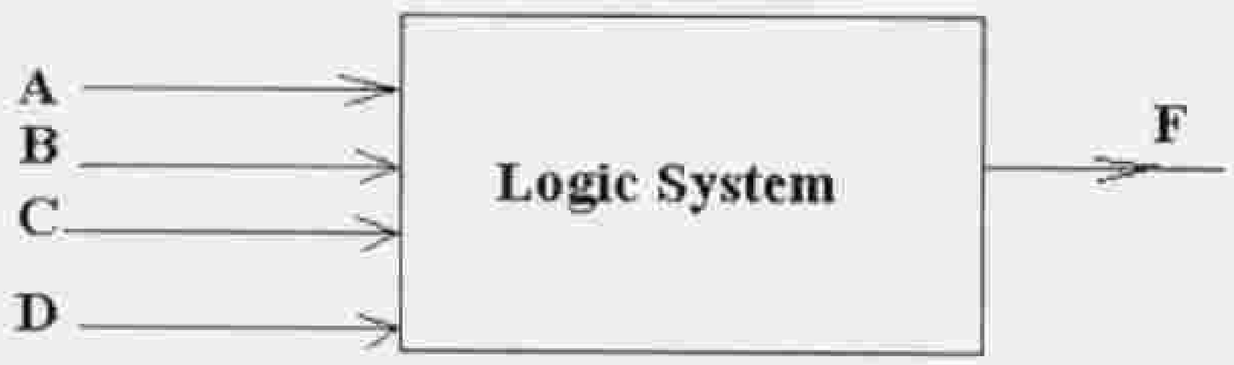
1. النظامان A&B لا يعملان.
2. الأنظمة A&B&C لا تعمل.
3. الأنظمة B&C&D لا تعمل.
4. الأنظمة B&D لا تعمل.

والمطلوب تصميم دارة منطقية تؤدي إلى إضاءة مصباح دلالة في لوحة التحذير الموجودة في كبينة الطيار عند تحقق أي من حالات الطوارئ السابقة.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الحل:

سوف نعتبر أن هذه المسألة هي مسألة منطقية، أي أن المتحولات التي ستؤخذ بالاعتبار لها حالتين (1) وتدل على أن النظام يعمل و(0) وتدل على أن النظام لا يعمل. يتكون نظام التحذير من مصباح دلالة يضيء عند تحقق أي من حالات الطوارئ. سوف نرمز للمنظومات الفرعية بمتحولات لها نفس الاسم وبذلك فإن المسألة يمكن تصورها كما في الشكل (3.4) الذي يبين أن مداخل النظام المنطقي المطلوب تصميمه هي أربع مداخل A، B، C، D وللنظام خرج واحد F وهذا الخرج يجب أن يكون فعالاً (أي يؤدي إلى إضاءة مصباح التحذير في حالات الطوارئ).



الشكل 3.4 مخطط مبسط للمنظومة المطلوب تصميمها.

نضع جدول الحقيقة للمنظومة، حيث نبين فيه الوضعيات المنطقية المحتملة للمداخل وحالة الخرج الموافقة. بما أنه لدينا أربع متحولات دخل فإن الحالات الممكنة لكافة المتحولات هي 16 حالة ولكي نراعي كل هذه الحالات دون أن ننسى أي واحدة منها نكتب جدول الحقيقة بالطريقة العامة التالية:

أول متحول يأخذ قيمة (0) في الثمانية حالات الأولى و(1) في الثمانية حالات الباقية، المتحول الثاني يأخذ قيم (0) في أول أربع حالات و(1) في الحالات الأربع التالية، ثم (0) في الأربع حالات التالية و(1) في الحالات الأربع الأخيرة. المتحول الثالث يأخذ قيم (0) في أول حالتين ثم (1) في الحالتين التاليتين وهكذا حتى النهاية، أما المتحول الأخير فيأخذ قيم (0) ثم (1) بالتناوب.

الجدول 1.4 جدول الحقيقة للنظام المنطقي المطلوب تصميمه

الرقم في مخطط كارنوف	A	B	C	D	الخرج F
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الرقم في مخطط كارنوف	A	B	C	D	الخرج F
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

يسهل العمود اليساري كثيراً عملية تدوين الواحدات (قيم F=1) في مخطط كارنوف ونلاحظ أن هذه الواحدات سوف تدون في المربعات ذات الأرقام 0، 1، 2، 3، 4، 8، 10.

CD \ AB	00	01	11	10
00	1	1	0	1
01	1	0	0	0
11	1	0	0	0
10	1	0	0	1

الشكل 4.4 مخطط كارنوف للمسألة.

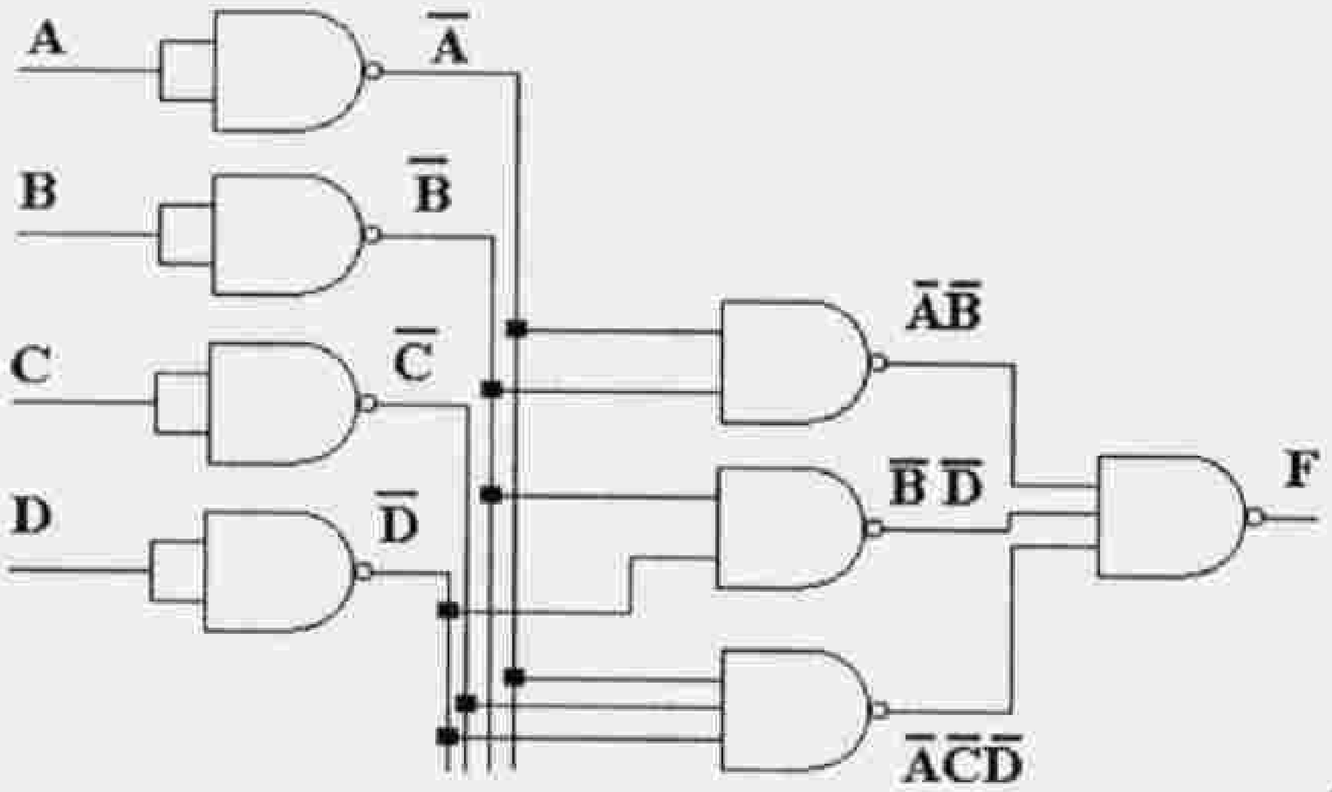
تعطي الأربع واحدات الموجودة تحت بعضها في العمود الذي فيه AB=00 الحد $\overline{A}.\overline{B}$ ، وأول واحدين من اليسار في السطر من الجدول الذي فيه CD=00 يعطيان الحد $\overline{A}.\overline{C}.\overline{D}$ ، وبلف الأربع واحدات الموجودة في الزوايا الأربع مع بعض نحصل عل الحد $\overline{B}.\overline{D}$. وبذلك يكون التابع المنطقي النهائي F هو $F = \overline{A}.\overline{B} + \overline{B}.\overline{D} + \overline{A}.\overline{C}.\overline{D}$ ، ويمكن تحقيق هذا التابع بواسطة بوابات NAND.

$$F = \overline{\overline{\overline{A}.\overline{B} + \overline{B}.\overline{D} + \overline{A}.\overline{C}.\overline{D}}} = \overline{\overline{(\overline{A}.\overline{B} + \overline{B}.\overline{D}).(\overline{A}.\overline{C}.\overline{D}}} =$$

$$= \overline{\overline{(\overline{A}.\overline{B}).(\overline{B}.\overline{D}).(\overline{A}.\overline{C}.\overline{D})}}$$

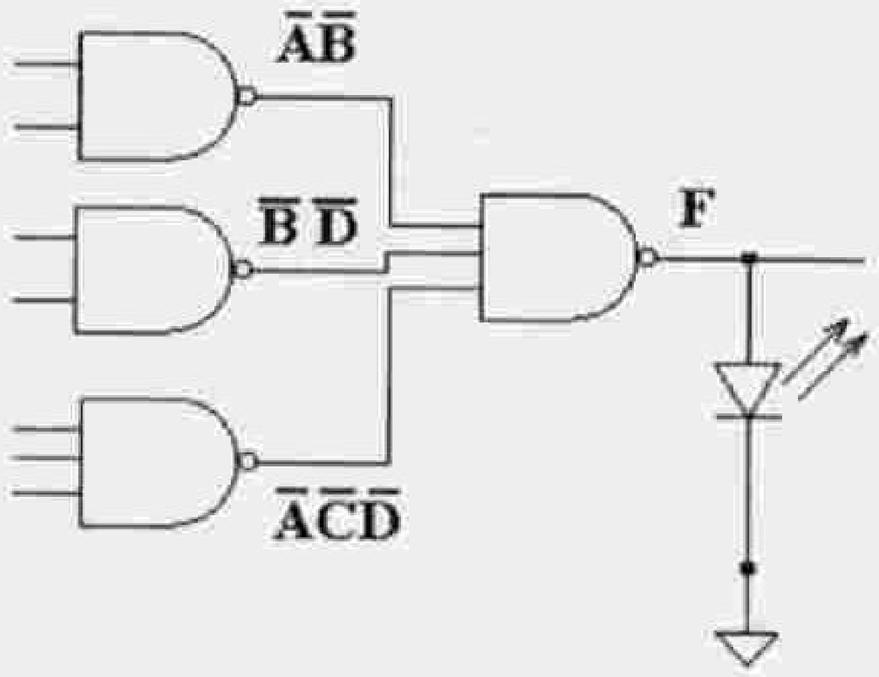
والدارة المنطقية التي تحقق المنظومة مبينة في الشكل (a 4.4).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 4.4 a الدارة المنطقية للمنظومة.

نلاحظ من المخطط المنطقي للدارة أن التابع المنطقي F يمكن تحقيقه بواسطة (6) بوابات NAND ثنائية المدخل وبوابتي NAND ذات ثلاثة مداخل. ومن أجل ذلك نحتاج إلى دارتين متكاملتين Ics من نوع 7400 لأن كل واحدة منهما تحوي (4) بوابات NAND. كما نحتاج إلى دارة متكاملة 7410 تحوي ثلاث بوابات NAND ثلاثية المداخل. وعند تنفيذ الدارة تبقى بوابتان في إحدى دارات 7400 بدون استخدام وبوابة واحدة في 7410 غير مستخدمة. يوصل مصباح الدلالة الذي سيوضع في كبينة الطيار بين خرج البوابة النهائية والأرض وهذا المصباح يمكن أن يكون LED (ديود مصدر للضوء Light Emitting Diode) بلون أحمر.

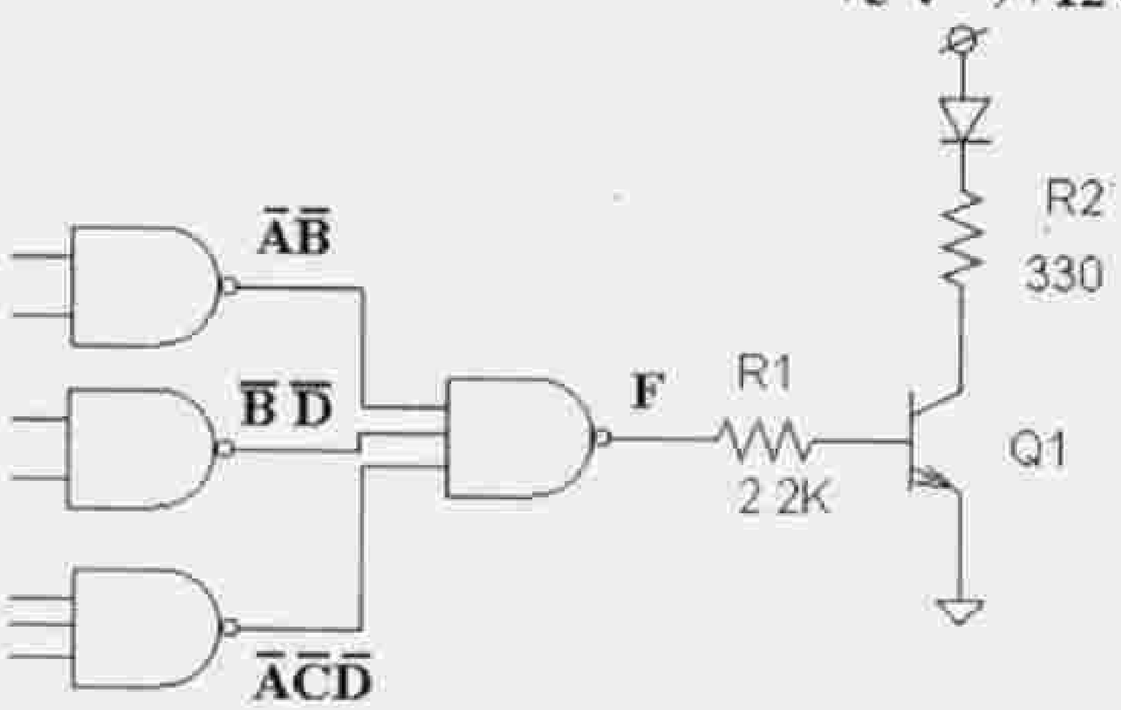


الشكل 5.4 وصل ديود مصدر للضوء إلى خرج الدارة المنطقية.

إذا كانت الإضاءة قوية جداً يمكن أن توصل مقاومة (330) أوم مع الديود على التسلسل. في حالات الضرورة يمكن استخدام دارة ترانزيستور لقيادة الديود المصدر للضوء كما في الشكل (6.4).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

عندما يكون F=1 يعمل الترانزيستور ويمر تيار عبر الـــ LED فيصدر ضوءاً، أما عندما يكون F=0 فيكون الترانزيستور في حالة قطع ولا يمر تيار في القاعدة ولا في المجمع ولا يضيء الديود. يمكن أن يكون جهد تغذية الدارة الترانزيستورية 5V+ أو 12V+. بدلاً عن الديود يمكن وصل مصباح صغير عادي.



الشكل 6.4 قيادة الـ LED بواسطة ترانزيستور.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

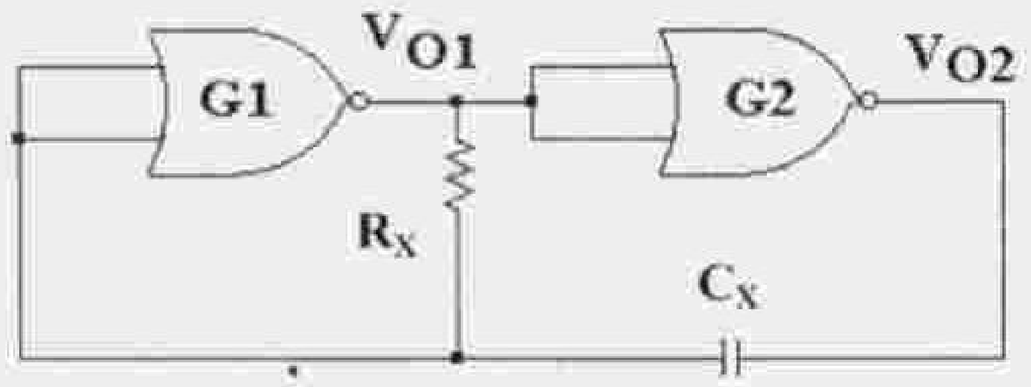
5 مولدات النبضات

1.5 مقدمة

تستخدم مولدات النبضات بكثرة في المنظومات الرقمية، ويمكن أن يكون المولد إما عديم الاستقرار ويستخدم كمصدر لنبضات Clock، أو مولد وحيد الاستقرار حيث يعطي نبضة بعرض معين بعد قدحه في لحظة معينة. سوف نستعرض في هذا الفصل الأنواع المختلفة من مولدات النبضات الشائعة الاستخدام في تطبيقات الدارات التكاملية والرقمية.

2.5 مولد عديم الاستقرار باستخدام بوابات

سوف ندرس هذا المولد على بوابات من عائلة CMOS لأن هذه البوابات قادرة على إعطاء نبضات خرج ذات مطال يصل حتى جهد التغذية، كما أن استهلاك القدرة فيها منخفض. دارة المولد عديم الاستقرار مبينة في الشكل التالي:



الشكل 1.5 دارة مولد عديم الاستقرار.

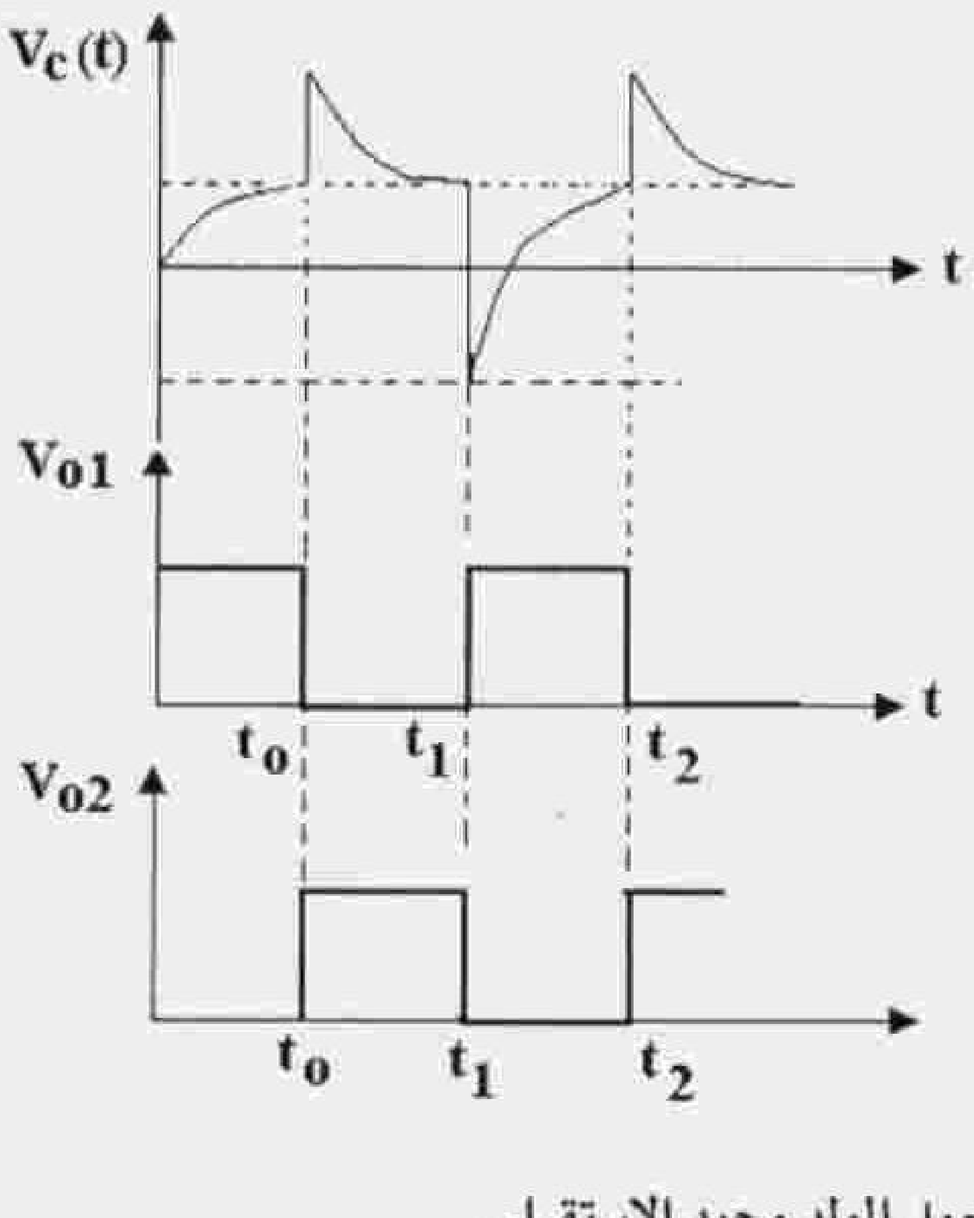
1.2.5 مبدأ العمل

لتسهيل عملية شرح مبدأ العمل سوف نهمل أزمنة التأخير ضمن البوابات وسوف نعتبر أن البوابة تغير خرجها عندما يتجاوز جهد دخلها قيمة نسميها جهد العتبة V_T . نلاحظ أن مدخلي

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

كل بوابة موصولين مع بعض وبالتالي فكل بوابة تقوم بوظيفة عاكس (يمكن مباشرة استخدام عواكس بدل هذه البوابات) وبالتالي سيكون V_{O1} (جهد خرج البوابة G1) عكس V_{o2} (جهد خرج البوابة G2). نفرض أن الوضع الابتدائي للمخارج بعد تنفيذ الدارة ووصل جهد التغذية كان بالشكل التالي:

$V_{O2}=L$ و $V_{O1}=H$ ويشحن المكثف C_X من جهد خرج البوابة G1 الذي يساوي تقريباً V_{DD} (جهد التغذية) عبر المقاومة R_X، ويزداد الجهد عليه حتى يصبح عند لحظة ما ولتكن t_0 مساوياً جهد العتبة ($V_X=V_T$). في هذه اللحظة يتغير V_{O1} من H إلى L وينتقل V_{O2} من L إلى H وفي هذه اللحظة يعطى الجهد V_X بالعلاقة $V_X=V_T+V_{DD}$، وهذا يعني أن جهد دخل G1 أصبح على وضع H فينتقل خرجها إلى وضع L ويفرغ المكثف عبر R_X بثابت تفريغ $\tau_{dis}=R_X.C_X$. وعند لحظة t_1 يصبح $V_X=V_T$ ويتغير خرج البوابة أي ينتقل من L إلى H في حين ينتقل خرج G2 من H إلى L وينخفض الجهد V_X بمقدار V_{DD} لأن V_{O2} يصبح صفراً تقريباً، أي يصبح $V_X=V_T-V_{DD}$، ويعاد شحن المكثف C_X عبر R_X من V_{O1} بثابت شحن $\tau_{ch}=R_X.C_X$ وهكذا تتكرر عملية الشحن والتفريغ وتتولد النبضات المربعة المبينة في الشكل (2.5) الذي يوضح تغيرات جهد المكثف والجهود V_{O1} و V_{O2}.



الشكل 2.5 المخطط الزمني لعمل المولد وحيد الاستقرار.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

2.2.5 استخراج علاقة تردد الاهتزاز

يعطى جهد المكثف في المجال من t_0 حتى t_1 بالعلاقة التالية:

$$v_C(t) = (V_T + V_{DD}).e^{\frac{-t}{\tau}}$$

$$t = t_1 \Rightarrow v_C(t_1) = V_T \Rightarrow V_T = (V_T + V_{DD}).e^{\frac{-t}{\tau}}$$

توافق اللحظة t_1 نصف دور الإشارة أي:

$$V_T = (V_T + V_{DD}).e^{\frac{-T/2}{\tau}}$$

ولكن $V_T = \frac{1}{2}V_{DD}$ ، نعوض فنحصل على العلاقة التالية:

$$\frac{1}{2}V_{DD} = (\frac{1}{2}V_{DD} + V_{DD})e^{\frac{-T}{2\tau}}$$

ومنها نحصل على:

$$T = 2\tau \ln(3) = 2.2RC$$

وكذلك يمكن الحصول على نفس المعادلة في المجال من t_1 إلى t_2 حيث نجد انطلاقاً من المعادلة العامة لجهد المكثف في هذا المجال أن:

$$v_c(t) = A + Be^{\frac{-t}{\tau}}$$

$$t \to \infty \Rightarrow A = V_{DD}$$

$$t = t_1 \Rightarrow v_c(t_1) = V_T - V_{DD} = A + B \Rightarrow B = V_T - 2V_{DD}$$

نعوض الثوابت في المعادلة العامة فنحصل على العلاقة التالية:

$$v_c(t) = V_{DD} + (V_T - 2V_{DD})e^{\frac{-t}{\tau}}$$

وعند $t = t_2$ نحصل على:

$$\frac{V_T - V_{DD}}{V_T - 2V_{DD}} = e^{\frac{-T}{2\tau}}$$

ومنها نحصل على العلاقة النهائية التالية:

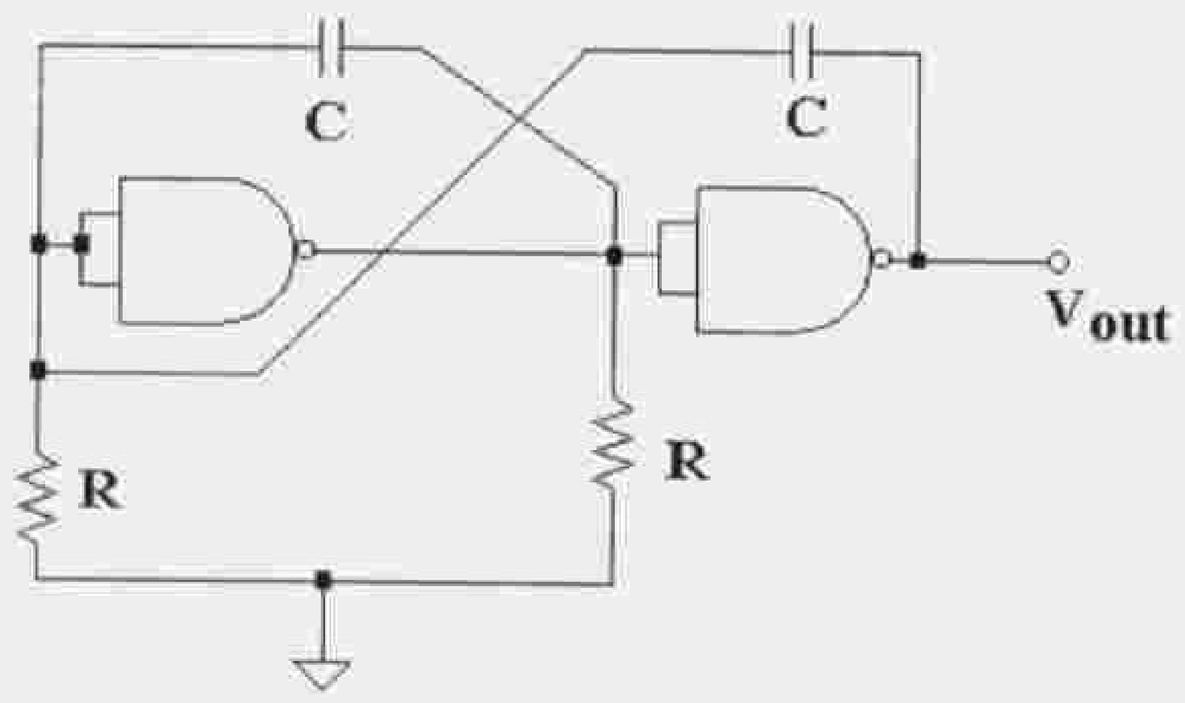
$$\frac{T}{2} = \tau \ln(3) \Rightarrow T = 2\tau \ln(3) = 2.2RC \Rightarrow f = \frac{1}{2.2RC}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الثابت الزمني في مرحلة الشحن يساوي الثابت الزمني في مرحلة التفريغ ويساوي RC ولذلك نلاحظ أن النبضات متناظرة.

3.2.5 نماذج أخرى للمولدات عديمة الاستقرار

يمكن الحصول على مولد نبضات عدم الاستقرار من أنواع مختلفة من الدارات التي تعمل على بوابات رقمية، ففي الشكل (a.2.5) تعطى دارة عدم استقرار وتعطى معادلة دور إشارة الخرج بالعلاقة $T = 1.38RC$ ، وطبعاً تمثل R و C قيمتي المقاومة والمكثف المستخدمتان في الدارة. في هذه الدارة والدارة السابقة يمكن طبعاً استخدام عواكس بدلاً من بوابات NAND أو بوابات NOR.

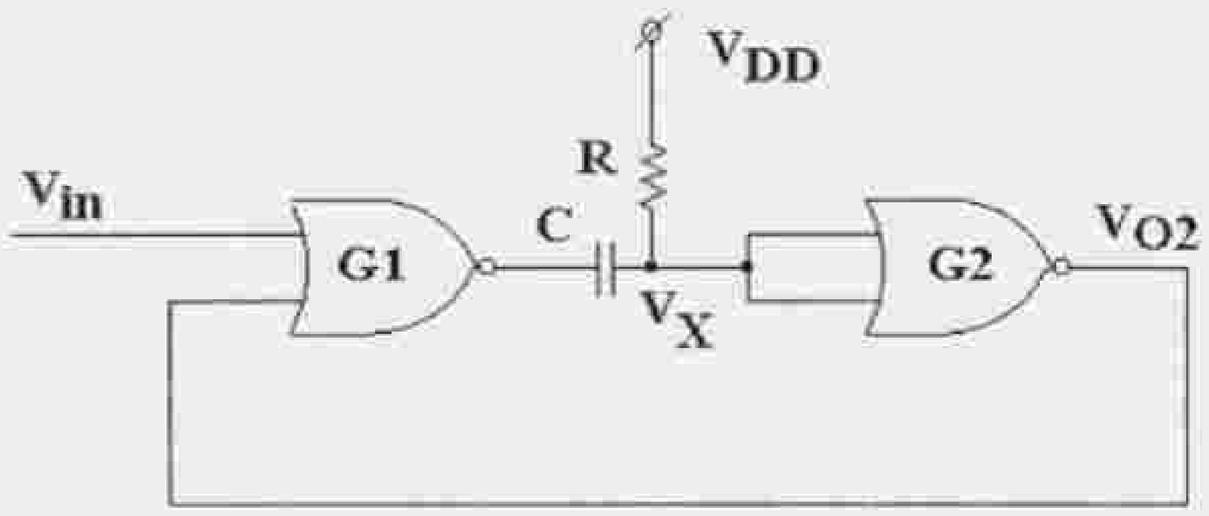


الشكل 2.5 a دارة مولد عديم الاستقرار.

3.5 المولد وحيد الاستقرار المبني على بوابات تكاملية

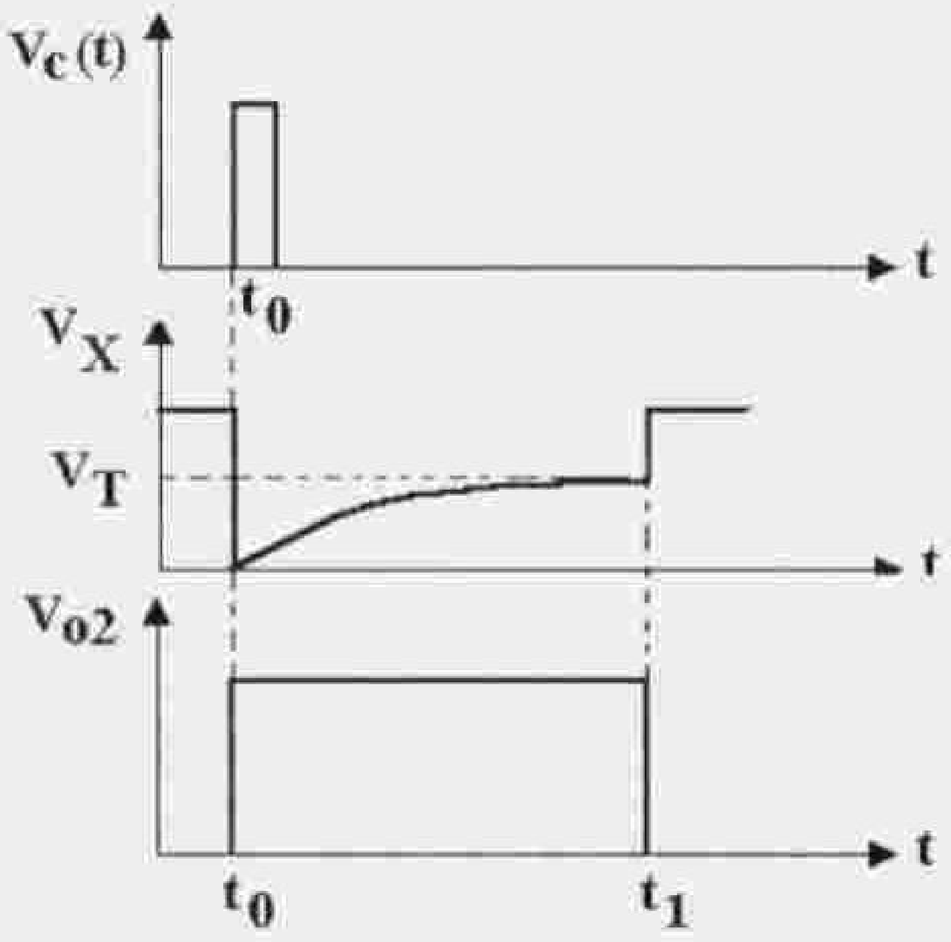
دارة المولد مبينة في الشكل (3.5) وسوف ندرس مبدأ عمل هذا المولد باعتبار أن البوابات المستخدمة من عائلة CMOS، وذلك لأن مقاومات دخل هذه البوابات عالية جداً وبالتالي فتيارات المداخل منخفضة جداً (مهملة) وبالتالي يمكن اعتبار التيار المار في المقاومة R مهملاً وهبوط الجهد عليها مهملاً وبناء على ذلك يكون $V_X = V_{DD} = H$ وخرج البوابة G2 يساوي L وخرج G1 يساوي H. لنفرض أننا طبقنا في اللحظة t_0 نبضة قدح على المدخل V_{in} للبوابة G1، عندها ينتقل خرج G1 من حالة H إلى حالة L. عندها، وبفرض أن الشحنة الابتدائية للمكثف تساوي الصفر، ينخفض الجهد V_X إلى الصفر ويمر تيار شحن للمكثف عبر المقاومة R وعبر خرج G1. ومع عملية الشحن يزداد جهد المكثف بشكل أسي حتى يصل إلى قيمة تسمى جهد العتبة V_T (Threshold Voltage).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 3.5 مولد وحيد الاستقرار.

وعند هذه القيمة $V_X = V_T$ يتغير خرج البوابة G2 إلى الصفر ويعود خرج G1 إلى حالة H، أي إلى الحالة المستقرة. توضح الأشكال التالية مبدأ العمل.



الشكل 4.5 النبضات التي توضح مبدأ عمل المولد وحيد الاستقرار.

عند اللحظة t_1 يعود جهد النقطة V_X إلى القيمة V_{DD} لأن جهد خرج G1 يعود إلى وضع H ولا يمر تيار عبر المكثف ويصبح هبوط الجهد عبر المقاومة معدوماً.

1.3.5 استخراج عرض نبضة الخرج

ننطلق من العلاقة العامة لتغيرات جهد المكثف:

$$v_c(t) = A + Be^{\frac{t}{\tau}}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

A هي جهد النقطة X في حالة الراحة والحد $Be^{\frac{t}{\tau}}$ يمثل التغير الذي يطرأ على هذا الجهد بعد تطبيق نبضة القدح، وبشكل عام تعتبر A وB ثوابت تحسب من الشروط الابتدائية للدارة وإذا اعتبرنا أن t_0 هي مبدأ الإحداثيات عندها نستطيع أن نكتب:

$$t = t_0 = 0 \Rightarrow v_X(t_0) = A + B = 0$$
$$t \to \infty \Rightarrow V_X(\infty) = A = V_{DD} \Rightarrow B = -V_{DD}$$
$$v_X(t) = V_{DD}(1 - e^{-\frac{tl}{\tau}})$$
$$t = t_l \Rightarrow V_X(t_l) = V_T \Rightarrow V_T = V_{DD}(1 - e^{-\frac{tl}{\tau}}) \Rightarrow$$
$$\frac{V_T}{V_{DD}} = 1 - e^{-\frac{tl}{\tau}} \Rightarrow e^{\frac{tl}{\tau}} = \frac{V_{DD}}{V_{DD} - V_T} \Rightarrow tl = \tau \ln\left(\frac{V_{DD}}{V_{DD} - V_T}\right)$$
$$V_T = 0.5V_{DD} \Rightarrow tl = PW = \tau \ln(2) = RC\ln(2) = 0.69RC$$

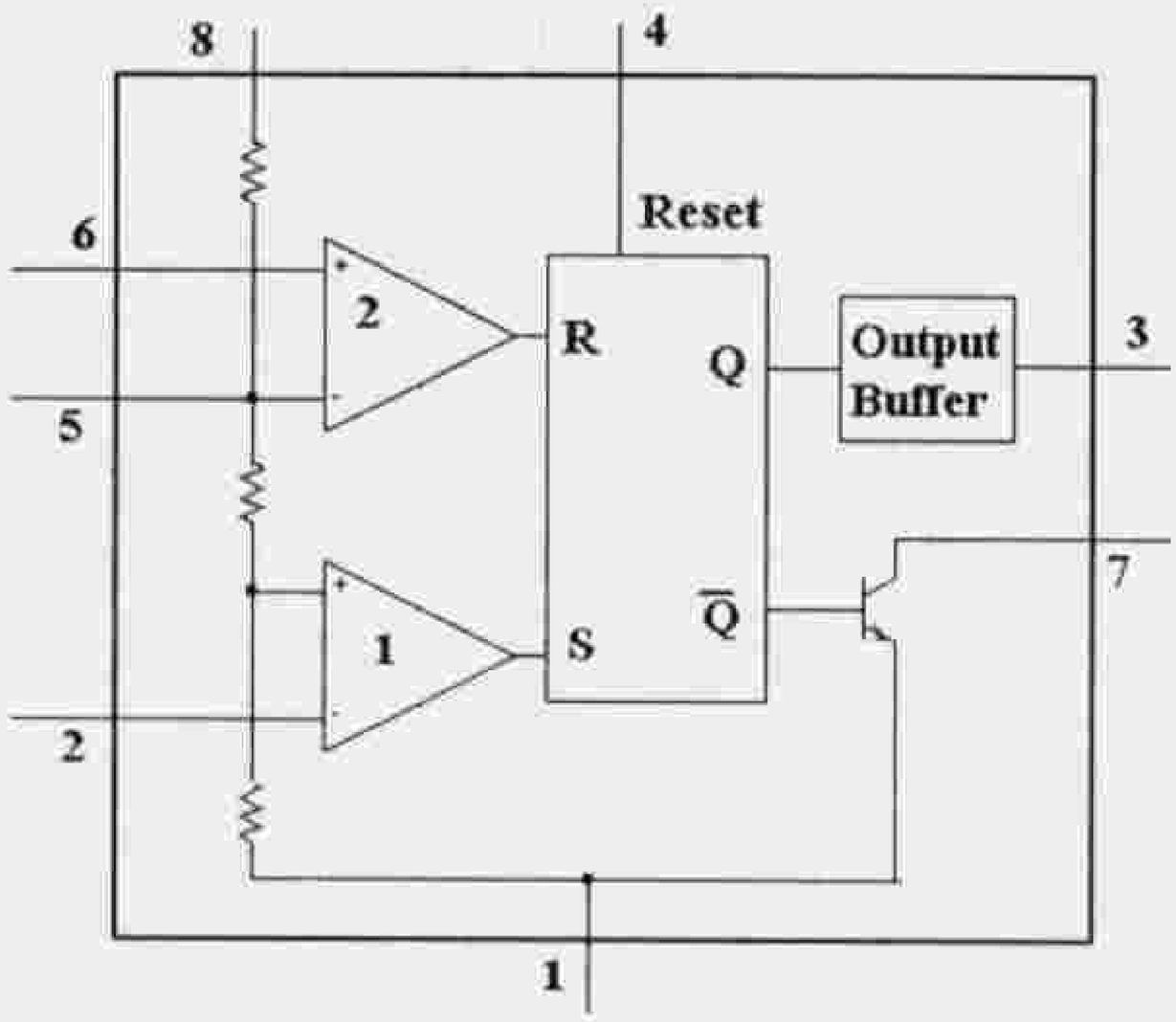
إذاً عرض النبضة يعطى بالعلاقة النهائية التالية:

$$PW = 0.69RC$$

4.5 المؤقت الزمني 555

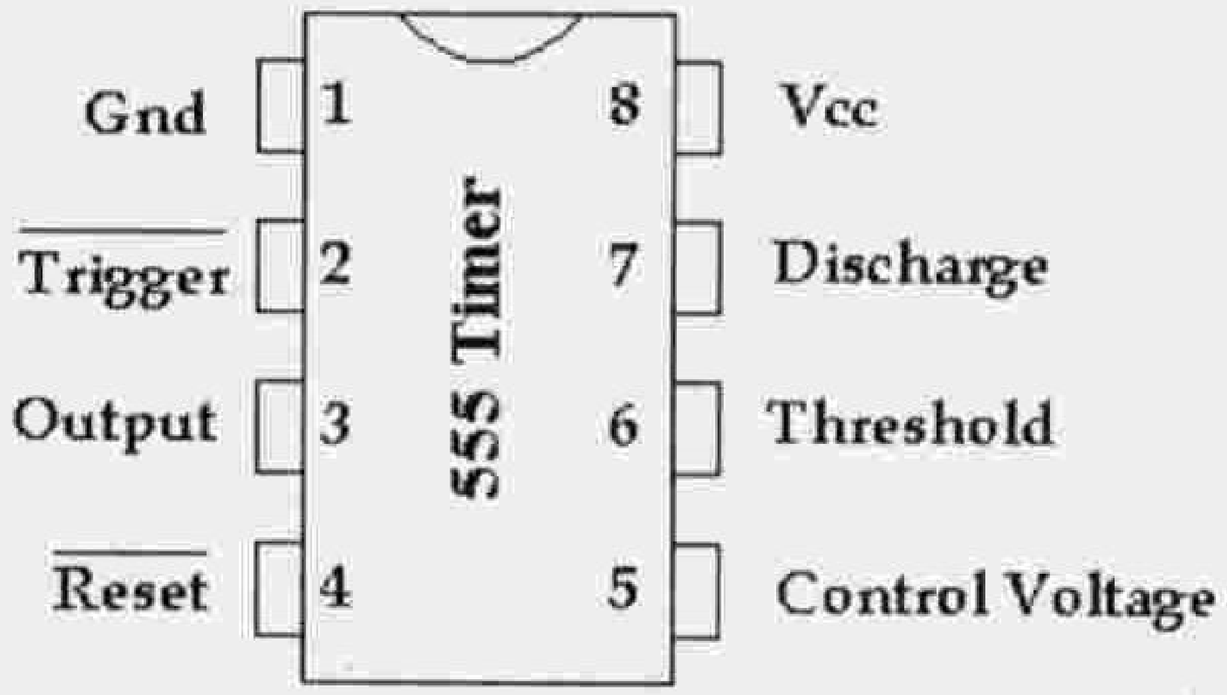
للمؤقت الزمني 555 العديد من الاستخدامات ومنها توليد النبضات، وفي الشكل (5.5) تعطى البنية الداخلية لدارة الـ 555 ونلاحظ أنها تتكون من مقارنين وقلاب RS وترانزيستور تفريغ ومرحلة خرج ومن مقسم جهد موصول مع مداخل المقارنات.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 5.5 البنية الداخلية لدارة الـ 555.

تصنع دارة الـــ 555 على شكل دارة متكاملة ذات ثمانية أرجل ويمكن تغذيتها من جهود تتراوح بين 5V+ و 15V+، يعطى في الشكل (6.5) يعطى رمز دارة الـــ 555 وتوزع أرجلها.



الشكل 6.5 رمز وتوزيع أرجل الدارة المتكاملة 555.

(1) Gnd: الأرضي

(2) Trigger: مدخل القدح

(3) Output: الخرج

(4) $\overline{\text{Reset}}$: مدخل تصفير القلاب الداخلي RS

(5) Control Voltage: جهد تحكم

(6) Threshold: العتبة

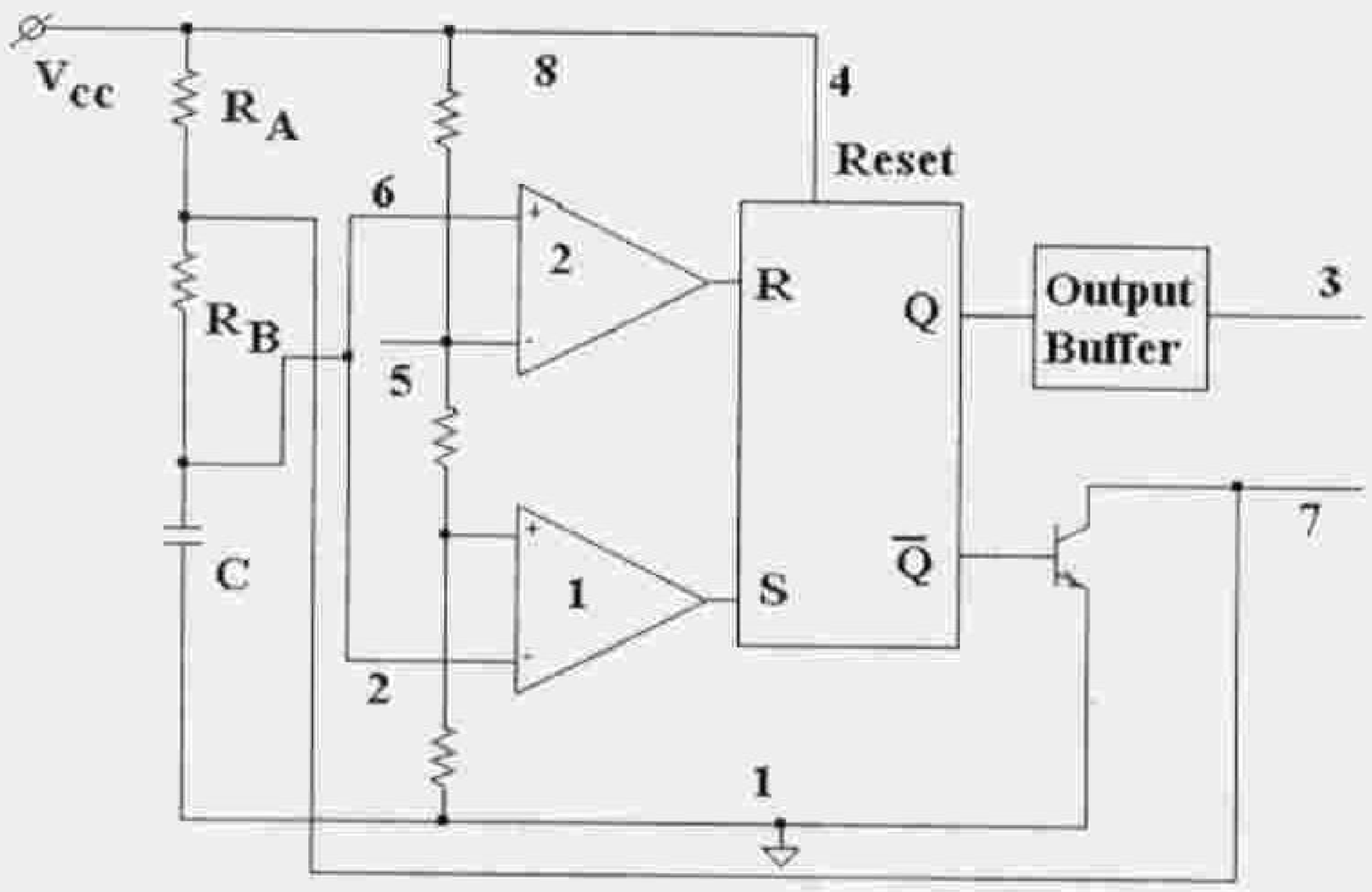
(7) Discharge: مجمع ترانزيستور التفريغ

(8) Vcc: جهد التغذية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

1.4.5 المهتز عديم الاستقرار المبني على 555

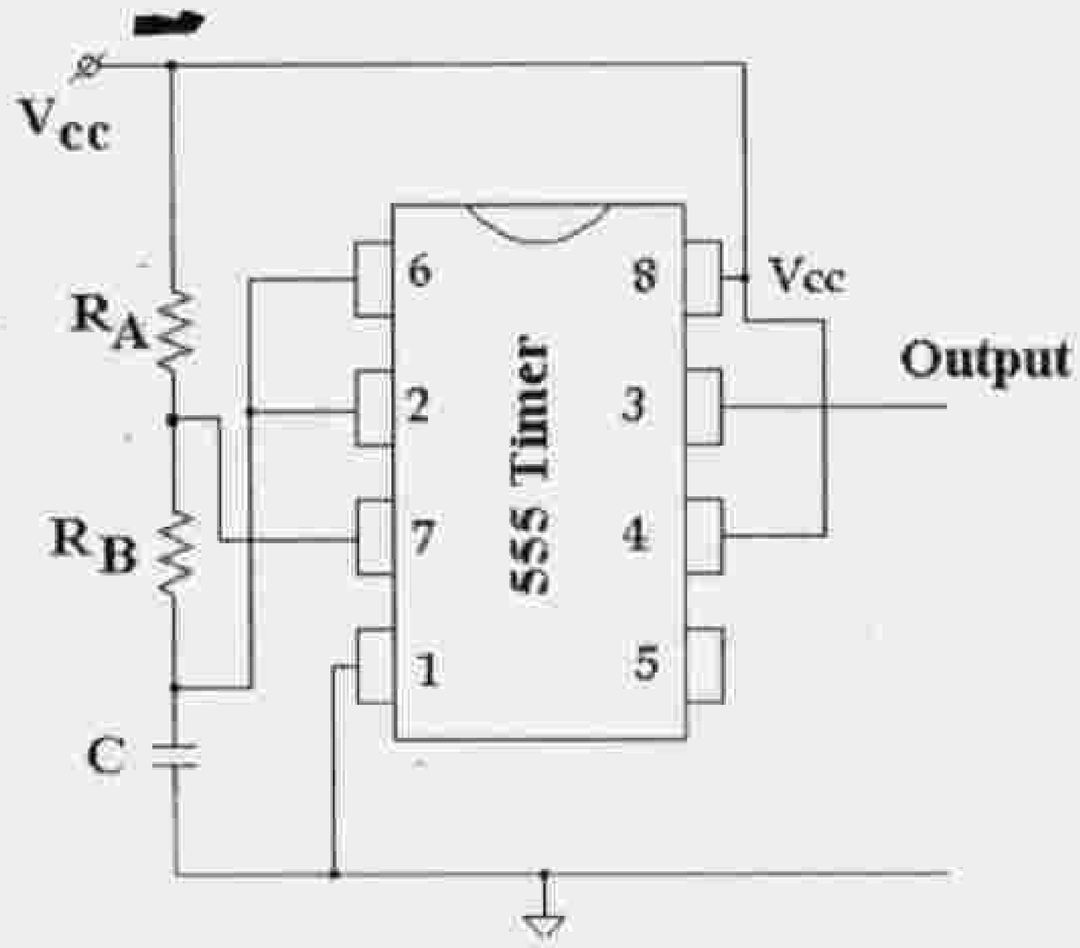
في هذه الدارة يوصل مدخلي العتبة Threshold والقدح Trigger إلى النقطة المشتركة بين المقاومات R_A و R_B. نفرض أن القلاب RS في لحظة ما كان في حالة توافق Q=H و $\overline{Q}$ = L وفي هذه الحالة يكون الترانزيستور في حالة قطع (off) ويشحن المكثف بثابت شحن $\tau_{ch} = (R_A + R_B).C$، وعند اللحظة $t=t_1$ يصبح جهد المكثف مساوياً جهد المدخل غير العاكس للمقارن الثاني وينتقل خرج هذا المقارن إلى حالة H فيتغير خرج القلاب RS فيصبح Q=L و $\overline{Q}$ = H ويصبح خرج دارة الـ 555 مساوياً L ويفرغ المكثف شحنته عبر المقاومة R_B بثابت تفريغ $\tau_{dis} = R_B.C$. وعند اللحظة $t=t_2$ يصبح جهد المكثف مساوياً لجهد المدخل العاكس للمقارن الأول فينتقل خرج هذا المقارن إلى حالة H ويتغير وضع مخارج القلاب RS ويصبح Q=H وبالتالي خرج دارة الـ 555 أيضاً H أما $\overline{Q}$ = L فيؤدي من جديد إلى إعادة شحن المكثف. وهكذا يتكرر هذا العمل وتظهر على الخرج نبضات لها الشكل المبين في المخطط الزمني لعمل المهتز.



الشكل 7.5 دارة مولد عديم الاستقرار باستخدام 555.

طبعاً هنا قد يبدو الشكل معقداً قليلاً لأنه مرسوم مع البنية التفصيلية لدارة الـ 555 بهدف توضيح مبدأ العمل أما عند التطبيق العملي فيكون الشكل أبسط بكثير ويبدو كما في الشكل (8.5).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 8.5 الدارة العملية للمهتز عديم الاستقرار.

لم يتم في الشكل الأخير ترقيم الأرجل على جانبي الدارة بشكل منتظم من أجل التخلص من مشكلة كثرة الخطوط وتقاطعاتها.

2.4.5 استخراج علاقة دور إشارة الخرج

يُعطى جهد المكثف خلال دورة الشحن بالعلاقة التالية:

$$v_{cap} = V_{cc}\left[1-\frac{2}{3}e^{\frac{t}{\tau_1}}\right]$$

$$\tau_1 = (R_A + R_B).C$$

$$t = t_1 \Rightarrow v_{cap} = \frac{2V_{cc}}{3} \Rightarrow t_1 = \tau_1 \ln(2) = 0.69(R_A + R_B).C$$

أما خلال دورة التفريغ فيعطى جهد المكثف بالعلاقة:

$$v_{cap} = V_{cc}\left[\frac{2}{3}e^{\frac{t}{\tau_2}}\right]$$

$$\tau_2 = R_B.C$$

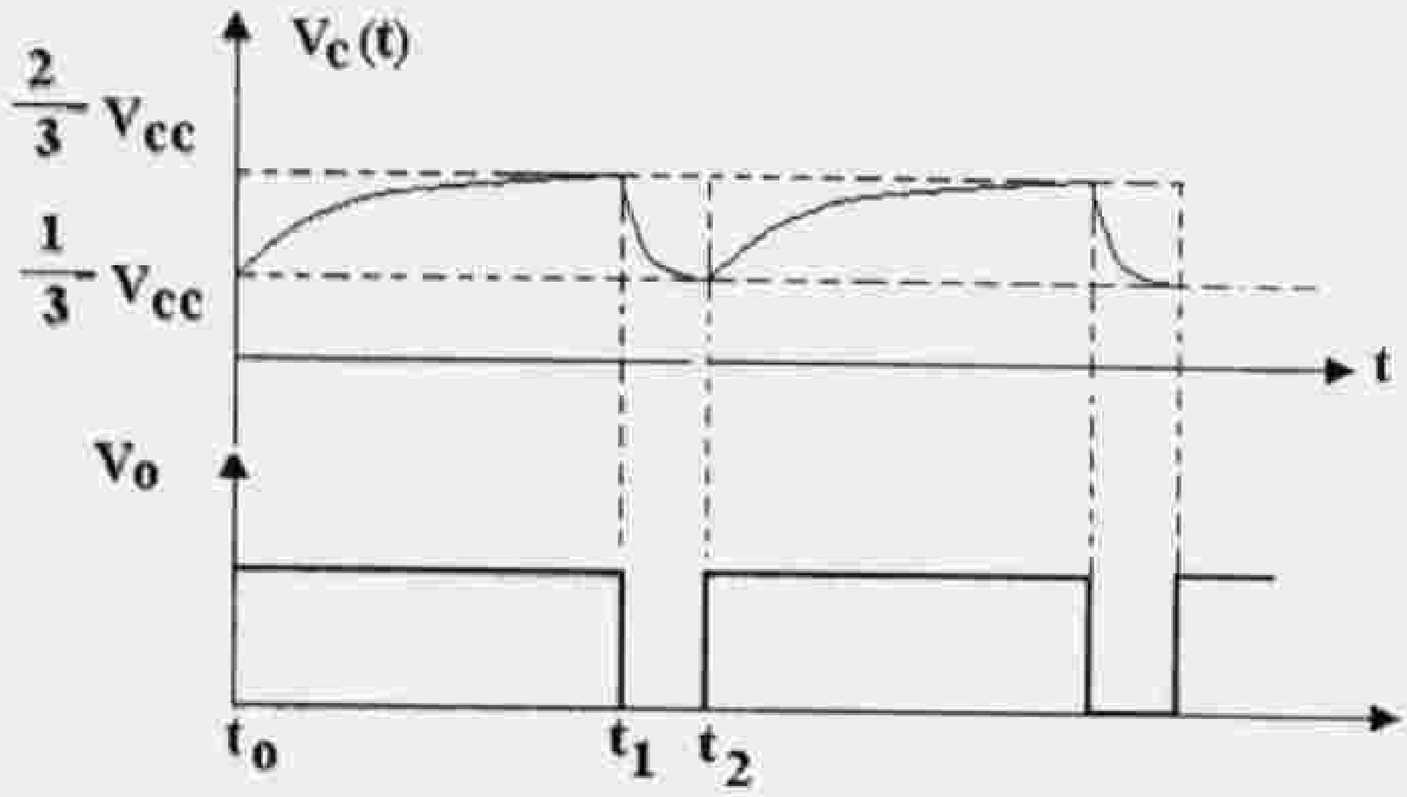
$$t = t_2 \Rightarrow v_{cap} = \frac{V_{cc}}{3} \Rightarrow t_2 = \tau_2 \ln(2) = 0.69R_B.C$$

$$T = t_1 + t_2 = 0.69(R_A + 2R_B).C$$

$$t_1 > t_2$$

$$f = \frac{1}{T} = \frac{1}{0.69(R_A + 2R_B).C}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



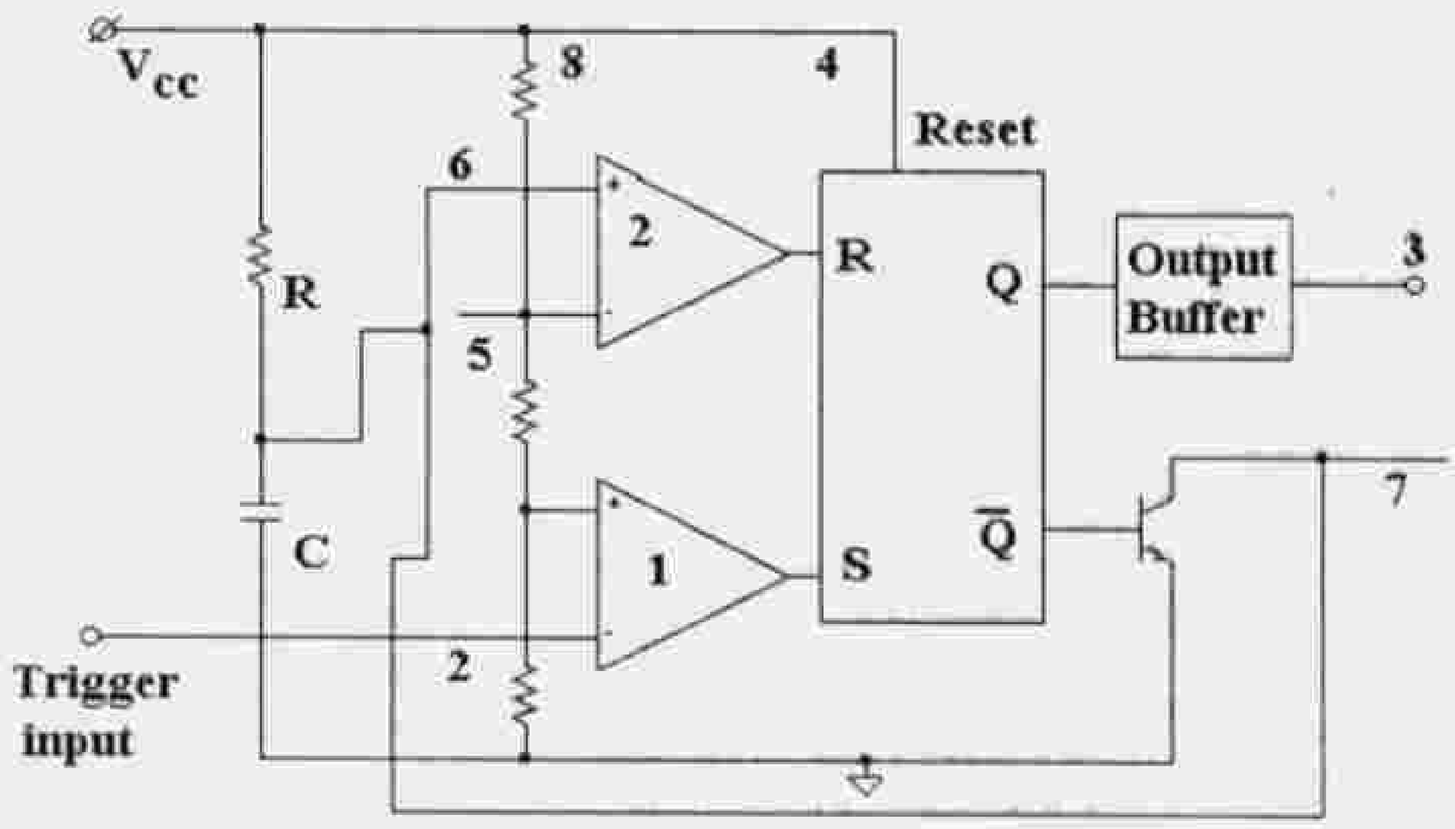
الشكل 9.5 أشكال تغيرات جهد المكثف وجهد خرج المولد عديم الاستقرار الذي يعمل على 555.

5.5 مولد وحيد الاستقرار يعمل على 555

1.5.5 مبدأ العمل

تعطى في الشكل(10.5) دارة المهتز وحيد الاستقرار. يعتمد مبدأ العمل على شحن وتفريغ المكثف وعلى المقارنات التي توجد في دارة المؤقت 555. في حالة الراحة يكون خرج القلاب RS في حالة L وخرج الدارة أيضاً في حالة L وطبعاً $\overline{Q}=H$ ويكون الترانزيستور في حالة (on إشباع) ويتحدد جهد المكثف بجهد إشباع الترانزيستور (الذي يساوي تقريباً صفر فولت). عندما يطبق جهد قدح (صفري) على الرجل (3) للمقارن الأول فإن خرج هذا المقارن ينتقل إلى حالة H والخرج Q للقلاب RS ينتقل إلى حالة H والخرج الكلي للدارة إلى حالة H أما الخرج $\overline{Q}$ فينتقل إلى حالة L، ويقطع الترانزيستور ويشحن المكثف عبر المقاومة حتى يصبح الجهد عليه مساوياً $\frac{2V_{CC}}{3}$ حيث يغير المقارن العلوي خرجه منتقلاً إلى حالة H فيعود خرج القلاب RS إلى الصفر أي $\overline{Q}=H$ فينتقل الترانزيستور إلى حالة الإشباع وطبعاً ينتقل الخرج إلى حالة L ويفرغ المكثف بسرعة عبر ترانزيستور التفريغ.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 10.5 دارة مهتز وحيد الاستقرار.

2.5.5 استخراج عرض نبضة الخرج

يعطى جهد المكثف كتابع للزمن بالعلاقة التالية:

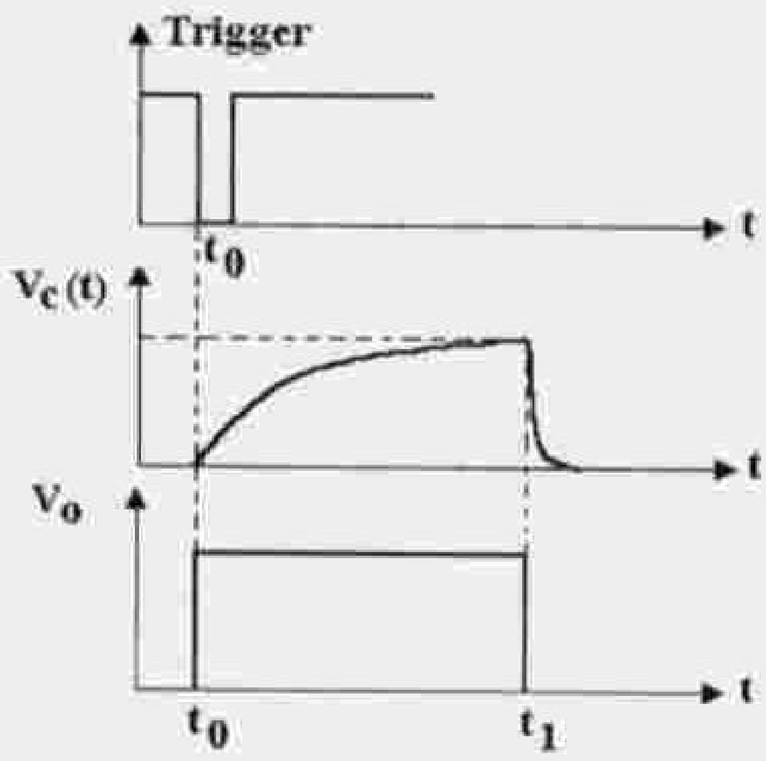
$$V_{Cap} = V_{CC}\left(1 - e^{\frac{t}{\tau}}\right)$$

$$\tau = RC$$

$$t = t_1 \Rightarrow V_{Cap} = \frac{2V_{CC}}{4}$$

$$1 - \frac{V_{Cap}}{V_{CC}} = e^{\frac{t}{\tau}} \Rightarrow t = \tau \ln\left[\frac{V_{CC}}{V_{CC} - \frac{2}{3}V_{CC}}\right] = \tau \ln(3) = 1.1RC$$

نبين في الشكل (11.5) أشكال إشارة القدح وإشارة الخرج وجهد المكثف.

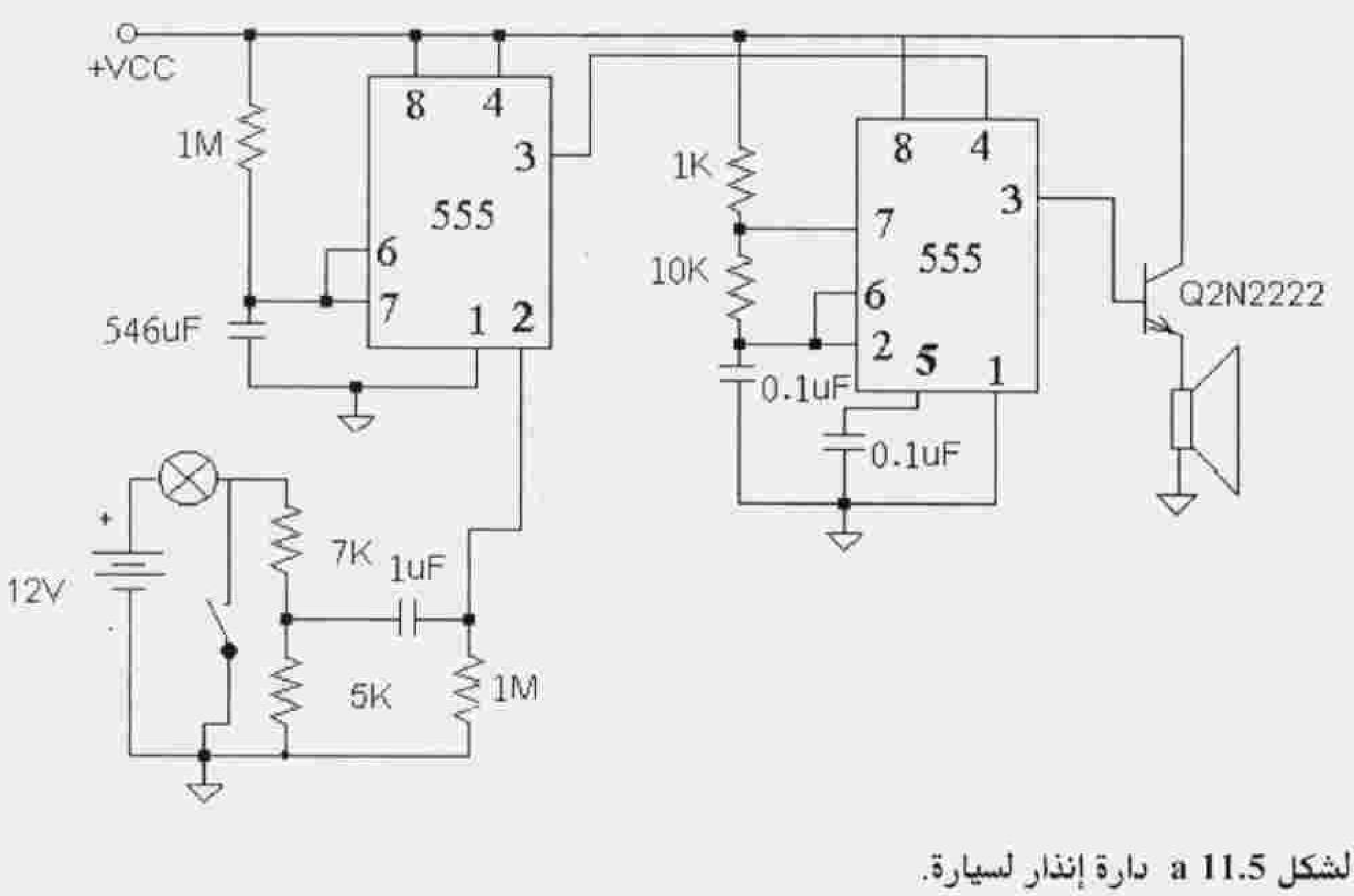


الشكل 11.5 أشكال إشارات المهتز وحيد الاستقرار.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مثال عن استخدام دارة الـ 555 كدارة إنذار

في الشكل تعطى دارة إنذار تعمل حسب وضعية باب سيارة والمطلوب تحليل عمل هذه الدارة ومعرفة الفترة الزمنية التي تعمل خلالها الدارة مع العلم أن المفتاح الموجود في الأسفل يتعلق بوضع الباب والوضع المبين للمفتاح في الدارة هو الوضع عندما يكون الباب مغلقاً.



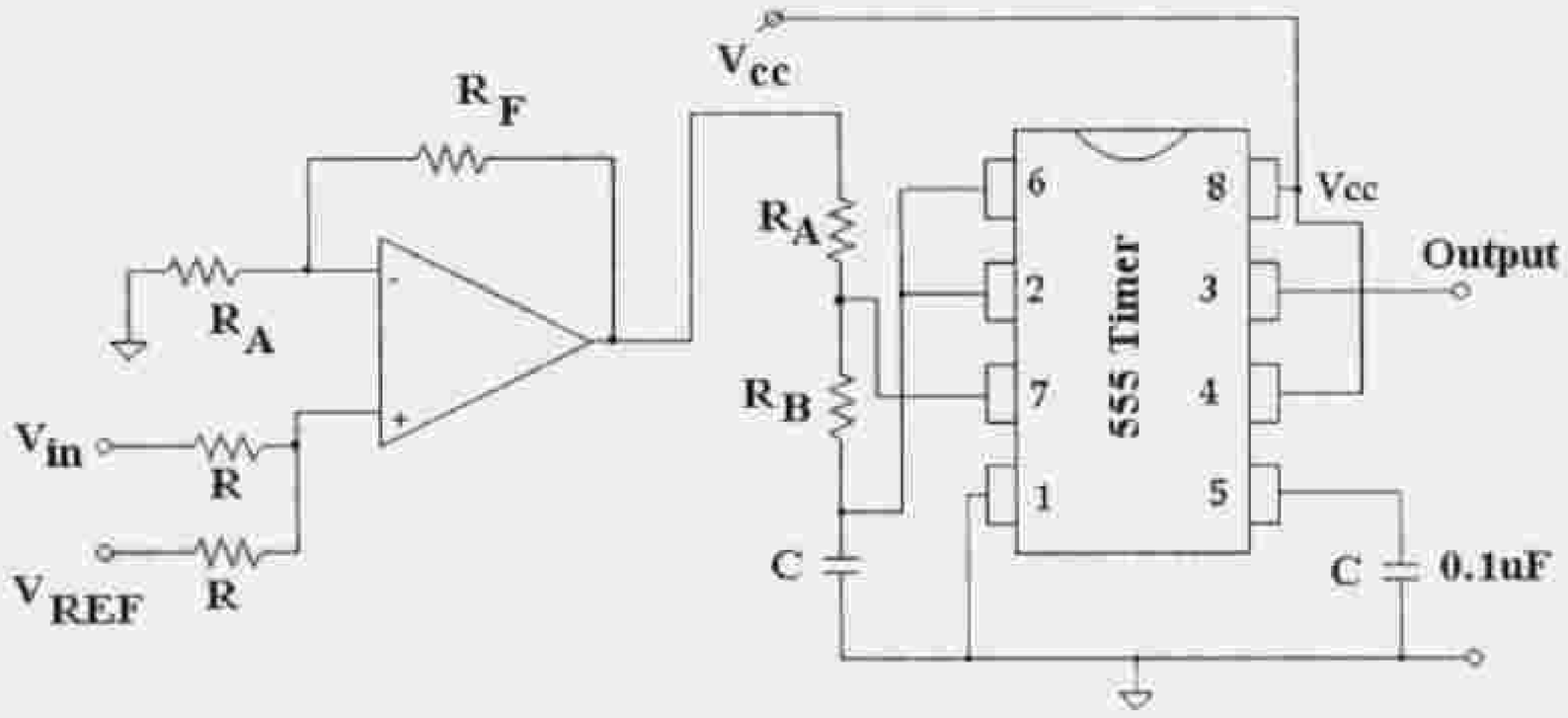
الشكل 11.5 a دارة إنذار لسيارة.

6.5 المولدات VCOs Voltage Controlled Oscillators

تسمى الهزازات (أو المولدات) التي يتغير جهد خرجها وفقاً لإشارة دخل أخرى بالهزازات المتحكم بها جهدياً Voltage Controlled Oscillators ويرمز لها اختصاراً باسم (VCO)، وتستخدم في توليد النغمات، وفي المبدلات A/D وفيها يتم تغيير التردد اعتماداً على تغيير الجهد الذي يشحن المكثف إليه.

تعطى في الشكل (12.5) دارة VCO تعمل على 555 وعلى مضخم عملياتي OP AMP.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



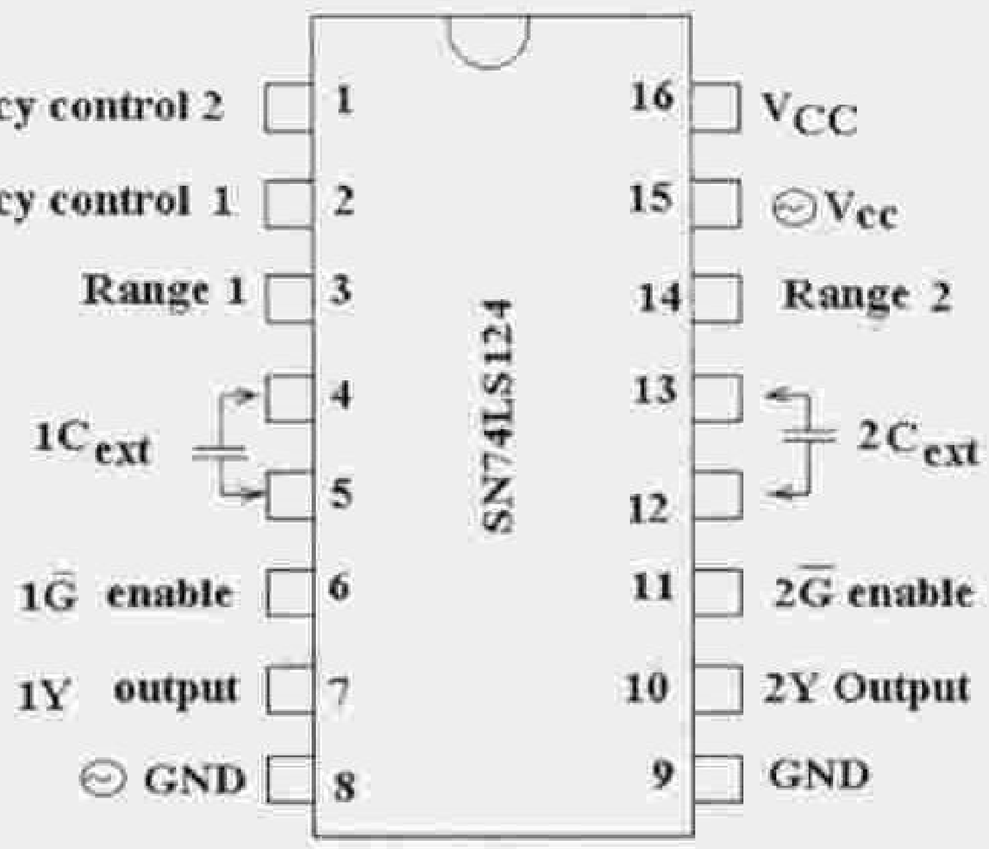
الشكل 12.5 دارة VCO تعمل على 555 وعلى OP AMP.

تتوفر دارة متكاملة من عائلة TTL تحوي بداخلها هزازي VCO وهي الدارة المتكاملة 74LS124، ويتم الحصول على تردد الخرج من كل VCO بإضافة عنصر خارجي واحد (إما كريستال أو مكثف). يوجد لكل هزاز مدخل للتحكم بالتردد ومدخل آخر للتحكم بمجال التردد، ويمكن استخدام هذين المدخلين لتغيير تردد الخرج. يمكن استخدام أي من الهزازين للعمل في المجال الترددي (0.2-30) ميغا هرتز عند استخدام دارة متكاملة من النوع LS124 أو في المجال الترددي (0.2-85) ميغا هرتز عند استخدام دارة متكاملة من النوع S124. تعطى العلاقة التقريبية لتردد الخرج بالعلاقات التالية:

$$f_o = \frac{1\times10^{-4}}{C_{ext}} \quad \text{for LS124}$$

$$f_o = \frac{5\times10^{-4}}{C_{ext}} \quad \text{for S124}$$

C_{ext}: هي السعة الخارجية التي توصل مع الهزاز. وفي الشكل التالي تعطى وظائف الأرجل لهذه الدارة المتكاملة:



الشكل 13.5 شكل الدارة المتكاملة 74124.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

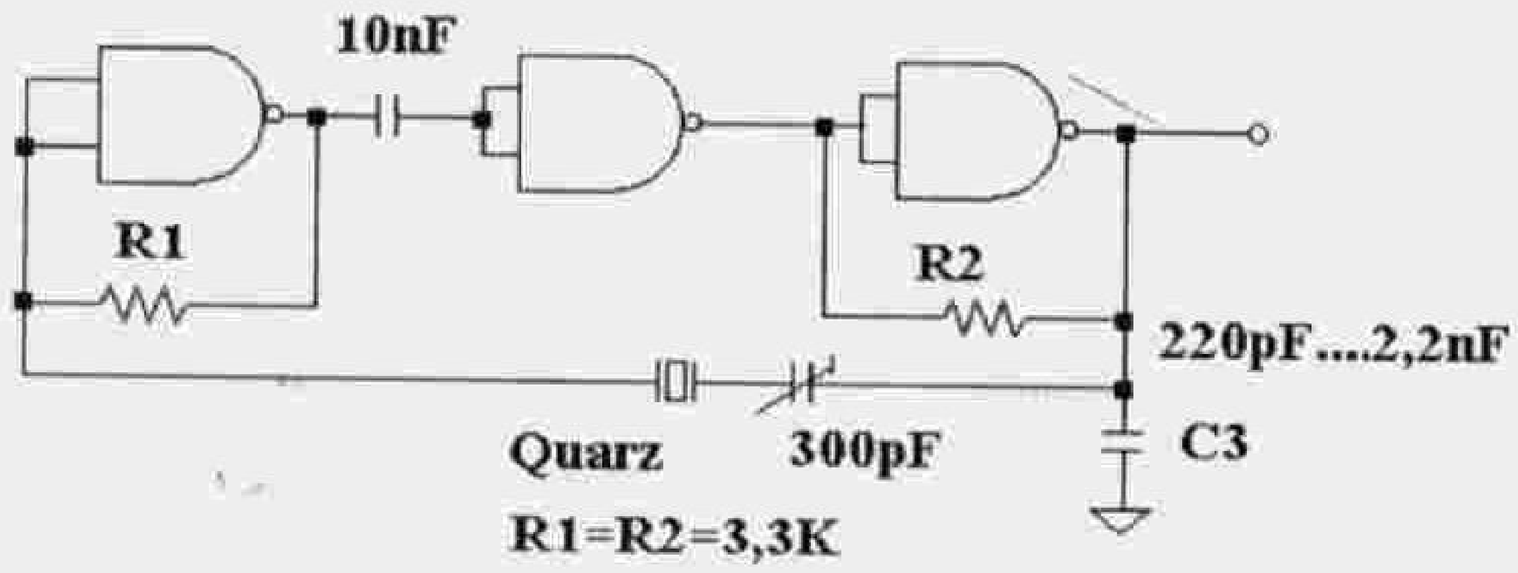
الدارة مزودة بمدخلي V_{cc} - و GND - من أجل دارات التحكم بالتردد. عند وصل كريستال مع الدارة يفضل استخدام مكثف بقيمة (2-10)pF على التسلسل مع الكريستال. للحصول على مزيد من المعلومات عن هذه الدارة المتكاملة ينصح بالعودة إلى المرجع TTL Data Book.

7.5 المولدات الكريستالية

من أجل تحسين استقرار تردد مولد النبضات تستخدم المولدات الكريستالية كما في الشكل (14.5). وعادة ما تستخدم لهذا الغرض بوابات من نوع TTL –Low Power أو TTL –LS وذلك عند الرغبة في توليد ترددات من (0.1) وحتى (1) ميغا هرتز. يتعلق انحراف التردد بالبلورة (الكريستال) المستخدمة ويكون حتماً أفضل من (10^{-5}). يرمز عادة لانحراف التردد بالرمز $\Delta f/f$ ويعبر عن مقدار تغير التردد منسوباً إلى التردد (انحراف نسبي) وكلما كان $\Delta f/f$ صغيراً كان استقرار التردد أفضل. تستخدم بوابات Standard TTL للحصول على تردد (0.2-5)MHz، ويتم عادة اختيار المقاومات في هذا المجال الترددي $R_1 = R_2 = 1K\Omega$، ومن أجل الترددات الأصغر من 1MHz تستبدل المقاومة R_1 بملف L=10mH. تستخدم المقاومات R_1 و R_2 من أجل الحفاظ على نقاط عمل البوابات في المنطقة الخطية، أما المكثف C_3 فيستخدم لترشيح المدروجات العالية وتحسب القيمة المثالية لهذا المكثف من العلاقة:

$$C_3 = \frac{680pF}{f};(f \quad \text{in MHz} \quad)$$

من المفيد عملياً عند الرغبة في الحصول على تردد أصغر من 100KHz أن يتم توليد تردد أعلى ثم استخدام مبدأ تقسيم التردد للحصول على التردد المطلوب لأن الكريستالات منخفضة التردد كبيرة الحجم وغالية الثمن. تعمل البوابة الأخيرة الموجودة في الدارة على تحسين نبضة الخرج وعزل المولد عن الحمل.

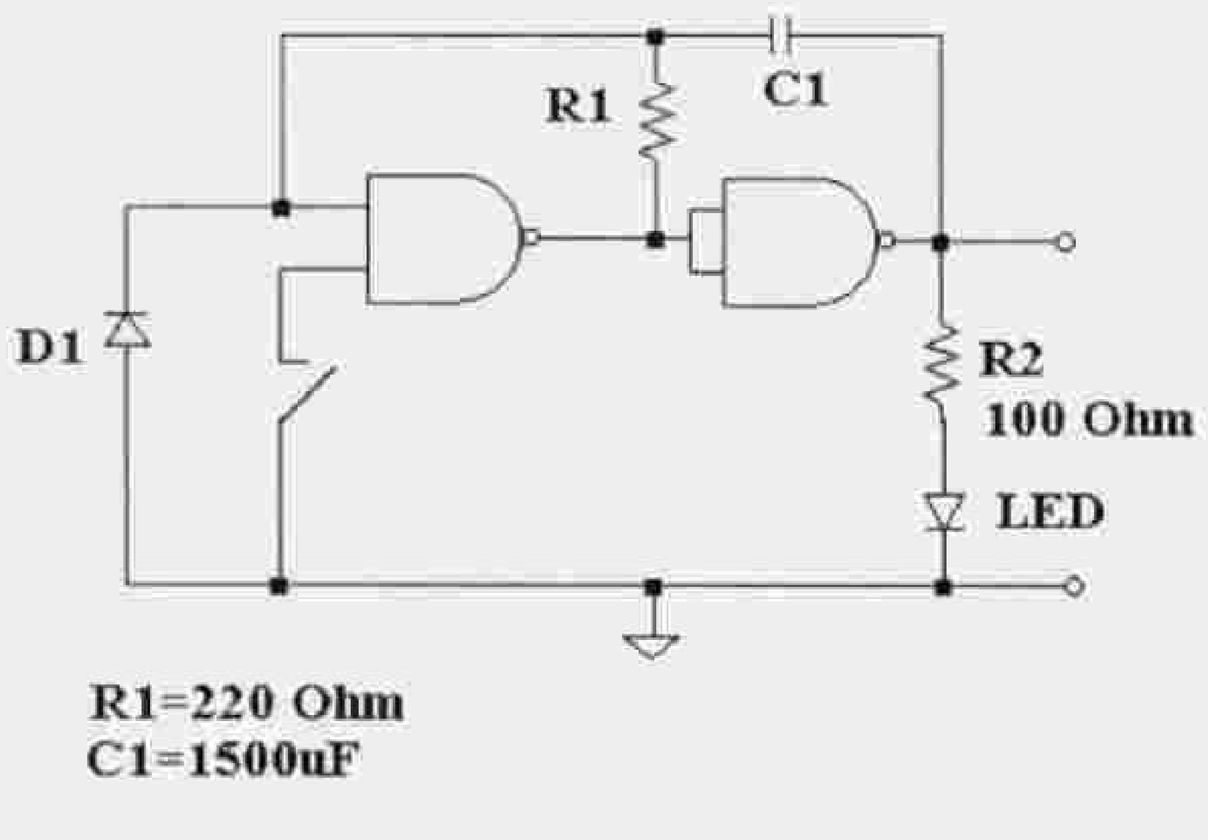


الشكل 14.5 مولد نبضات كريستالي يعمل على بوابات متكاملة.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

8.5 مولد نبضات يدوي

غالباً ما يحتاج المصمم في مرحلة تجريب الدارات الرقمية إلى مولد تردد يعمل يدوياً (أي بالضغط على زر)، وفي الشكل التالي مثال عن مثل هذا المولد. وفي هذا الشكل يتم توليد نبضة مع كل كبسة زر. يستخدم هذا المولد عند اختبار القلابات والعدادات ومسجلات الإزاحة وهي في طور التصميم والتجريب، يستخدم الـ LED الموجود على طرفي الخرج كوسيلة بيان لتوليد النبضة، أما الديود D1 فيستخدم لحماية بوابة الدخل من الجهود السالبة. يعطى عرض نبضة الخرج بالعلاقة T=KRC حيث K=3.8 إذا كانت البوابات المستخدمة من عائلة Standard TTL.



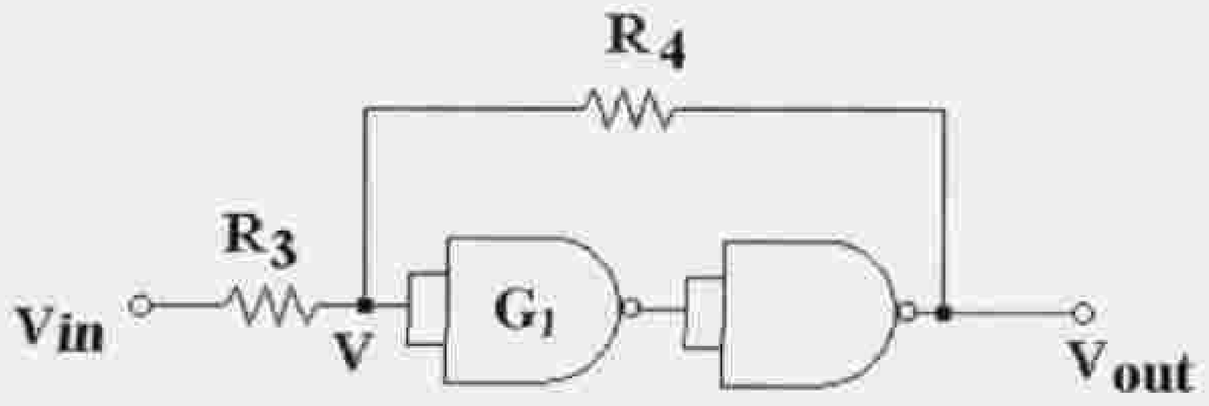
الشكل 15.5 مولد نبضات يدوي.

أبرز سلبيات هذه الدارة هي علاقة دور النبضات بالحمل، والشكل غير النظيف للنبضات (نبضات مشوهة)، ويمكن التخلص من هذه السلبيات عن طريق وصل بوابة عاكس أو بوابة عزل في خرج المولد.

9.5 قادح شميت Shmitt Trigger

يستخدم قادح شميت كمقارن مطالي فيعطي تغيراً لحظياً في خرجه عندما تصل إشارة دخله V إلى مستوى معين، ويمكن بذلك استخدامه لتحويل أي شكل دوري في الدخل إلى نبضات مربعة ذات حواف حادة (أزمنة صعود وهبوط منخفضة)، والشكل التالي يبين قادح شميت مبني على بوابات NAND.

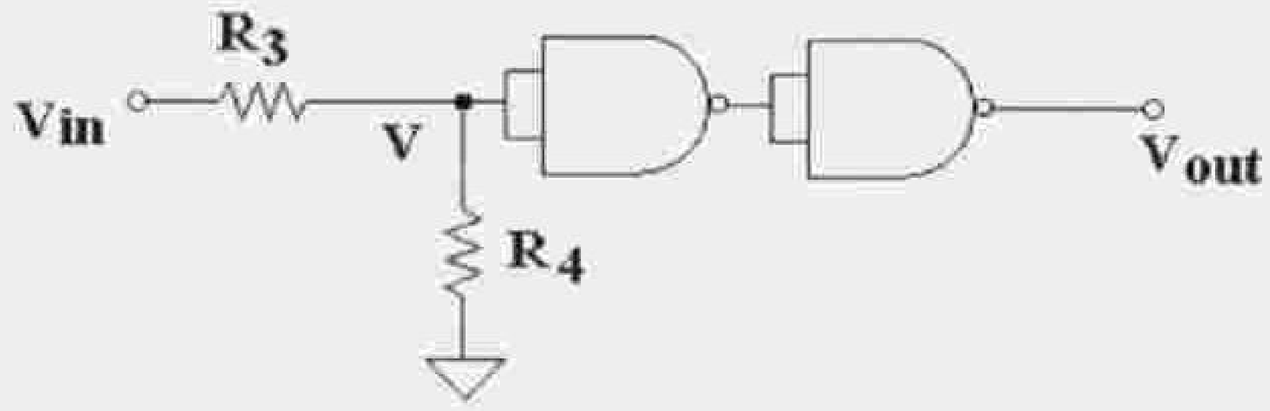
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 16.5 قادح شميت.

بفرض أن V هو جهد دخل البوابة G1 وعندما يكون جهد الدخل على وضع L فإن خرج القادح سيكون L ويستمر الخرج على هذه الحالة طالما بقي $V < V_T$، باعتبار V_T هو جهد العتبة للبوابة G1 (جهد العتبة هو الجهد الذي يتغير عنه وضع خرج البوابة)، ويؤدي وجود المقاومة R_4 إلى تعزيز إبقاء الخرج على وضع L حيث يمكن رسم دارة الشكل السابق كمافي الشكل (17.5) وذلك طبعاً عندما يكون الخرج على وضع L، ومن هذا الشكل نجد أن:

$$V = \frac{V_{in} . R_4}{R_3 + R_4}$$



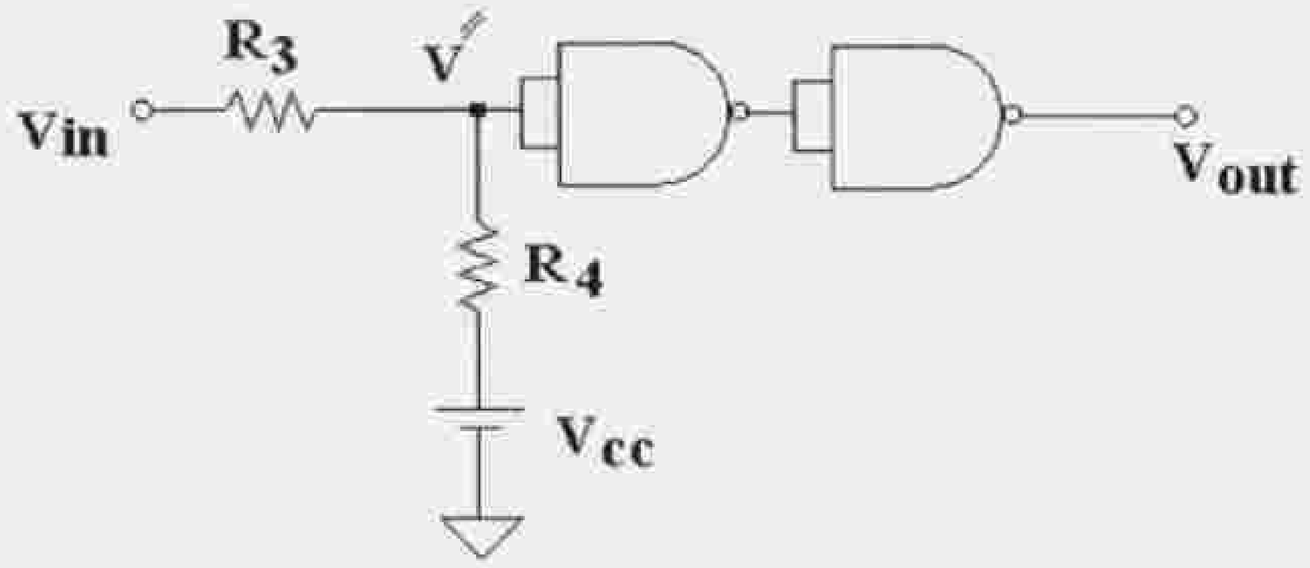
الشكل 17.5 دارة توضيحية عندما يكون خرج القادح على وضع L.

ومن هذه المعادلة نلاحظ أنه طالما بقي $V_{in} < V_T$ فإن V سيكون أصغر من V_{in} ويبقى الخرج بحالة L وتستمر زيادة V_{in} حتى يصبح $V = V_T$ عندها ينقلب الخرج من L إلى H ويستمر على وضع H طيلة كون $V > V_T$، ويمكننا حساب قيمة V_{in} التي يحدث التغير عندها كما يلي:

$$\frac{V_{cc}}{2} = V = \frac{V_{in} . R_4}{R_3 + R_4} \Rightarrow V_{in} = \frac{V_{cc}}{2}(1 + \frac{R_3}{R_4})$$

وعندما يبدأ جهد الدخل بالانخفاض ينخفض معه V، ولكن وجود R_4 يؤدي إلى جعل قيمة جهد الدخل V_{in} التي ينعكس عندها الخرج من H إلى L أصغر من القيمة التي انقلب عندها الخرج من L إلى H، ويمكن توضيح ذلك من خلال الشكل التالي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 18.5 شكل لحساب جهد الدخل الذي يحدث عنده انتقال للخرج من H إلى L.

من هذا الشكل وباعتبار V'' جهد دخل أول بوابة نجد:

$$V'' = V_{cc}\left[\frac{V_{in}}{R_3+R_4}+\frac{V_{cc}}{R_3+R_4}\right]R_4 = V_{cc}-\frac{V_{in}R_4}{R_3+R_4}-\frac{V_{cc}R_4}{R_3+R_4}$$

ومن هذه العلاقة نلاحظ أننا نحتاج إلى تخفيض جهد الدخل كثيراً حتى يحدث التغير من H إلى L في الخرج ولحساب قيمة V_{in} التي يحدث عندها الانتقال نكتب:

$$V'' = V_T = V_{cc}-\frac{V_{in}R_4}{R_3+R_4}-\frac{V_{cc}R_4}{R_3+R_4};$$

$$V_T = \frac{V_{cc}}{2} \Rightarrow \frac{V_{cc}}{2} = V_{cc}-\frac{V_{in}R_4}{R_3+R_4}-\frac{V_{cc}R_4}{R_3+R_4} \Rightarrow$$

$$V_{in} = \frac{1}{2}V_{cc}(1-\frac{R_3}{R_4})$$

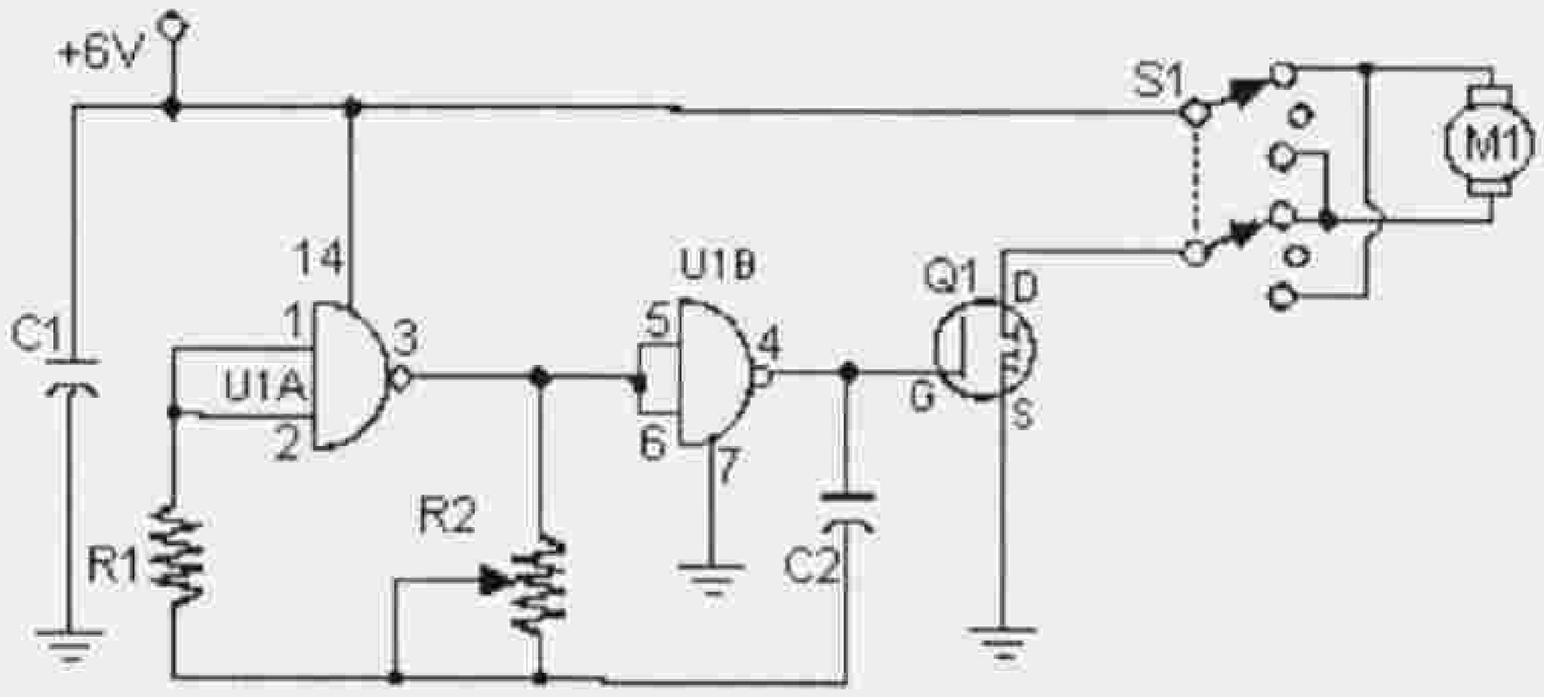
إذاً يحدث عند هذه القيمة لجهد الدخل انتقال الخرج من H إلى L.

تستخدم مولدات النبضات في الكثير من التصاميم المنطقية كمولدات لنبضات التوقيت والتزامن ويمكن أيضاً استخدامها في قيادة المحركات كما هو مبين في الفقرة التالية.

1.9.5 استخدام مولد النبضات للتحكم بسرعة دوران محرك التيار المستمر

يحاول الناس غالباً التحكم بمحرك التيار المستمر بواسطة مقاومة متغيرة أو بواسطة مقاومة متغيرة موصولة إلى ترانزيستور، ولكن في هذه الطريقة يتم تبديد الكثير من الحرارة ويضيع بذلك جزء لا بأس به من الطاقة. نقدم فيما يلي طريقة بسيطة للتحكم بسرعة دوران محرك DC عن طريق التحكم بعرض النبضة (أي باستخدام مولد نبضات)، وكلما كانت هذه النبضات أعرض كلما كانت سرعة المحرك عالية والعكس بالعكس.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 19.5 دارة بسيطة للتحكم بسرعة محرك التيار المستمر.

ويبين الجدول (1.5) العناصر المستخدمة في هذه الدارة.

الجدول 1.5 العناصر المستخدمة في دارة التحكم بسرعة دوران المحرك.

العنصر	الكمية	المواصفات
R1	1	مقاومة 1M باستطاعة 0.25W.
R2	1	مقسم جهد (مقاومة متغيرة) 100K.
C1	1	مكثف 0.1µF بجهد 25V، مكثف سيراميكي قرصي.
C2	1	0.01µF بجهد 25V، مكثف سيراميكي قرصي.
Q1	1	IRF511 ترانزيستور MOSFET.
U1	1	بوابات NAND من الدارة المتكاملة 4011.
M1	1	محرك.

ملاحظات:

1. تضبط المقاومة R2 تردد الهزاز وبذلك تتحكم بسرعة المحرك.
2. يمكن أن يكون المحرك M1 أي محرك DC يعمل من الجهد 6V، ويجب أن لا يستهلك هذا المحرك تياراً أعلى من التيار الأعظمي للترانزيستور Q1. يمكن أن يكون جهد تغذية المحرك أعلى من الجهد المعطى هنا، وفي هذه الحالة يجب وصل الجهد إلى المحرك عن طرق المفتاح، ويجب في هذه الحالة الانتباه إلى ضرورة فصل جهد تغذية المحرك عن جهد تغذية الترانزيستور. ويجب الانتباه كذلك إلى حرارة الترانزيستور، وغالباً يحتاج الترانزيستور إلى جسم تبريد.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

3. يمكن أن يتحمل الترانزيستور المعطى هنا 6A كحد أعظمي، والترانزيستور IRF620 يعمل بسهولة عند الجهد 6V، وإذا لزمك تيار أكبر استخدم ترانزيستور آخر يتحمل هذا الجهد.

10.5 المضخم العملياتي كمولد نبضات مربعة

يعتبر المضخم العملياتي أحد العناصر الهامة في التصميم الإلكتروني التشابهي والرقمي وفيما يلي نتعرف على أهم الاستخدامات التي قد يحتاجها المصمم في بعض المشاريع العملية.

يتم تحليل الدارات الحاوية على مضخمات عملياتية بالاعتماد على قوانين تحليل الدارات، مثل قوانين كيرشوف، مع أخذ الأمور التالية بالاعتبار:

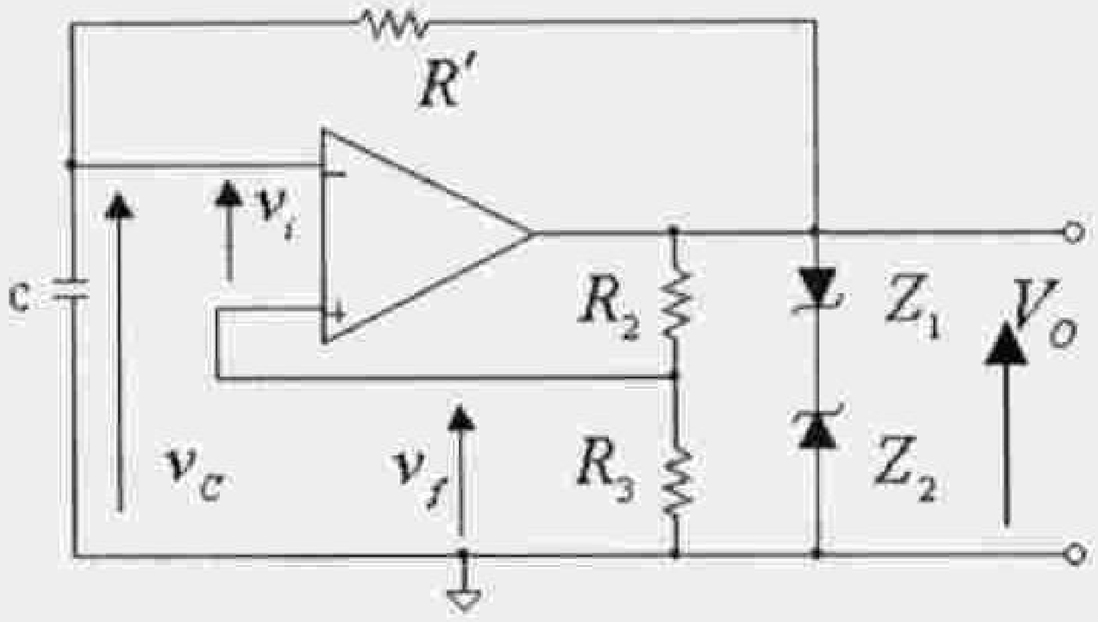
- بسبب صغر تيارات المداخل نعتبر أن $i^+ = i^- = 0$.
- بفرض العمل في المنطقة الخطية فإن العلاقة بين الدخل والخرج تعطى بالمعادلة التالية:

$$v_O = A(v^+ - v^-)$$

- في حال اعتبار المضخم مثالياً يكون $A \to \infty$ وفي باقي الحالات نعتبر أن A كبير جداً.
- مقاومة الخرج $R_o \to 0$ و $R_i^+ = R_i^- \to \infty$. هنا نلاحظ أنه عندما $A \to \infty$ ومن العلاقة $v_O = A(v^+ - v^-)$

$$\frac{v_O}{A} = v^+ - v^- \Rightarrow \quad 0 = v^+ - v^- \Leftrightarrow v^+ = v^-$$

ولذلك يقال أن هناك قصر افتراضي بين المداخل. لتوضيح طريقة التحليل سوف نتعرف على بعض الأمثلة. وللتعرف على المزيد من المعلومات عن المضخم العملياتي ننصح بالعودة إلى الملحق الوارد في نهاية هذا الكتاب. تُعطى في الشكل (20.5) دارة مولد نبضات مربعة باستخدام المضخم العملياتي. ويعتمد مبدأ العمل على استخدام المضخم العملياتي كمقارن حيث إذا كان $v_i > 0$ فإن خرج المقارن $v_O = -V_Z$ وإذا كان $v_i < 0$ فإن خرج المقارن $v_O = +V_Z$. V_Z هو جهد الانهيار لثنائي زينر.



الشكل 20.5 دارة مولد نبضات مربعة باستخدام المضخم العملياتي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

نعرف في الدارة الثابت β بأنه ثابت التغذية العكسية، ويحسب هذا الثابت من العلاقة التالية:

$$\frac{V_f}{V_O} = \beta = \frac{V_O R_3}{R_2 + R_3} \cdot \frac{1}{V_O} = \frac{R_3}{R_2 + R_3}$$

من قانون كيرشوف للجهد في حلقة الدخل نجد أن:

$$v_C - v_i - v_f = 0 \quad \Rightarrow \quad v_C - v_i - \beta v_O = 0 \quad \Rightarrow \quad v_i = v_C - \beta v_O$$

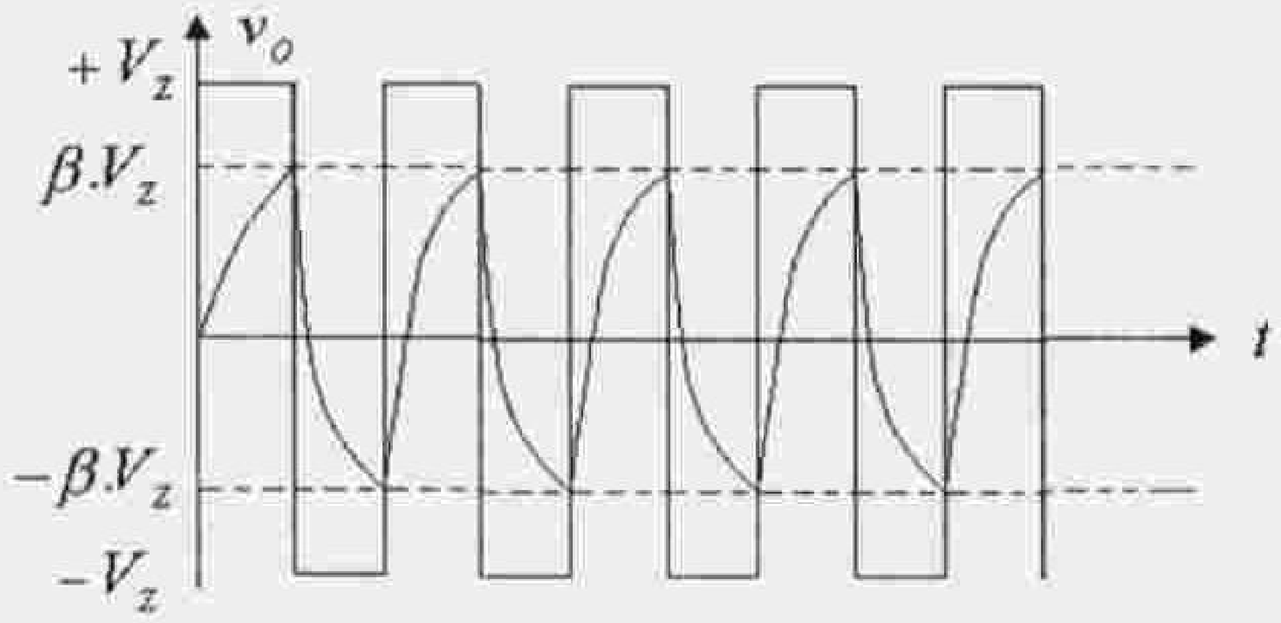
في لحظة البدء نعتبر أن $0 < v_i \Leftarrow v_C - \beta v_O < 0$

بما أن $0 < v_i$ فإن $v_O = V_Z$ وبالتالي $v_C - \beta V_Z < 0$ أو $v_C < \beta V_Z$، وفي هذه الحالة يشحن المكثف C عبر R'، ويبقى جهد الخرج ثابتاً عند قيمة $+V_Z$ حتى تصبح شحنة المكثف كافية لجعل $v_C = \beta V_Z$. في هذه الحالة ينتقل جهد الخرج إلى حالة $v_O = -V_Z$، ويشحن المكثف باتجاه $-V_Z$ ويبقى جهد الخرج ثابتاً على قيمة $-V_Z$ حتى تصبح شحنة المكثف كافية لجعل $v_C = -\beta V_Z$. وهنا ينتقل جهد الخرج إلى $+V_Z$ ويبقى على هذه القيمة حتى يشحن المكثف إلى $v_C = +\beta V_Z$، وهكذا تتكرر العملية. تعطى في الشكل (21.5) أشكال جهود الخرج وجهد المكثف، وتدعى هذه الدارة بدارة مولد إشارة عديم الاستقرار. ويمكن استخدام هذه الدارة في المجال الترددي من 10 Hz وحتى 10 kHz. في حالة الترددات الأعلى من 10 kHz يصبح زمن تأخير المضخم العملياتي محسوس ويؤثر على شكل نبضة الخرج، نلاحظ من الشكل (21.5) أنه عند $t = 0$ فإن $v_C = -\beta V_Z$. تعطى شحنة المكثف خلال نصف الدور الأول بالعلاقة التالية:

$$v_C(t) = A + B\, e^{-\frac{t}{\tau}}$$

$$\tau = R'C$$

يحسب A و B من الشروط الابتدائية:



الشكل 21.5 أشكال جهد الخرج وجهد المكثف.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$t = 0 \Rightarrow v_C(t) = A + B = -\beta V_Z$$

$$t \to \infty \Rightarrow v_C(t) = V_Z = A$$

$$V_Z + B = -\beta V_Z \Rightarrow B = -V_Z - \beta V_Z = -(V_Z + \beta V_Z)$$

$$v_C(t) = +V_Z - (V_Z + \beta V_Z)\, e^{-\frac{t}{\tau}}$$

$$t = \frac{T}{2} \Rightarrow v_C(t) = +\beta V_Z \Rightarrow$$

$$\beta V_Z = +V_Z - (V_Z + \beta V_Z)\, e^{-\frac{T/2}{\tau}}$$

$$\beta V_Z = V_Z\left[\, 1 - (1+\beta)\, e^{-\frac{T}{2\tau}} \,\right] \Rightarrow (1+\beta)\, e^{-\frac{T}{2\tau}} = 1-\beta$$

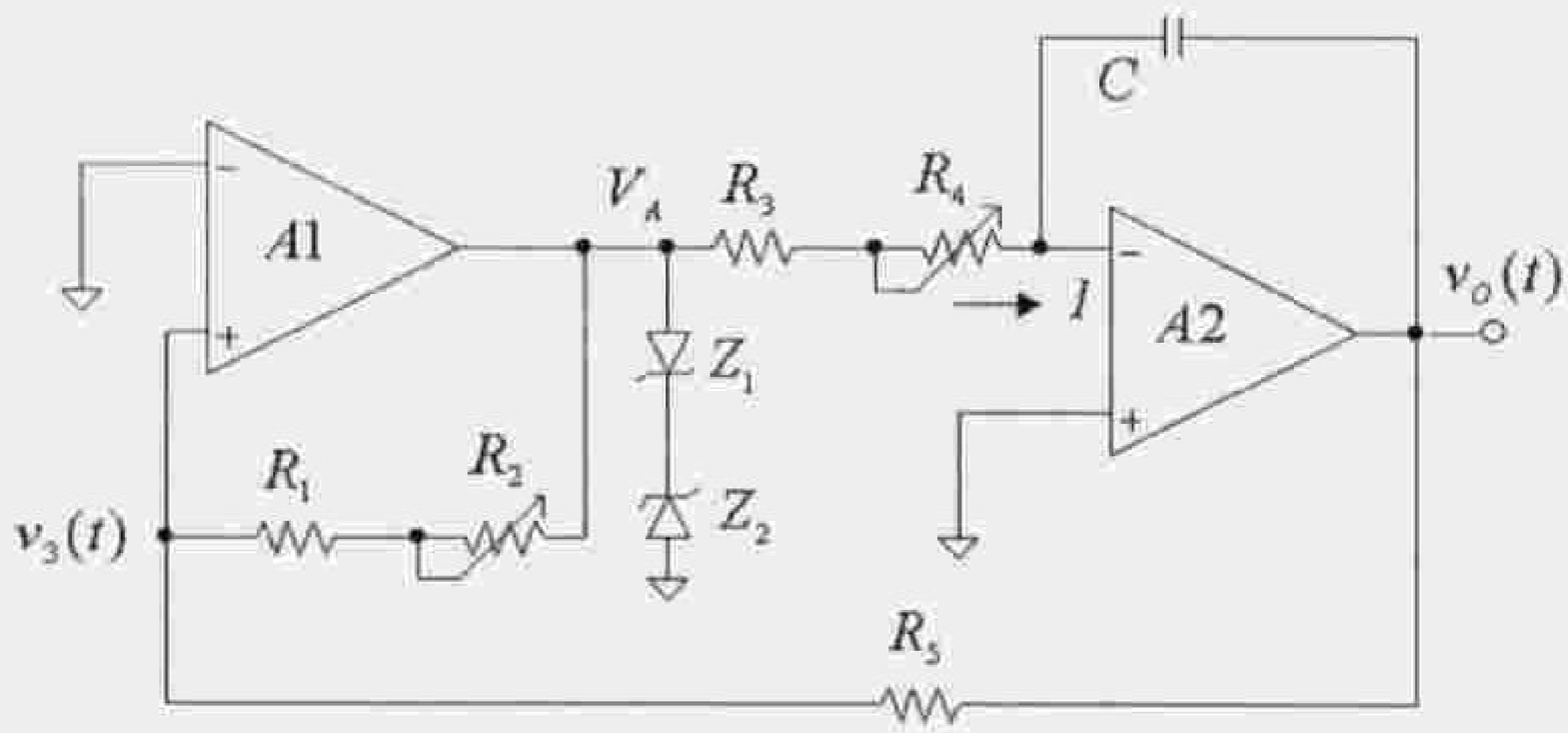
$$e^{\frac{T}{2\tau}} = \frac{1+\beta}{1-\beta} \Rightarrow T = 2\tau \; \mathrm{Ln}\left\{\frac{1+\beta}{1-\beta}\right\}$$

$$T = 2.R'C \; \ln\frac{1+\beta}{1\;\;\beta}$$

نلاحظ من هذه العلاقة أن V_Z لا يؤثر على دور الاهتزاز، وإنما يتعلق تناظر الإشارة المربعة حول محور الزمن بمواصفات Z1 وZ2 التي يجب أن تكون متماثلة.

11.5 المضخم العملياتي كمولد إشارة مثلثية

وجدنا في دارة مولد النبضات المربعة أن جهد المكثف v_C له شكل مثلث تقريباً إلا أن أضلاع المثلث لها شكل أسي. حتى نجعل الموجة المثلثية السابقة ذات أضلاع خطية يجب شحن المكثف C بتيار ثابت، ومن أجل ذلك يتم استخدام الدارة التالية.



الشكل 22.5 دارة مولد نبضات مثلثية.

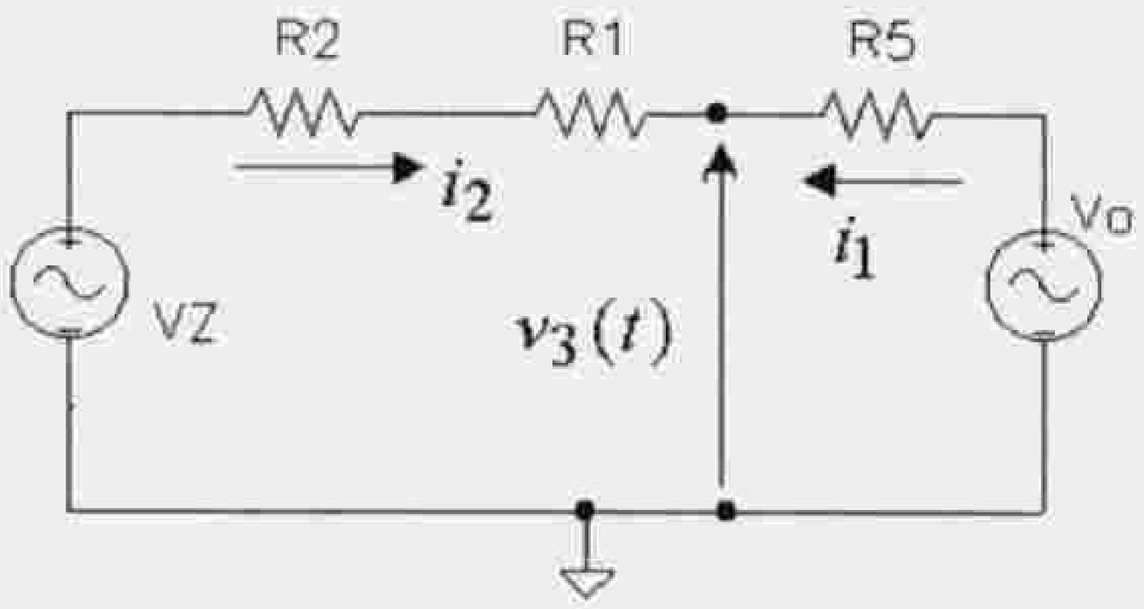
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

يعمل المضخم العملياتي الأول كمقارن والثاني كمكامل. في خرج المقارن نحصل على جهد إما $+V_Z$ أو $-V_Z$ وذلك حسب وضع المدخلين العاكس وغير العاكس. لنفرض أنه في اللحظة t_O كان $V_A = +V_Z$ عندها يمكن كتابة المعادلة التالية:

$$I = \frac{V_Z}{R_3 + R_4}$$

$$v_O(t) = v_O(t_O) - \frac{1}{C}\int_{t_O}^{t} I\,dt = v_O(t_O) - \frac{I}{C}(t - t_O) \qquad (1)$$

توجد الجهد $v_3(t)$ حسب نظرية التنضد (انظر الملحق) من الدارة المبسطة التالية.



الشكل 23.5 دارة لإيجاد معادلة $v_3(t)$.

$$i_1 = \frac{v_O(t)}{R_1 + R_2 + R_5}$$

$$i_2 = \frac{V_Z}{R_1 + R_2 + R_5} \quad ;$$

$$v_O(t) - (i_1 - i_2)R_5 - v_3(t) = 0$$

$$v_3(t) = v_O(t) - i_1R_5 + i_2R_5$$

$$v_3(t) = v_O(t) - \frac{v_O(t)R_5}{R_1 + R_2 + R_5} + \frac{V_ZR_5}{R_1 + R_2 + R_5}$$

$$= \frac{v_O(t).(R_1 + R_2) + v_O(t)R_5 - v_O(t)R_5}{R_1 + R_2 + R_5} + \frac{V_ZR_5}{R_1 + R_2 + R_5}$$

$$v_3(t) = \frac{v_O(t).(R_1 + R_2)}{R_1 + R_2 + R_5} + \frac{V_ZR_5}{R_1 + R_2 + R_5} \qquad (2)$$

من المعادلة (1) نلاحظ أن $v_O(t)$ يتناقص بشكل خطي مع الزمن، ومن المعادلة (2) نلاحظ أن تناقص $v_O(t)$ يؤدي إلى تناقص $v_3(t)$ والذي يستمر بالتناقص [طبعاً مع تناقص $v_O(t)$] حتى

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

اللحظة t_1 التي يصبح عندها $v_3(t)=0$. وهذه اللحظة هي لحظة تحول إذ يصبح بعدها $v^+>0$ ، أي ينتقل خرج المقارن إلى $-V_Z$ ، ومن المعادلة (2) نجد:

$$0=\frac{v_O(t_1).(R_1+R_2)}{R_1+R_2+R_5}+\frac{V_Z R_5}{R_1+R_2+R_5}$$

$$v_O(t_1)=\frac{v_Z R_5}{R_1+R_2}$$

في هذه الحالة يعطى تيار المقارن بالعلاقة التالية:

$$I'=\frac{v_Z}{R_3+R_4} \quad \Rightarrow$$

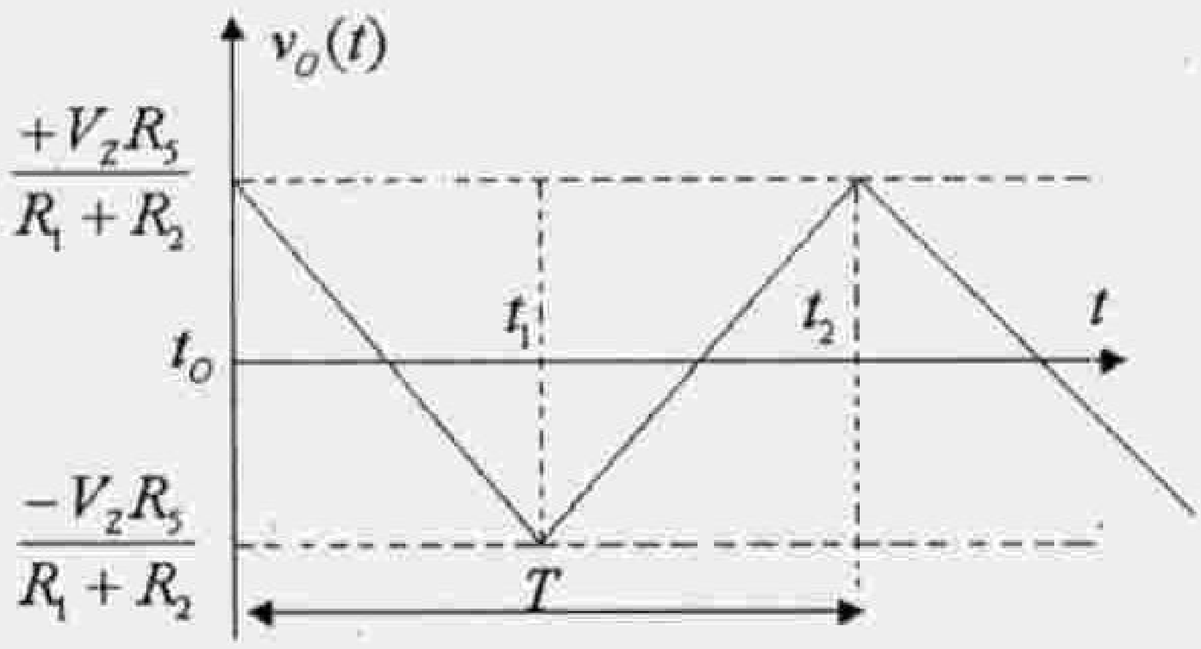
$$v_O(t)=v_O(t_1)+\frac{V_Z}{(R_3+R_4)C}(t-t_1) \qquad (3)$$

أي بعد t_1 ، وحسب المعادلة (3) يبدأ جهد الخرج بالزيادة ويزداد بذلك $v_3(t)$ حتى يصل إلى الصفر. نسمي لحظة وصول $v_3(t)$ إلى الصفر t_2 ، أي $v_3(t_2)=0$.

$$0=\frac{v_O(t_2).(R_1+R_2)}{R_1+R_2+R_5}-\frac{V_Z R_5}{R_1+R_2}$$

$$v_O(t_2)=\frac{V_Z R_5}{R_1+R_2}$$

في هذه اللحظة (t_2) يصبح $V_A = V_Z$ ، ويعطى تيار مدخل المكامل بالمعادلة الأول في هذه الفقرة ويتناقص جهد الخرج وتتكرر العملية ويكون شكل جهد الخرج كما في الشكل (24.5).



الشكل 24.5 إشارة خرج دارة مولد النبضات المثلثية.

استخراج علاقة تردد الاهتزاز: من أجل استخراج علاقة دور الاهتزاز نلاحظ أن المجال $[t_1, t_0]$ يمثل نصف دور وتعطى معادلة $v_O(t)$ في هذا المجال بالمعادلة:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$v_O(t) = v_O(t_O) + \frac{V_Z}{(R_3 + R_4)C}(t - t_O)$$

عندما $(t - t_O) = \frac{T}{2}$ وجدنا أن:

$$v_O(t) = \frac{V_Z R_5}{R_1 + R_2}$$

$$-\frac{V_Z R_5}{R_1 + R_2} = \frac{V_Z R_5}{R_1 + R_2} - \frac{V_Z}{(R_3 + R_4)C}\frac{T}{2}$$

$$\frac{T}{2(R_3 + R_4)C} = \frac{2R_5}{R_1 + R_2}$$

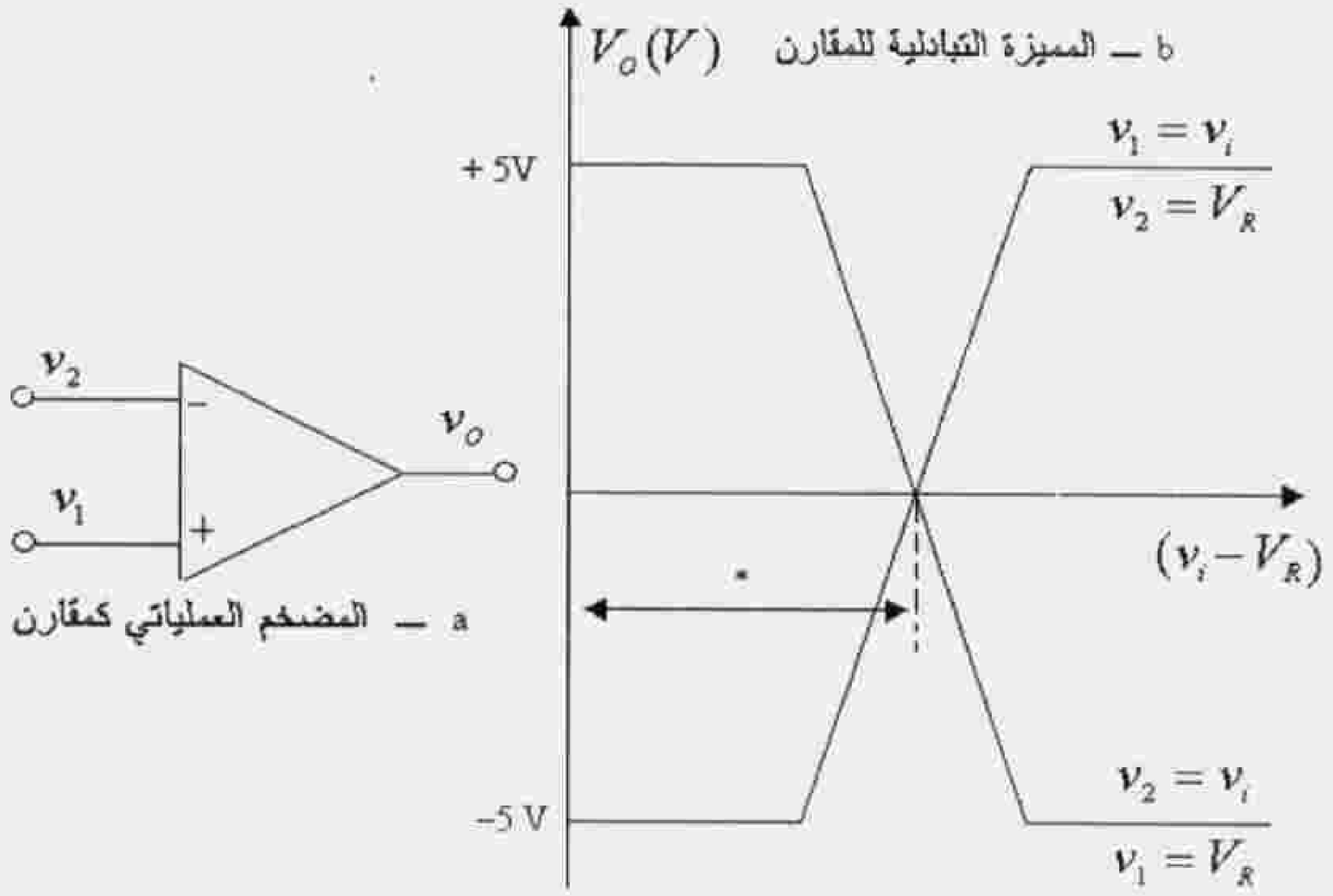
$$T = \frac{4R_5(R_3 + R_4)C}{R_1 + R_2}$$

$$\Rightarrow f = \frac{1}{T} = \frac{R_1 + R_2}{4R_5(R_3 + R_4)C}$$

12.5 المضخم العملياتي كمقارن Comparator

يعرف المقارن بأنه دارة تقارن بين إشارة دخل $v_i(t)$ مع إشارة مرجعية V_R، فعندما يكون $V_R < v_i$ فإن خرج المقارن يأخذ قيمة تختلف كثيراً عن خرج المقارن عندما يكون $V_R > v_i$. ويمكن استخدام المضخم العملياتي كمقارن إذا استخدم بوصلة الحلقة المفتوحة كما في الشكل (25.5). نعلم أنه عندما $v_i = V_R$ فإن $v_O = 0$ و $v_i - V_R = 0$، ولكننا نلاحظ أن $v_O = 0$ يقابله $v_i - V_R \neq 0$ وهذا ناتج عن جهد حيود الدخل، ويُعرَّف جهد حيود بأنه الجهد المستمر الذي يجب تطبيقه على أحد مدخلي المضخم العملياتي لجعل جهد الخرج مساوياً للصفر، وذلك في حالة عدم وجود إشارة متناوبة مطبقة هلى الدخل. في المنحني الذي يكون فيه $v_2 = v^- = v_i$ ، $v_1 = v^+ = v_R$ نلاحظ أنه عندما $v_2 - v_1$ أكبر من الصفر أي $v_i - V_R > 0$ فإن خرج المضخم العملياتي سيكون سالباً لأن المضخم عاكس ويتعلق مقدار الخرج بـــ v_2، أما عندما $v_2 - v_1 < 0$ فإن الخرج يكون موجباً. على المميزة التبادلية المعطاة لا نلاحظ قيم سالبة لـــ $v_i - V_R$ بسبب جهد حيود الدخل وبنفس الطريقة يتم شرح مسار المنحني الآخر. نلاحظ من المضخم التفاضلي ومن المميزة التبادلية أنه إذا زاد $v_i - V_R$ عن قيمة معينة سلباً أو إيجاباً فإن v_O سيكون ثابتاً على قيمة 5V+ أو 5V– وهذه الحالة تذكرنا بحالة وصول المضخم العملياتي إلى الإشباع.

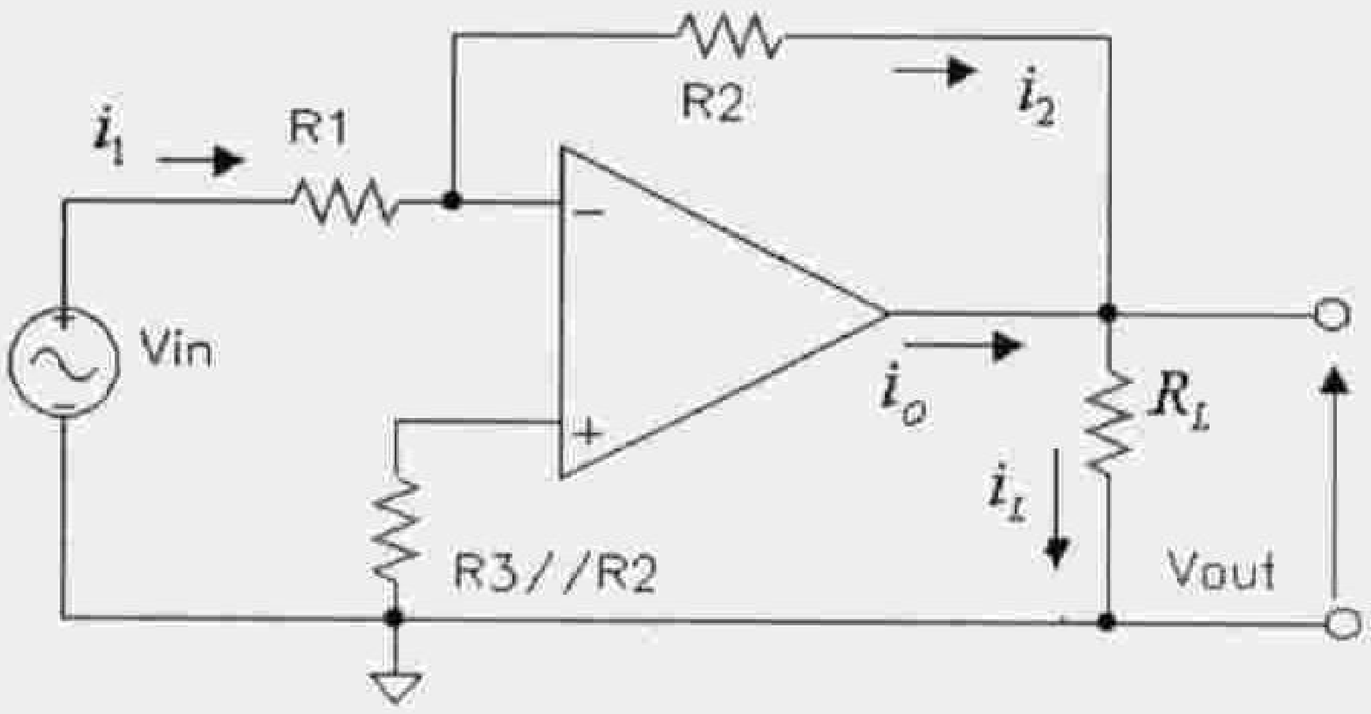
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 25.5 a- المضخم العملياتي كمقارن. b- المميزة التبادلية للمقارن (* انزياح نقطة المقارنة بسبب تأثير جهد حيود الدخل).

13.5 دارة المضخم العاكس

الدارة موضحة في الشكل (26.5).



الشكل 26.5 دارة مضخم عاكس.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$i^- = i^+ = 0$$

$$v_O = A(v^+ - v^-) \qquad , \quad v^+ = 0 \Rightarrow v_O = -Av$$

$$v = v_{in} - i_1 R1$$

$$v_{in} - i_1 R_1 - i_2 R_2 - v_O = 0$$

$$i_1 = i_2 \Rightarrow v_{in} - i(R_1 + R_2) - v_O = 0$$

$$i = \frac{v_{in} - vo}{R_1 + R_2} \Rightarrow v = v_{in} - \frac{(v_{in} - vo)R_1}{R_1 + R_2}$$

$$= \frac{v_{in}R_1 + v_{in}R_2 - v_{in}R_1 + v_O R_1}{R_1 + R_2}$$

$$= \frac{v_{in}R_2 + v_O R_1}{R_1 + R_2} \Rightarrow$$

$$v_O = -A\frac{v_{in}R_2 + v_O R_1}{R_1 + R_2}$$

$$= -\frac{Av_{in}R_2}{R_1 + R_2} - \frac{Av_O R_1}{R_1 + R_2} \Rightarrow$$

$$v_O(1 + \frac{AR_1}{R_1 + R_2}) = -\frac{Av_{in}R_2}{R_1 + R_2} \Rightarrow$$

$$\frac{v_O}{v_{in}} = \frac{\frac{AR_2}{R_1 + R_2}}{1 + A\frac{R_1}{R_1 + R_2}}$$

تعني الإشارة (−)أنّ فرق صفحة بين الخرج والدخل مقداره (180^O). نقسم الصورة والمخرج في العلاقة الأخيرة على A ⇐

$$\frac{v_O}{v_{in}} = \frac{-\frac{R_2}{R_1 + R_2}}{\frac{1}{A} + \frac{R_1}{R_1 + R_2}}$$

$A \to \infty$ أو A كبيرة جداً $\Rightarrow \frac{1}{A} \to 0 \Rightarrow$

أي أنه يمكن التحكم بربح الجهد عن طريق R_2 و R_1:

$$\frac{v_O}{v_{in}} = \frac{R_2}{R_1}$$

حساب ربح التيار:

$$A_i = \frac{i_L}{i_i} = \frac{(v_O/R_L)}{(v_{in}/R_1)}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

هنا فوراً اعتبرنا أن $A \leftarrow \infty$ وبالتالي: $v = v^+ = 0 \Leftarrow$

$$A_i = \frac{v_O}{v_{in}} \cdot \frac{R_1}{R_L} = -\frac{R_2}{R_1} \cdot \frac{R_1}{R_L} = -\frac{R_2}{R_L}$$

أي أن R_L تؤثر على ربح التيار.

حساب ربح الاستطاعة:

$$A_P = \frac{P_L}{P_i} = \frac{(v_O^2/R_L)}{(v_{in}^2/R_1)}$$

$$= (\frac{v_O}{v_{in}})^2 \cdot \frac{R_1}{R_L} = (-\frac{R_2}{R_1})^2 \cdot \frac{R_1}{R_L}$$

$$A_P = \frac{R_2^2}{R_1 R_L}$$

حساب مقاومة الدخل التي يراها v_S أو v_{in}: باعتبار $A \to \infty$ و $v = 0$ فإن مقاومة الدخل التي يراها v_{in} هي R_1.

حساب i_O للمضخم العملياتي:

$$i_o + i_2 = i_L \Rightarrow$$

$$i_o = i_L - i_2 = \frac{v_O}{R_L} - i_1$$

$$i_o = \frac{v_O}{R_L} - \frac{v_{in}}{R_1}$$

$$i_o = \frac{v_O}{R_L} - \frac{\frac{v_O}{A_V}}{R_1} = v_O(\frac{1}{R_L} - \frac{1}{A_V R_1}) = v_O\left(\frac{1}{R_L} - \frac{1}{(\frac{R_2}{R_1})R_1}\right)$$

$$i_o = v_O(\frac{1}{R_L} - \frac{1}{R_2}) = v_O \frac{R_2 + R_L}{R_2 . R_L}$$

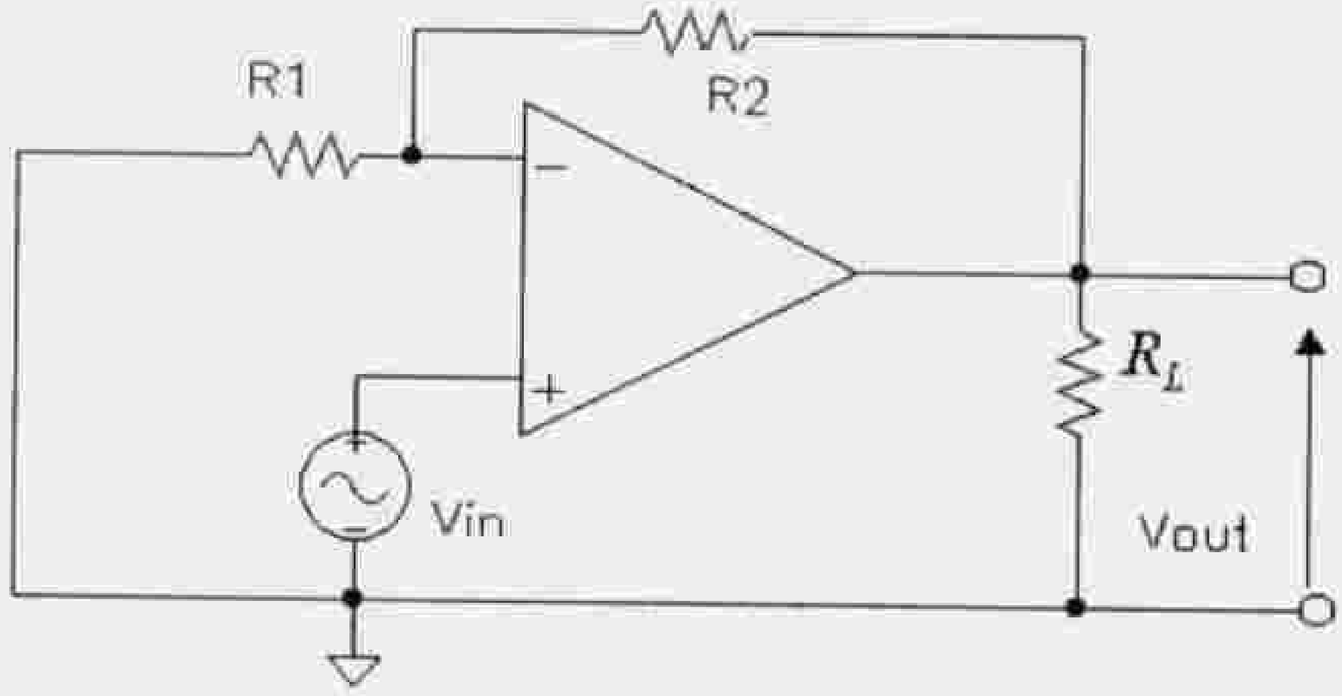
من هذه العلاقة نلاحظ أن $(\frac{R_2 \times R_L}{R_2 + R_L})$ يجب أن لا تقل عن قيمة معينة لأن ذلك يؤدي إلى زيادة i_O ودوماً يجب أن يكون $i_{Osh} > i_O$. حتى لا يصل المضخم العملياتي إلى الإشباع يجب مراعاة أن يكون:

$$\text{جهد الإشباع} > v_O = \left|\frac{R_2}{R_1}\right| v_{in}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

14.5 المضخم غير العاكس non inverting Amplifier

دارة المضخم غير العاكس معطاة في الشكل (27.5)، نقصد بالتحليل هنا إيجاد عامل نقل المضخم.



الشكل 27.5 دارة مضخم غير عاكس.

$$v_O = A(v^+ - v^-)$$

$$i^+ = 0 \Rightarrow \quad v^+ = v_{in}$$

$$v^- = \frac{v_O \cdot R_1}{R_1 + R_2}$$

نعوض عن v^+, v^- في معادلة v_O فنحصل على المعادلة التالية:

$$v_O = A(v_{in} - \frac{v_O \cdot R_1}{R_1 + R_2}) = Av_{in} - \frac{v_O A \cdot R_1}{R_1 + R_2} \Rightarrow$$

$$v_O(1 + \frac{A \cdot R_1}{R_1 + R_2}) = Av_{in} \Rightarrow \frac{v_O}{v_{in}} = \frac{A}{1 + \frac{A \cdot R_1}{R_1 + R_2}}$$

نقسم الصورة والمخرج في هذه العلاقة على A فنحصل على:

$$\frac{v_O}{v_{in}} = \frac{1}{\frac{1}{A} + \frac{R_1}{R_1 + R_2}}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

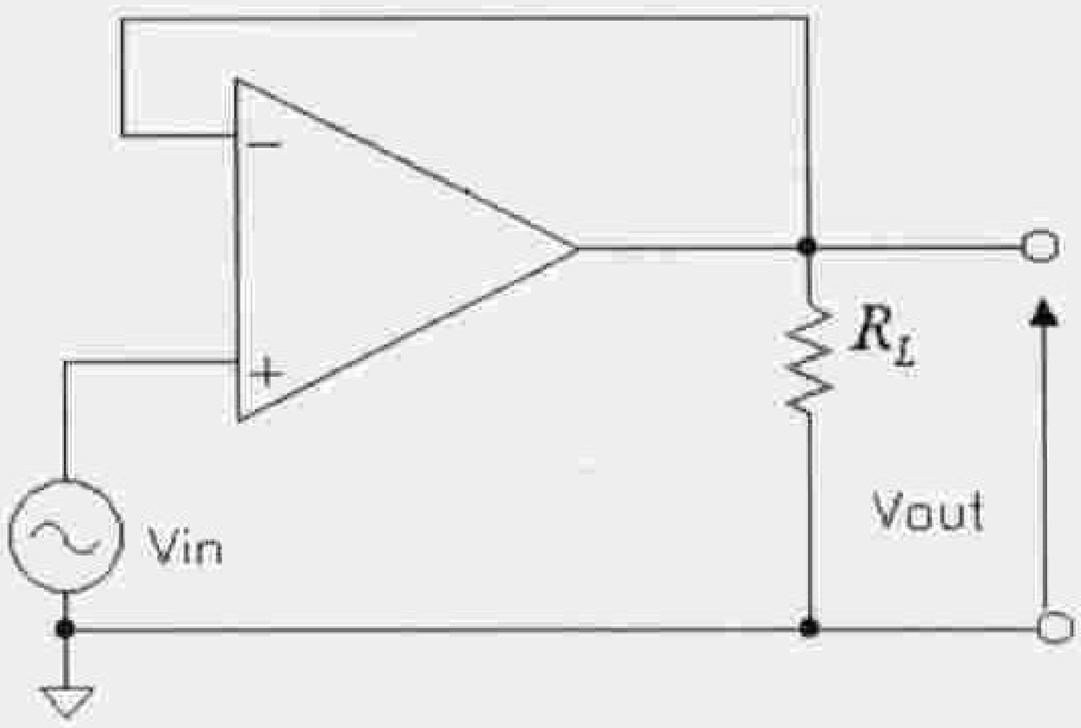
إذا اعتبرنا أن $A \to \infty \Rightarrow \frac{1}{A} = 0$ أو إذا قلنا أن A كبيرة فسوف نعتبر أن $\frac{1}{A}$ صغيرة جداً

$$\frac{v_O}{v_{in}} = \frac{1}{\frac{R_1}{R_1 + R_2}} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

من هذه المعادلة، نلاحظ عدم وجود فرق صفحة بين الخرج والدخل لذلك تسمى هذه الدارة دارة مضخم غير عاكس.

15.5 دارة تابع الجهد Voltage Follower

دارة تابع الجهد معطاة في الشكل (28.5).



الشكل 28.5 دارة تابع الجهد.

$$v^+ = v_{in}$$

$$v^- = v_O$$

$$v_O = A(v_{in} - v_O) \Rightarrow v_O(1 + A) = Av_{in} \Rightarrow$$

$$\frac{v_O}{v_{in}} = \frac{A}{1 + A}$$

بما أن $A >> 1$ و $A + 1 \cong A \Leftarrow$

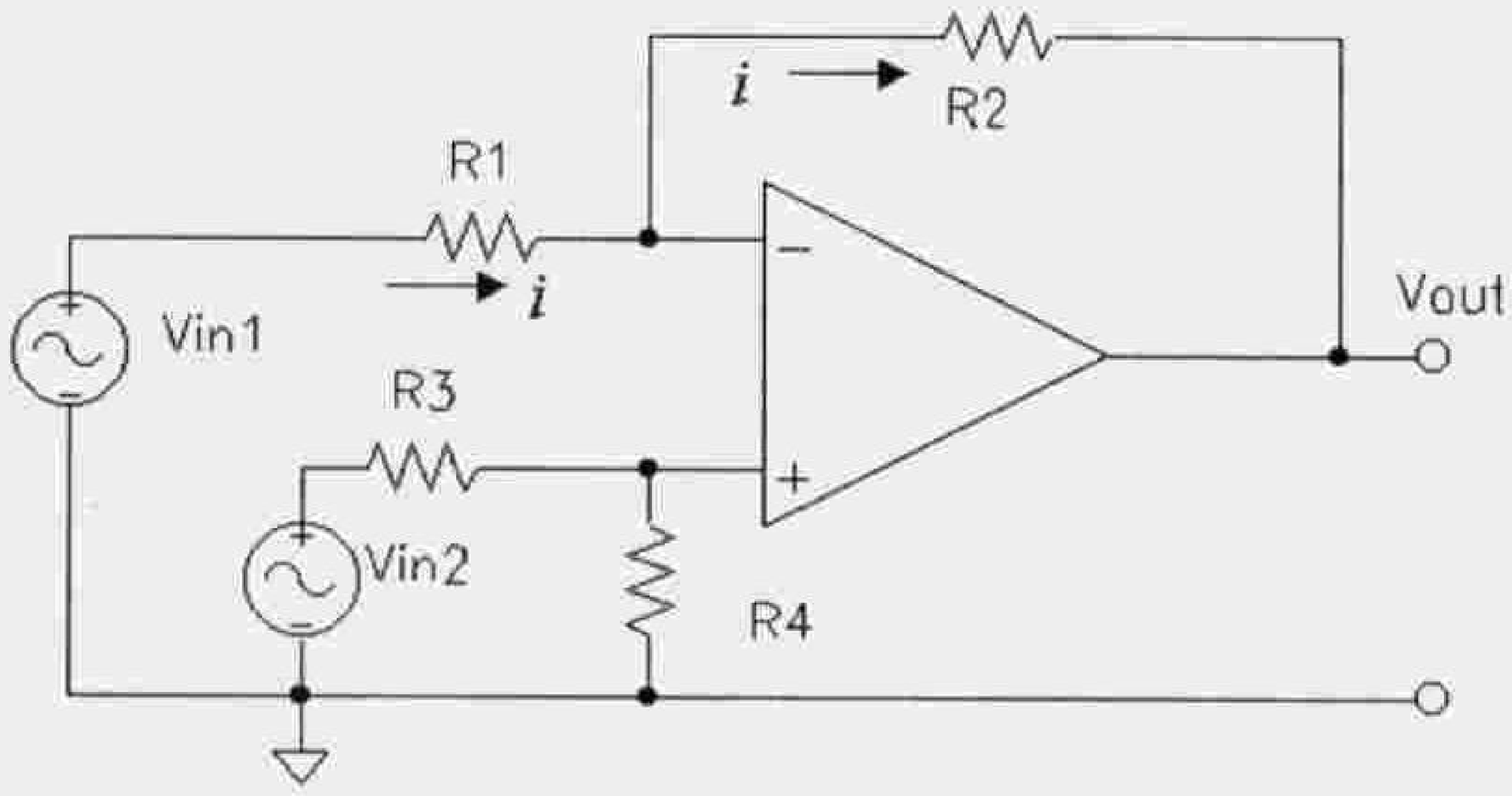
$$\frac{v_O}{v_{in}} = 1$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

تعني هذه العلاقة أن جهد الخرج يساوي جهد الدخل، ولكن يمكن في الخرج سحب أي تيار مرغوب به بتغير الحمل R_L وذلك دون التأثير على جهد الخرج لأن مقاومة الخرج صغيرة جداً، أما في الدخل فلا يتم سحب أي تيار (عملياً يتم سحب تيار صغير جداً) ولذلك فإن هذه الدارة تستخدم للعزل بين الحمل والمرحلة التي يجب أن يوصل إليها، تسمى بالمضخم العازل Buffer Amplifier وتشبه بذلك دارة تابع الباعث.

16.5 دارة المضخم التفاضلي Differential Amplifier

سوف نوجد فيما يلي علاقة جهد الخرج بكل من v_{in2} و v_{in1} لدارة المضخم الموضحة في الشكل (29.5) والتي تسمى دارة مضخم تفاضلي يتناسب فيها جهد الخرج مع الفرق بين جهدي المدخلين.



الشكل 29.5 دارة مضخم تفاضلي.

$$v^+ = \frac{v_{in2}R_4}{R_3 + R_4}$$

$$v_{in} - i(R_1 + R_2) - v_O = 0$$

$$i = \frac{v_{in} - v_O}{R_1 + R_2}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$v = v_{in1} - iR_1 = v_{in1} - \left(\frac{v_{in} - v_O}{R_1 + R_2}\right) R_1$$

$$= \frac{v_{in1}R_1 + v_{in1}R_2 - v_{in1}R_1 + v_O R_1}{R_1 + R_2}$$

$$= \frac{v_{in1}R_2 + v_O R_1}{R_1 + R_2}$$

$$v_O = A\left\{ \frac{v_{in2}R_4}{R_3 + R_4} - \frac{v_{in1}R_2}{R_1 + R_2} \right\} - \frac{Av_O R_1}{R_1 + R_2}$$

$$v_O\left(1 + \frac{A\ R_1}{R_1 + R_2}\right) = A\left\{ \frac{v_{in2}R_4}{R_3 + R_4} - \frac{v_{in1}R_2}{R_1 + R_2} \right\}$$

باعتبار أن A كبيرة جداً $\Leftarrow \frac{1}{A} \approx 0 \Leftarrow$ بتقسيم طرفي المعادلة على A ينتج:

$$v_O = \left(1 + \frac{R_2}{R_1}\right)\left\{ \frac{v_{in2}R_4}{R_3 + R_4} - \frac{v_{in1}R_2}{R_1 + R_2} \right\}$$

حتى يكون المضخم تفاضلياً فإن أمثال v_{in2} يجب أن تساوي أمثال $v_{in1} \Leftarrow$

$$\frac{R_4}{R_3 + R_4} = \frac{R_2}{R_1 + R_2} \Leftrightarrow 1 + \frac{R_3}{R_4} = 1 + \frac{R_1}{R_2}$$

شرط المضخم التفاضلي:

$$\frac{R_3}{R_4} = \frac{R_1}{R_2}$$

إذا تحقق هذا الشرط فإن جهد الخرج يعطى بالعلاقة التالية:

$$v_O = \frac{R_2}{R_1}(v_{in2} - v_{in1})$$

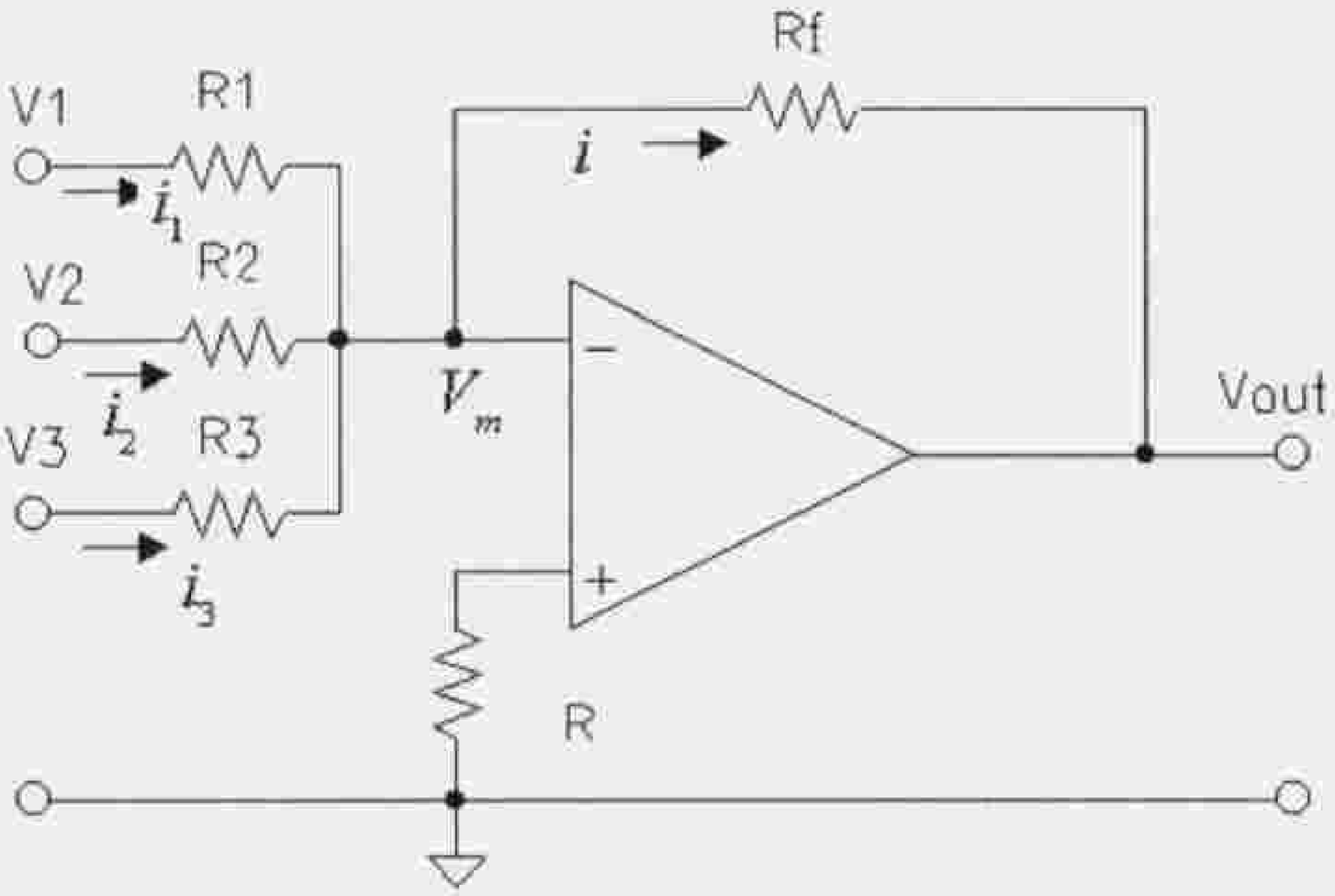
17.5 المضخم العملياتي كدارة جمع

سوف نبرهن الآن أن المضخم العملياتي يمكن استخدامه كدارة جمع (دارة الجامع) موضحة في الشكل (30.5).

$$i = \frac{v_m - v_O}{R_f}$$

$$i = i_1 + i_2 + i_3$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 30.5 دارة جمع.

$$i = \frac{v_1 - v_m}{R_1} + \frac{v_2 - v_m}{R_2} + \frac{v_3 - v_m}{R_3}$$

من أجل السهولة نعتبر أن $R_1 = R_2 = R_3 = R_1$:

$$i = \frac{(v_1 + v_2 + v_3) - 3v_m}{R_1} = \frac{v_m - v_O}{R_f} \quad \Rightarrow$$

$$[\ (v_1 + v_2 + v_3) - 3v_m\ ]R_f = R_1(v_m - v_O)$$

$$(v_1 + v_2 + v_3)R_f + R_1 v_O = 3v_m R_f + R_1 v_m$$

$$v_m = \frac{(v_1 + v_2 + v_3)R_f + R_1 v_O}{3R_f + R_1} \quad \Rightarrow$$

$$v_O = A(v^+ - v_m) = -Av_m \quad \Rightarrow$$

$$v_O = -A\frac{(v_1 + v_2 + v_3)R_f}{3R_f + R_1} - \frac{AR_1 v_O}{3R_f + R_1}$$

$$v_O(1 + A\frac{R_1}{3R_f + R_1}) = -A\frac{(v_1 + v_2 + v_3)R_f}{3R_f + R_1}$$

نقسم الطرفين على A ونعتبر أن $\frac{1}{A} \rightarrow 0$ $\Leftarrow$

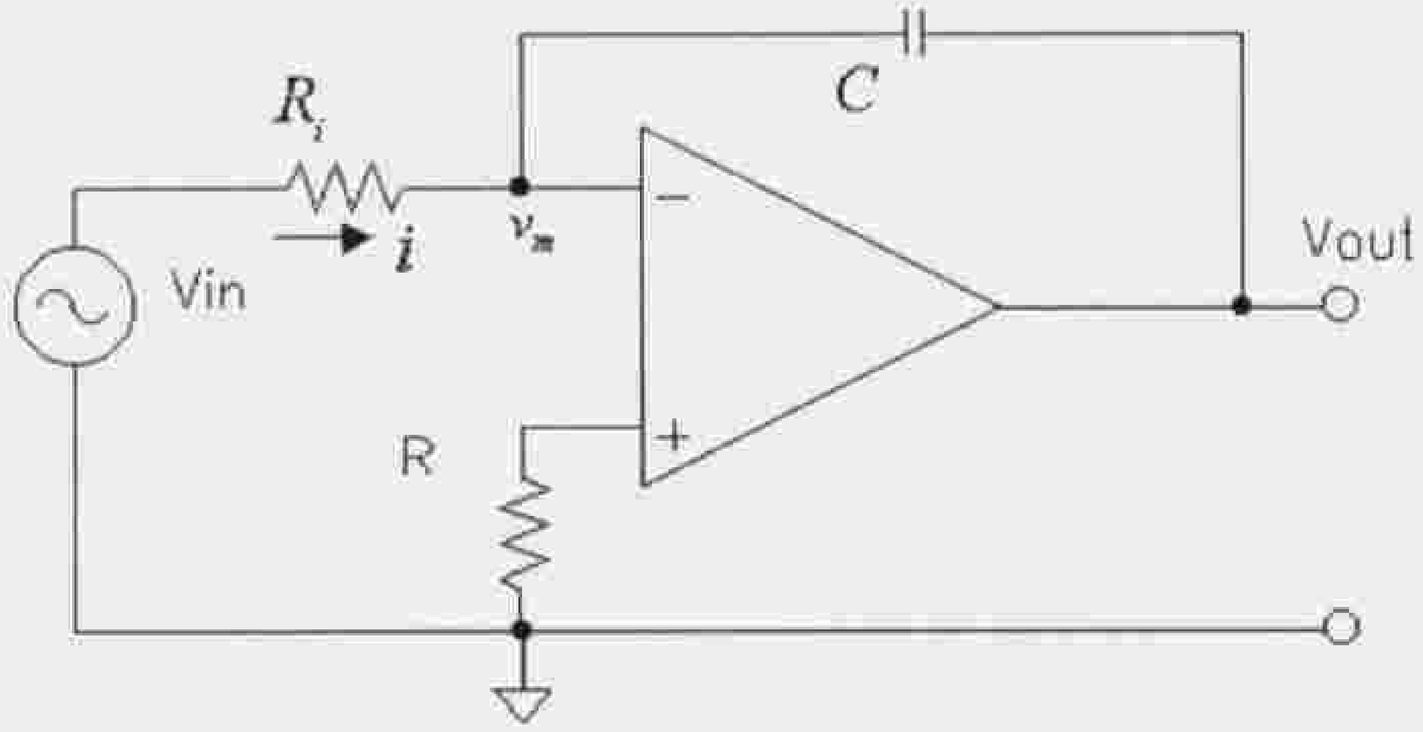
$$v_O = -(v_1 + v_2 + v_3)\frac{R_f}{R_1}$$

من هذه المعادلة يتوضح أن جهد الخرج يتناسب مع مجموع جهود المداخل مع وجود فرق صفحة بين الخرج والدخل مقداره (180^O)، لذلك تسمى هذه الدارة دارة جمع.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

18.5 دارة التكامل

في هذه الدارة يتناسب جهد الخرج مع تكامل إشارة الدخل. الشكل (31.5) يبين دارة تكامل ومن الدارة نجد:



الشكل 31.5 دارة تكامل.

$$v_O = A(v^+ - v_m) \quad ; \quad V^+ = 0$$

$$v_O = -Av_m$$

$$i = \frac{v_{in} - v_m}{R}$$

$$-v_m = \frac{v_O}{A}$$

باعتبار A كبير جداً فإن $\frac{1}{A} \to 0$ و $v_m = 0$ $\Leftarrow$ $i \cong \frac{v_{in}}{R}$

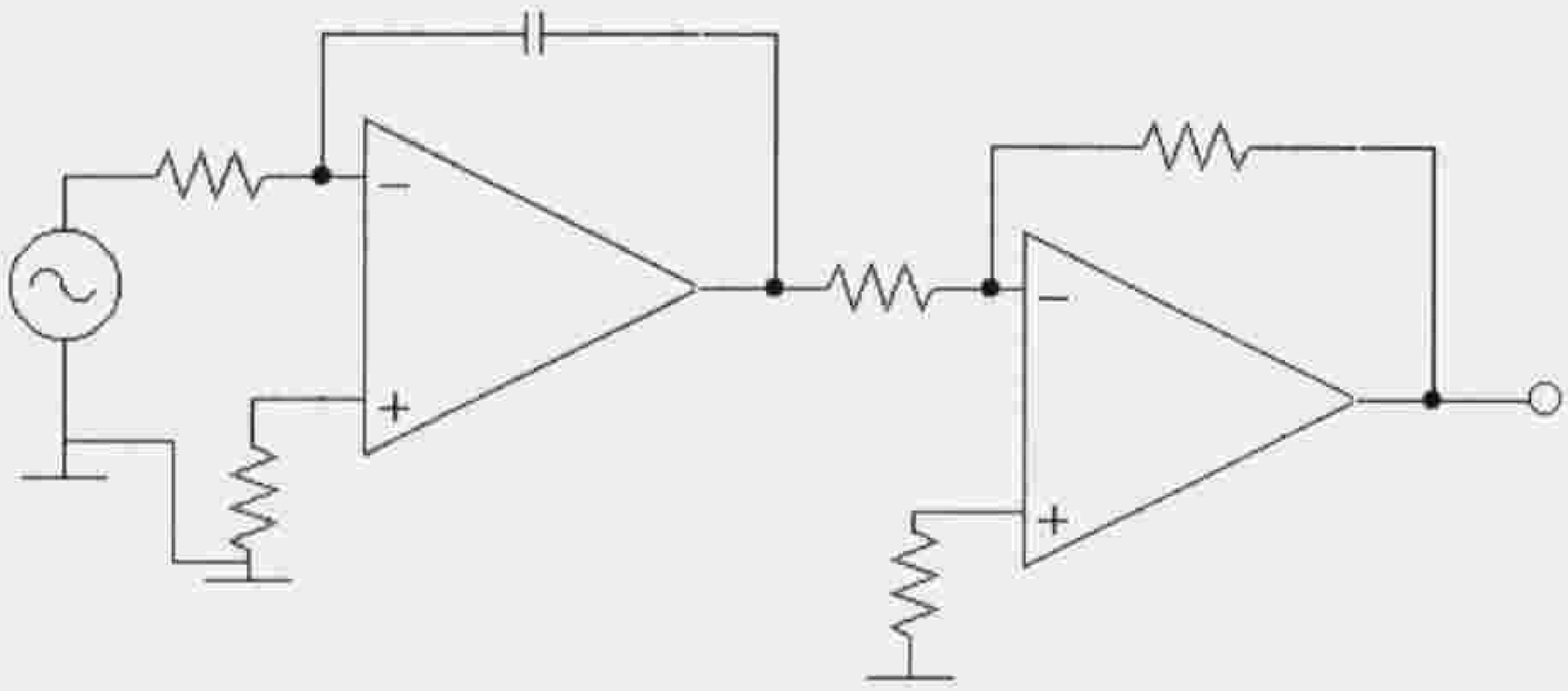
حسب قانون كيرشوف للجهد نكتب:

$$v_m - \frac{1}{c}\int i\,dt - v_O = 0 \Rightarrow$$

$$-\frac{1}{c}\int \frac{v_{in}}{R}dt = v_O \Rightarrow v_O = -\frac{1}{RC}\int v_{in}dt$$

إذا أردنا أن يكون الخرج غير معكوس يُضاف عاكس إلى خرج المكامل كما في الشكل التالي:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

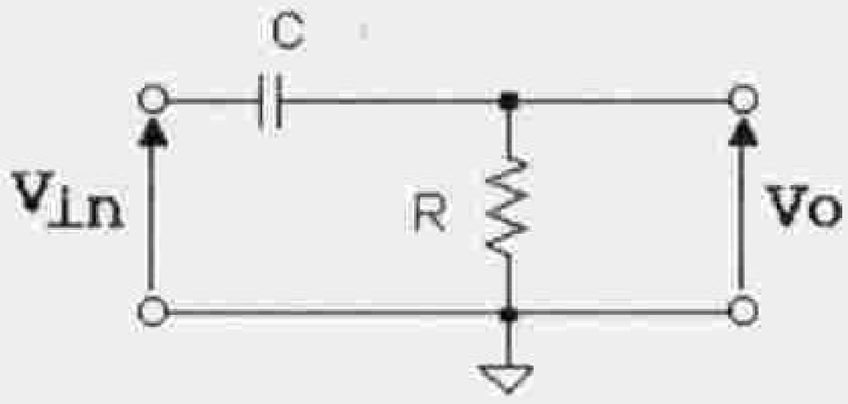


الشكل 32.5 مكامل مع عاكس لتحقيق خرج غير معكوس.

19.5 الدارات النبضية

1.19.5 دارة التمرير العالي

تُعرَّف دارة التمرير العالي بأنها دارة تسمح بمرور الإشارات ذات الترددات الأعلى من تردد معيَّن يسمى تردد القطع من الدخل والخرج وتتكون هذه الدارة من مكثف تسلسلي ومقاومة كما في الشكل (33.5)، ويؤخذ الخرج على طرفي المقاومة.



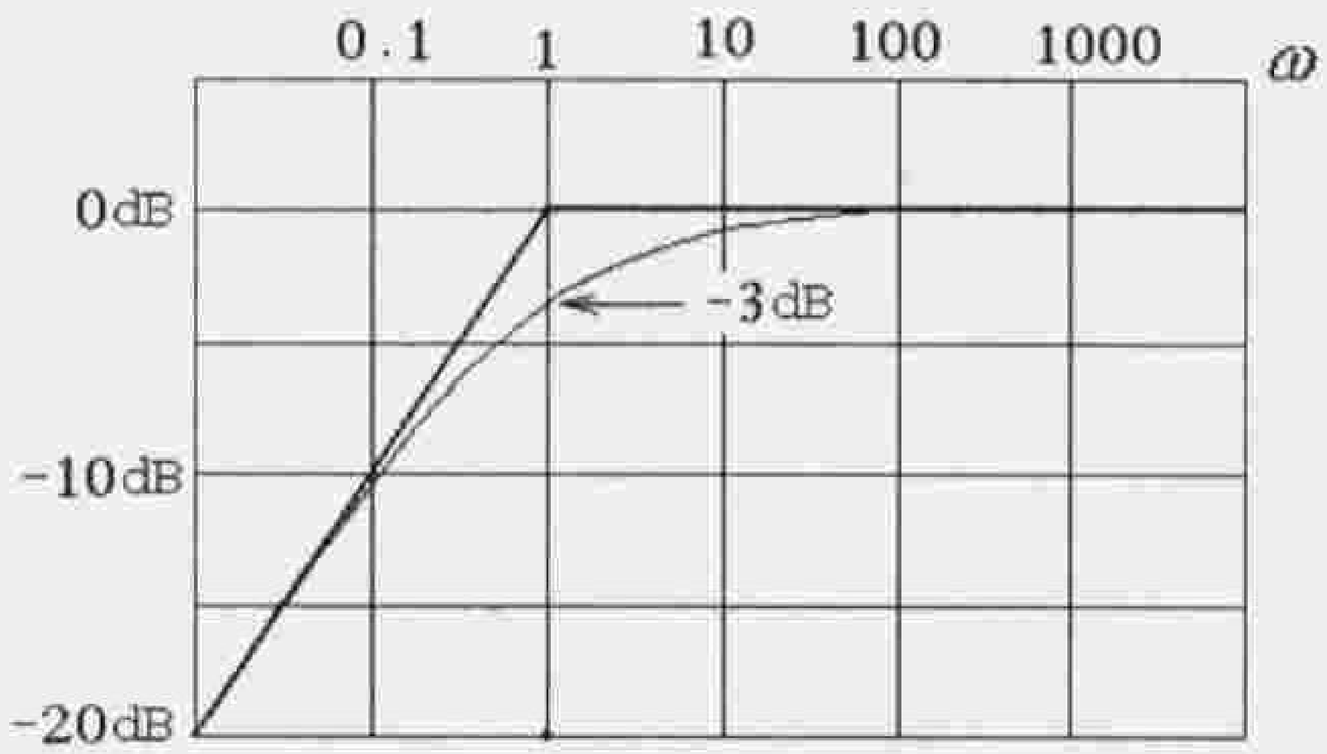
الشكل 33.5 دارة تمرير عالي بسيطة.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

تسمى هذه الدارة باسم مرشح تمرير عالي من الدرجة الأولى ويعطى تابع نقل هذه الدارة بالعلاقة التالية:

$$\frac{v_o}{v_{in}} = \frac{\tau.s}{\tau.s + 1}$$

حيث τ هو الثابت الزمني للدارة ومن المعلوم أن $\tau = RC$. تعطى الاستجابة المطالية لهذه الدارة البسيطة كما هو مبين في الشكل (34.5).



الشكل 34.5 الاستجابة المطالية لدارة RC.

ومن هذا الشكل نلاحظ أن تردد القطع f_C والذي يسمى أيضاً تردد الزاوية corner frequency يعطى بالعلاقة:

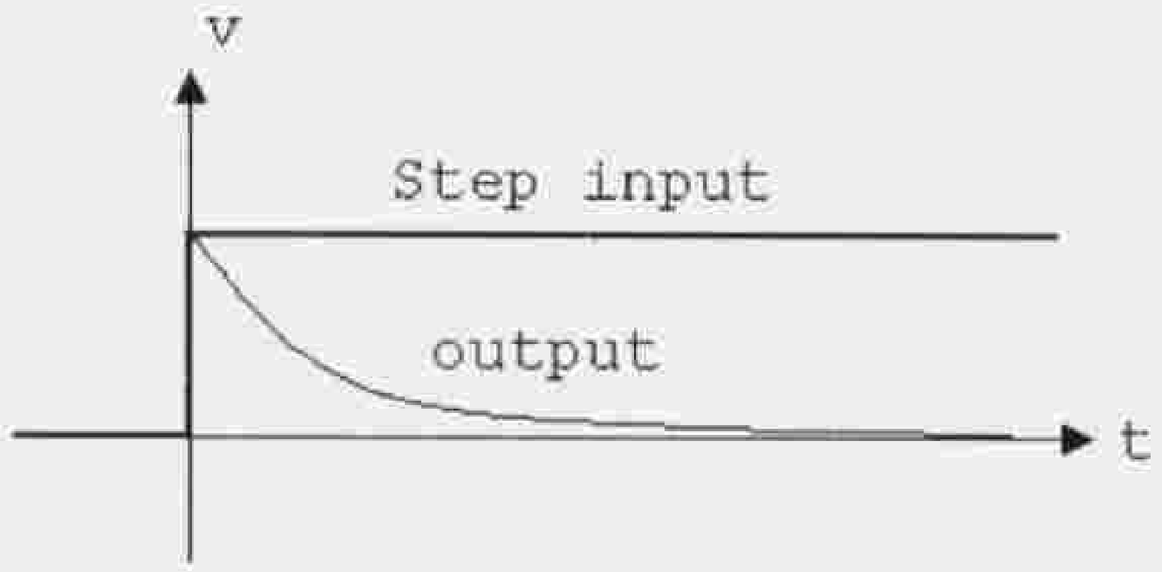
$$f_C = \frac{1}{2\pi.RC}$$

بفرض أن دخل الدارة هو تابع خطوة step function بمطال V، أي $v_{in}(t) = V.u(t)$ حيث u(t) هو تابع الخطوة الواحدي unit step function. يمكن إيجاد الخرج باستخدام تحويل لابلاس Laplace transformation ويتم إيجاد تحويل لابلاس بضرب تابع النقل بالمقدار $\frac{V}{s}$ وبذلك نحصل على:

$$v_o = \frac{\tau.V}{\tau s + 1}$$

والتابع الزمني الموافق لهذه العلاقة هو $v_o = V.e^{\frac{-1}{\tau}}$، وفي الشكل التالي (31.5) نبين كلاً من خطوة الدخل وشكل الخرج.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 35.5 تابع خطوة وشكل استجابة الدارة له.

بما أن معادلات الدارة لشبكة RC هي معادلات تفاضلية من الدرجة الأولى، فإن شكل الاستجابة لأي دخل ثابت يجب أن تكون أسية لذلك يجب أن تكون معادلة الجهد في الخرج من الشكل التالي:

$$v(t) = A + Be^{\frac{-t}{\tau}}$$

A و B هي ثوابت تتعلق بالحالة الابتدائية والنهائية لجهد الخرج، فإذا كانت الحالة الابتدائية للجهد هي V_i والحالة الإنتهائية V_f فإن حل المعادلة السابقة بالنسبة لـــ A و B يعطي العلاقات التالية:

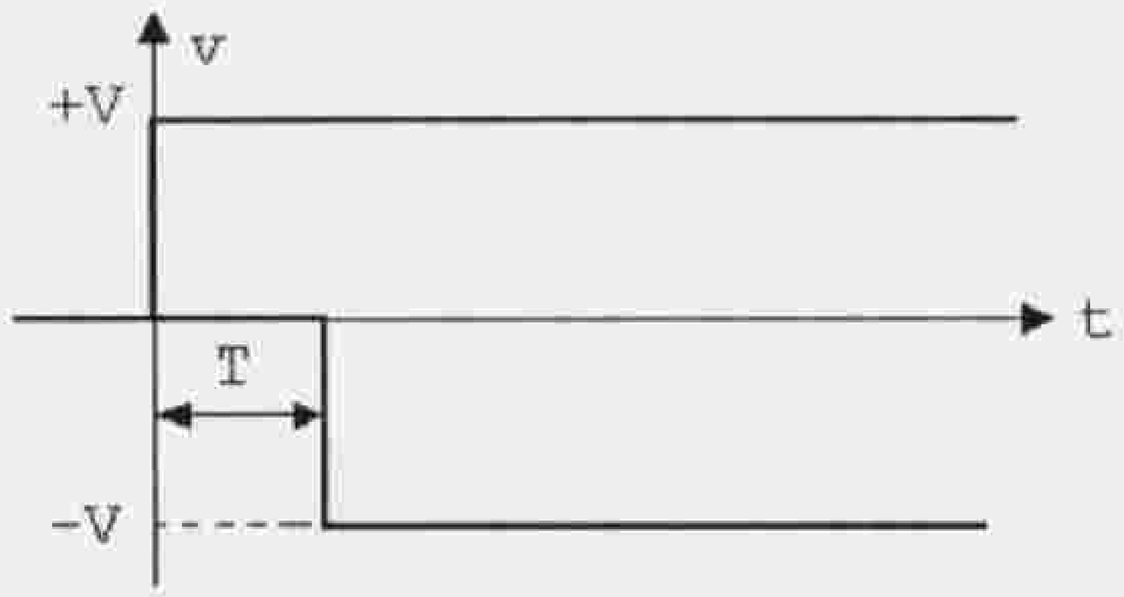
$$v_o(0) = V_i = A + B.e^{0} = A + B$$

$$v_o(\infty) = V_f = A + B.e^{-\infty} = A$$

$$v(t) = V_f + (V_i - V_f).e^{\frac{-t}{\tau}} \qquad (*)$$

وكمثال على استخدام هذه العلاقة سنبين مرة ثانية كيفية الحصول على استجابة الدارة لتابع الخطوة المعطاة في الشكل السابق. القيمة الابتدائية لجهد الدخل هي V لأن جهد المكثف لا يمكن أن يقفز بشكل مباشر من الصفر إلى V، أما القيمة النهائية فهي صفر لأن المكثف يبدو كدارة مفتوحة بالنسبة للجهد المستمر، ولذلك نجد أن $V_i = V$ و $V_f = 0$ ويكون تابع الخرج هو $v_o(t) = V.e^{\frac{-t}{\tau}}$ وذلك تماماً كما وجدنا سابقاً. نقوم الآن بتعقيد النظام بتشكيل الدخل من خطوتين مركبتين كما في الشكل (32.5) حيث نعتبر أن الدخل هو عبارة عن نبضة مطالها V واستمراريتها T ومشكلة من جمع خطوة مطالها V في المبدأ، وخطوة مطالها V- مؤخرة لمدة T ثانية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 36.5 إشارة دخل مكونة من خطوتين الثانية ذات مطال سالب ومزاحة لمدة T.

نعالج هذا المثال على مرحلتين للحصول على جهد الخرج، حيث نوجد الخرج من أجل $t << T$ كما وجدنا سابقاً فنحصل على $v_o(t) = V.e^{\frac{-t}{\tau}}$، ومن هذه المعادلة نوجد جهد الخرج عند $t=T$ فنجد أن $v_o(T^-) = V.e^{\frac{-T}{\tau}}$. يمكن أن يقفز جهد خرج الدارة لحظياً، لذلك نستخدم الرمز T^- للدلالة على الزمن الموافق للحظة قبل حدوث الانتقال. عند $t=T$ يقفز الجهد سلباً بمقدار V فولت، وبما أن جهد المكثف لا يمكن أن يتغير لحظياً ومجموع الجهود في الحلقة المغلقة يساوي الصفر فإن جهد الخرج يجب أن يقفز بمقدار V فولت، أي:

$$v_o(T^+) = v_o(T^-) - V = V(e^{\frac{-T}{\tau}} - 1)$$

وهذه العلاقة تشكل القيمة الأولية للجزء الثاني من الخرج. القيمة النهائية هي صفر ولذلك نستخدم المعادلة (*) بصيغة مزاحة كما يلي:

$v_o(t) = V_f + (V_i - V_f).e^{-(t-T)/\tau}$، وهذه المعادلة تخفف إلى V_i عند $t=T$ وإلى V_f عندما تنتهي t إلى اللانهاية. نوجد الآن القيم الابتدائية والنهائية لجهود هذا الجزء.

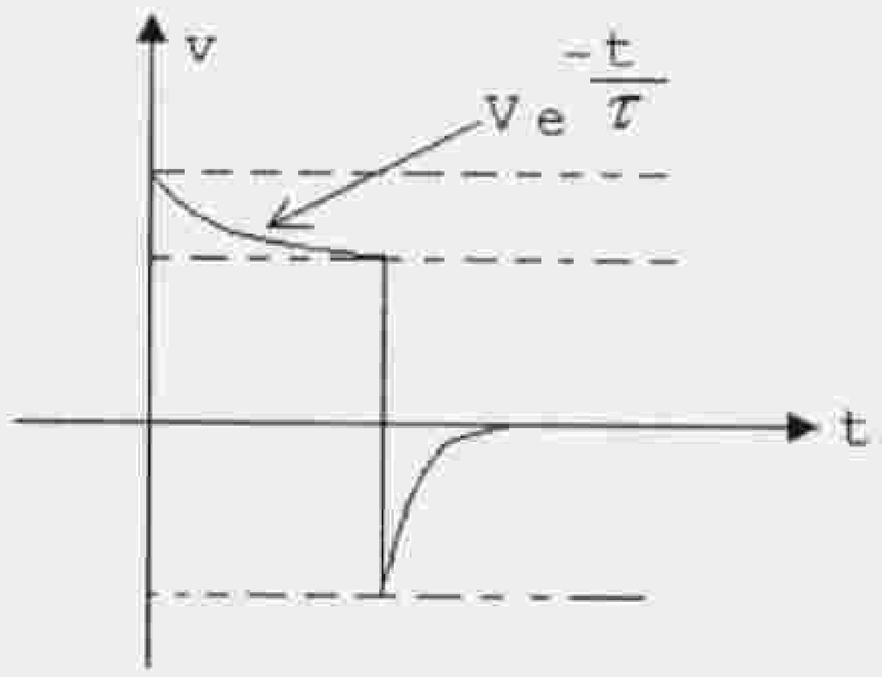
$$V_i = V(e^{\frac{-T}{\tau}} - 1)$$
$$V_f = 0$$

وتعطى معادلة جهد الخرج خلال الجزء الثاني وفق العلاقة التالية:

$$v_o(t) = -V(e^{\frac{-T}{\tau}} - 1)(e^{\frac{-t}{\tau}} - 1)$$

أما شكل جهد الخرج فمبين في الشكل التالي (37.5).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 37.5 استجابة الدارة لإشارة الدخل المبينة في الشكل (36.5).

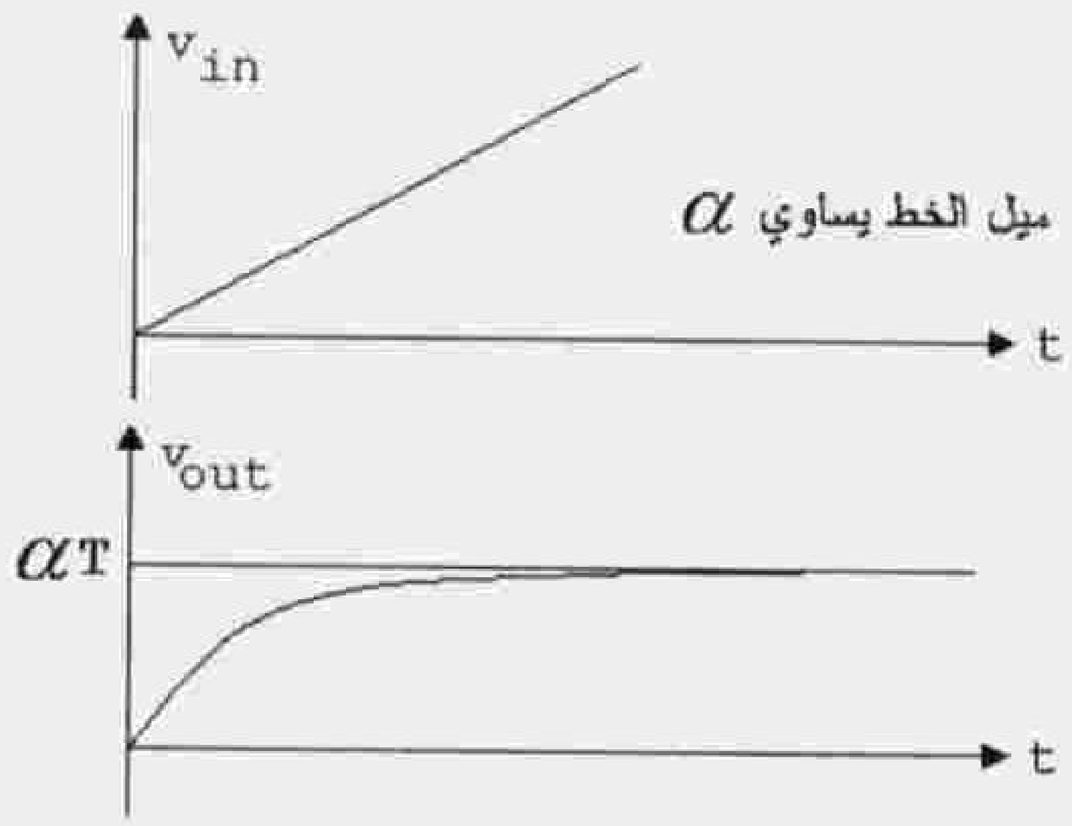
يمكن الحصول على نفس النتيجة باستخدام مبدأ التنضد superposition. بما أن الدخل هو مجموع تابعي خطوة فإن الخرج يكون مجموع استجابة الدارة لكل خطوة. قبل توسيع هذه الاستجابة للخطوة، كي تطبق على قطار نبضي، ندرس بدقة الدخل المتزايد بشكل خطي وميله α حيث نوجد الخرج باستخدام تحويل لابلاس للتابع المتزايد وهو $\frac{\alpha}{s}$ وبعد ذلك نلاحظ أن:

$$v_o(s) = \frac{\alpha}{s^2}\frac{s\tau}{s\tau+1} = \alpha\frac{1}{s(s+\frac{1}{\tau})}$$

و تحويل لابلاس العكسي لهذا التابع هو:

$$v_o(t) = \alpha.T(1-e^{\frac{-t}{\tau}}).u(t)$$

وهذه الاستجابة مبينة في الشكل التالي.



الشكل 38.5 تابع جهد خطي متزايد واستجابة الدارة له.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مثال:

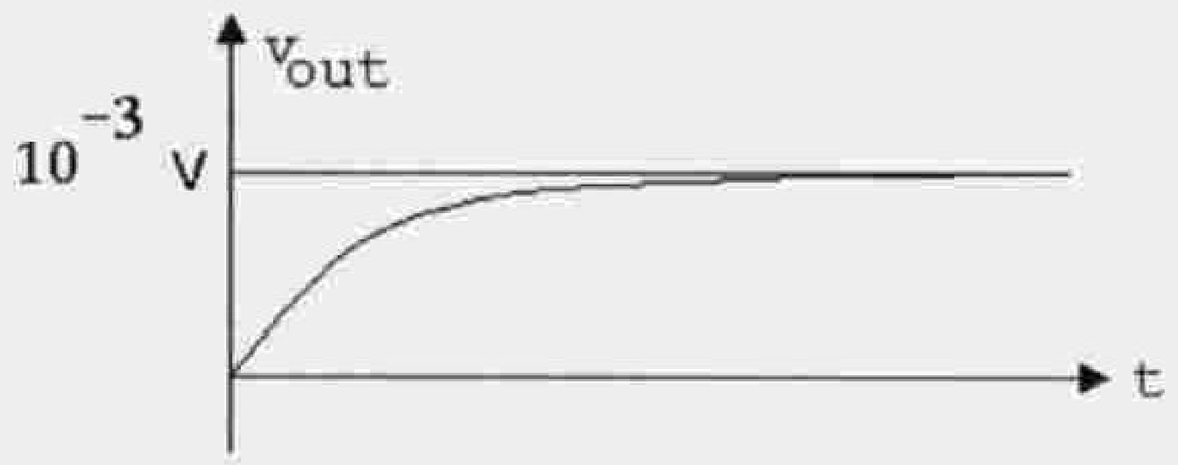
تشكل إشارة جهد خطي متزايد ميلها 10V/s دخلاً لدارة RC لها $\omega_c = 10^4 rad/s$ والمطلوب إيجاد جهد المخرج في الحالة الساكنة، كم يستغرق المخرج كي يصل إلى 90% من جهد الحالة الساكنة وأخيرا يطلب رسم شكل جهد المخرج.

الحل:

$\omega_c = \frac{1}{\tau} \Rightarrow \tau = 10^{-4} s$. نوجد جهد المخرج في الحالة الساكنة من المعادلة (*) عندما ينتهي t إلى اللانهاية فنحصل على $v_o = \alpha.\tau = 10.10^{-4} = 10^{-3} V$.نوجد الزمن الذي يمر حتى يصل جهد المخرج إلى 90% من القيمة النهائية لجهد المخرج كما يلي:

$$\alpha.\tau(1 - e^{\frac{-t}{\tau}}) = 0.9\alpha.\tau \Rightarrow t = \tau \ln(0.1) = 0.23s$$

نلاحظ أن هذه النتيجة مستقلة عن α وفي الشكل التالي نرى إشارة الخرج.



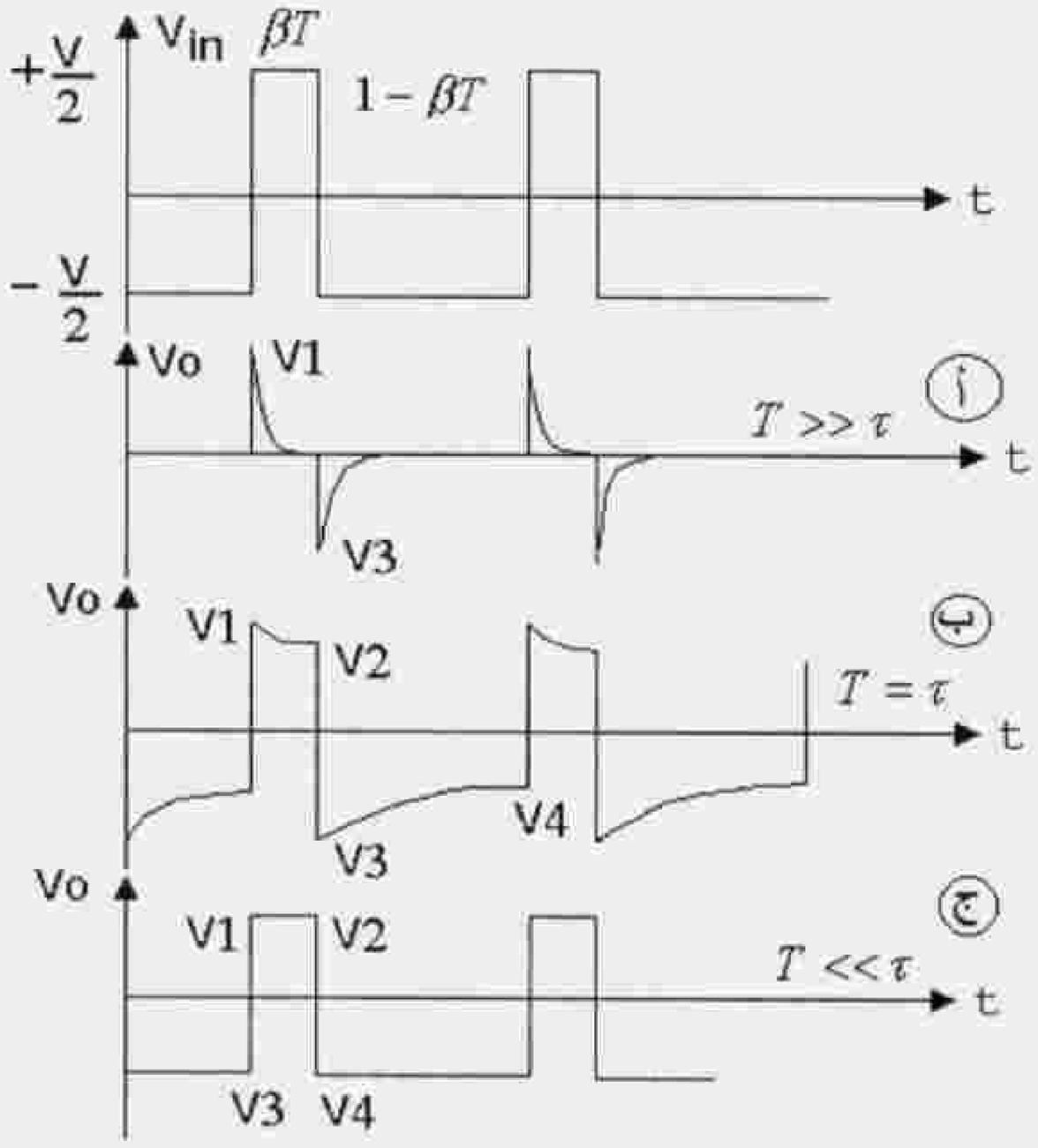
الشكل 39.5 إشارة خرج المثال.

استجابة الحالة الساكنة لشبكة تمرير عالي

steady-state response of high pass network

الآن أصبحت لدينا القاعدة والأدوات اللازمة لدراسة تأثير الدخل النبضي الدوري، حيث نطبق إشارة نبضية (كالمبينة في الشكل) على دارة تمرير عالي، ونجري بعض الفرضيات المنطقية لأن التحليل بدون هذه الفرضيات سيكون معقداً. إذ أنه، وبدون هذه الفرضيات، علينا أن نبدأ من النبضة الأولى ونحلل كما رأينا في الفقرات السابقة وعندما تأتي النبضة التالية تظهر لدينا حالة ابتدائية جديدة للجهد وسيكون من الواجب علينا إعادة التحليل بالنسبة للنبضة الثانية، وهذا التحليل يجب أن يعاد من أجل كل نبضة دخل. ولتسهيل التحليل سوف نعتبر أن جهد المخرج يشبه أحد الأشكال التالية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 40.5 قطار نبضات دخل دارة التمرير العالي والأشكال المفترضة لجهد الخرج.

سوف يتضح معنا بعد قليل لماذا أخذنا ثلاثة أشكال لجهد الخرج، ولكننا نركز الآن على حالة $t=\tau$. يمكننا إجراء هذا الافتراض لأن الدخل يبقى ثابتاً خلال فترة من الزمن وخلال هذا الجزء من التابع الزمني يكون تابع الخرج أسياً متناقصاً إلى الصفر. توجد قيم V_1 وV_3 ومن أجل ذلك نقسم المسألة إلى ثلاث حالات: إذا كان $\tau<<T$ فإن الخرج يبدو كما في الشكل (أ)، أي أن جهد الخرج يصل إلى الصفر بين نبضتين، ونستفيد من حقيقة أن القيمة الوسطى لجهد الخرج تساوي الصفر لأن المكثف لا يمرر الجهد المستمر فهو يبدو كدارة مفتوحة، لذلك تكون مساحة الجزء الموجب تساوي مساحة الجزء السالب وبسبب التناظر نكتب $V_1=-V_3$ وبما أن الدخل يقفز بمقدار V وبما أن جهد المكثف لا يتغير بشكل مفاجئ لذلك نستنتج أن $V_1=-V_3=V$ ويعطى جهد الخرج بالعلاقة التالية:

$$v_0 = \pm V \exp(\frac{-(t-t_0)}{\tau}$$

وذلك ضمن كل منطقة، وطبعاً لا تعتبر هذه العلاقة صحيحة بالنسبة للشكلين (ب و ج) لأننا نفترض عدم تناظر نبضات الدخل.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

ندرس الحالة التي يكون فيها $\tau = T$ حيث ينخفض الخرج بمقدار ملحوظ ولكنه لا يصل إلى الصفر بين حالتين عابرتين مقدار كل حالة عابرة هو V ولذلك يكون:

$$V_1 = V_4 + V$$
$$V_3 = V_2 - V$$

في هاتين المعادلتين أربعة مجاهيل، ومن أجل تأمين إمكانية الحل نحصل على معادلتين إضافيتين من أخذ الانخفاض الأسي بالاعتبار. ينشأ V_2 من علاقة أسية تبدأ عند V_1 وتتخامد إلى الصفر في زمن يساوي $\beta.T$ ثانية، وكذلك ينشأ V_4 من جهد أسي يبدأ عند V_3 ويتخامد خلال $(1-\beta.T)$ ثانية إلى الصفر.

$$V_2 = V_1.e^{\frac{-\beta.T}{\tau}}$$
$$V_4 = V_3 e^{\frac{-(1-\beta).T/\tau}{}}$$

بحل هذه المعادلات نحصل على:

$$V_1 = \frac{V(1-e^{-(1-\beta).T/\tau}}{1-e^{-T/\tau}}$$

وبفرض أن $\beta = 0.5$ نجد أن:

$$V_1 = \frac{V}{1-e^{\frac{T}{2\tau}}}$$
$$V_3 = -V_1$$
$$V_4 = -V_2$$
$$V_2 = V - V_1$$

أما عندما يكون الثابت الزمني أكبر بكثير من دور الإشارة فإن شكل الخرج يشبه الجهد المعطى في الشكل (ج)، وبما أن $V_2 = V_1, V_4 = V_3$ ومقدار الانتقال العابر V، فإن $V_3 + V = V_1$. وبملاحظة أن القيمة الوسطى تساوي الصفر، وبملاءمة المنطقة الموجبة والسالبة نحصل على:

$$\beta.T(V_1) = -(1-\beta).T.V_3$$
$$V_1 = V_2 = V(1-\beta)$$
$$V_3 = V_4 = -V(\beta)$$

لاحظ أن جهد الخرج في هذه الحالة يشبه جهد الدخل ولكن مع وجود بعض الانزياح. عند تصميم منظومة يكون اختيار الثابت الزمني دقيقاً، فإذا كان المطلوب الحصول على نبضات ضيقة من أجل عملية القدح، فإن جهد خرج دارة RC يجب أن يكون كما في الشكل (أ) وتصمم الدارة

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

بحيث يكون $T>>\tau$، أما إذا كان المطلوب نقل الدخل إلى الخرج فتصمم دارة RC بحيث يكون $T<<\tau$.

مثال:

تطبق نبضة مربعة متناظرة مطالها V=10V على دارة مرشح تمرير عالي فيه R=1K و C=1μF والمطلوب رسم جهود الخرج وتحديد الجهود المرجعية عندما يكون تردد النبضات 50Hz، 500Hz و 5KHz.

الحل:

بما أن النبضات متناظرة فإن $\beta=0.5$. $\tau=RC=(1K).(1\mu F)=1ms$. عندما يكون f=50Hz فإن $T=1/f=1/50=20ms\Rightarrow T>>\tau\Rightarrow V_1=V=10V, V_3=-V=-10V$ والنتيجة مبينة في الشكل (أ).

$f=500Hz\Rightarrow T=1/500=2ms\Rightarrow T\cong\tau\Rightarrow V_1=V_4+V=-V_2+V=-V_3$

$$V_2=V_1e^{\frac{-T}{2\tau}}=-V_4$$

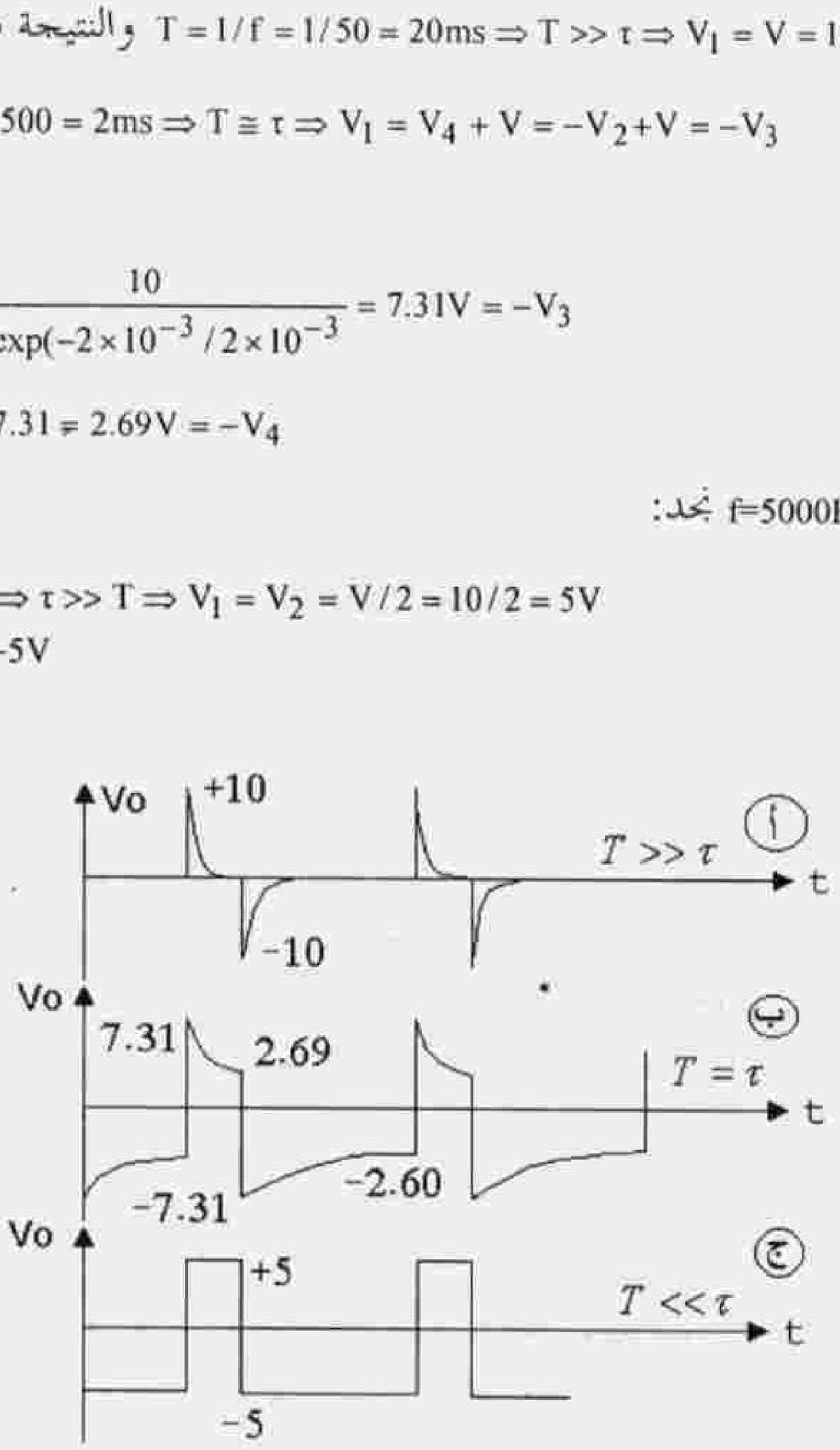
$$V_1=\frac{V}{1-e^{\frac{-T}{2\tau}}}=\frac{10}{1+\exp(-2\times10^{-3}/2\times10^{-3}}=7.31V=-V_3$$

$$V_2=V-V_1=10-7.31=2.69V=-V_4$$

وأخيراً وعندما f=5000Hz نجد:

$T=1/5000=0.2ms\Rightarrow\tau>>T\Rightarrow V_1=V_2=V/2=10/2=5V$

$V_3=V_4=-V/2=-5V$

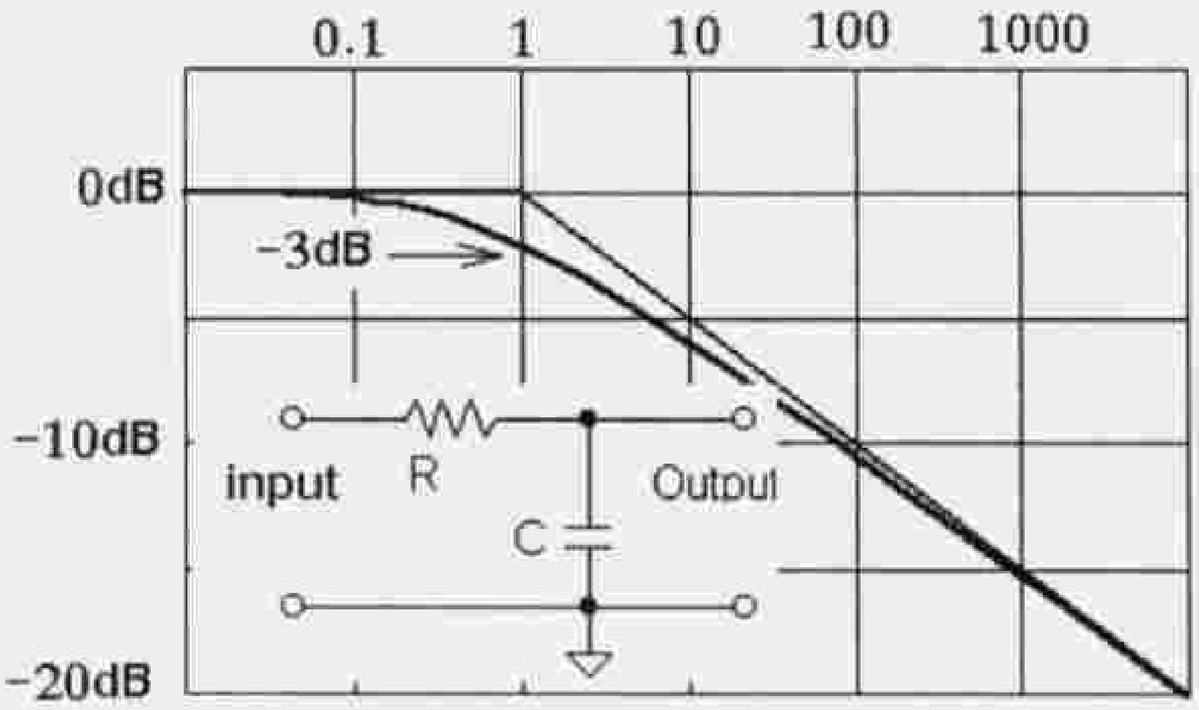


الشكل 41.5 أشكال جهود الخرج للمثال.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

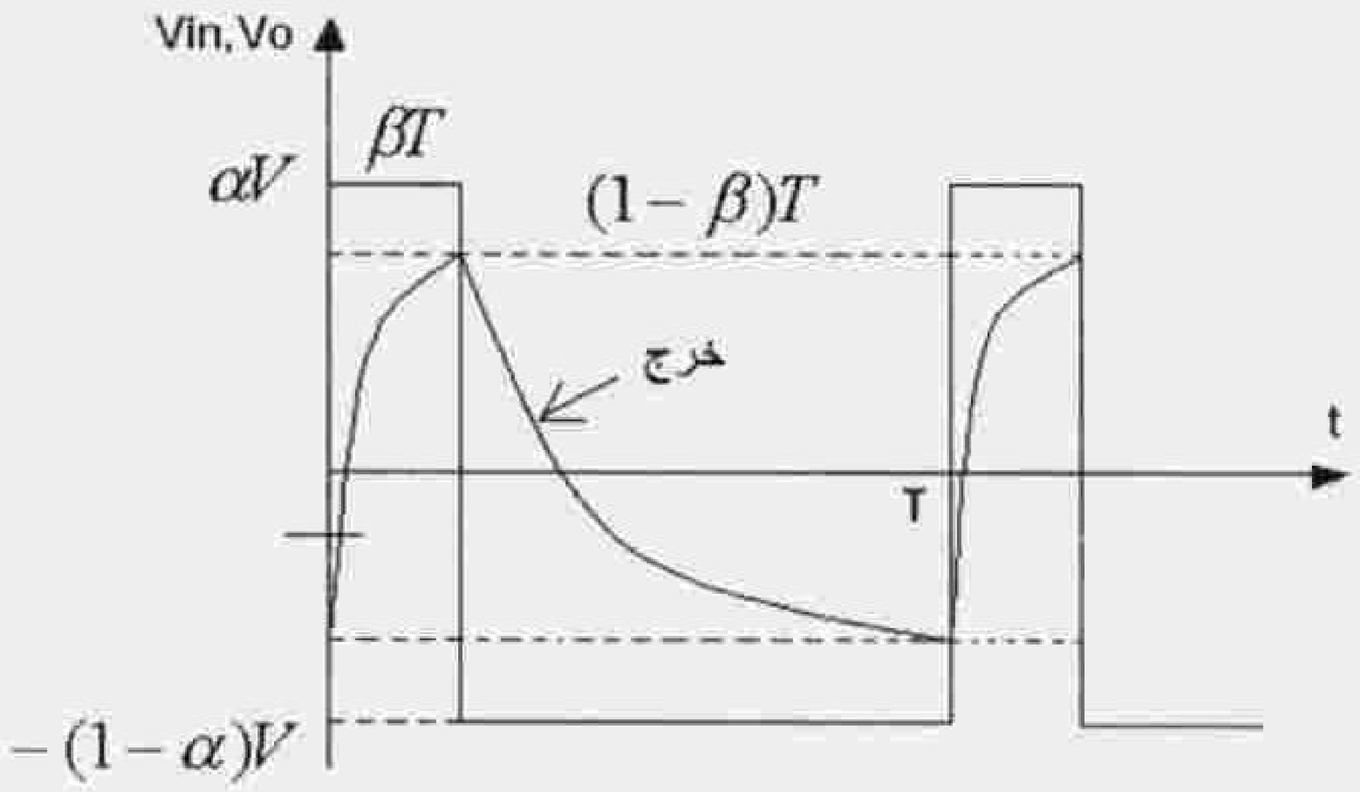
2.19.5 دارة التمرير المنخفض

إذا عكسنا مواقع المكثف والملف في دارة التمرير العالي نحصل على دارة تمرير منخفض كما في الشكل (38.5) وتسمى هذه الدارة أيضاً مرشح تمرير منخفض من الدرجة الأولى، وهذه الدارة تمرر الترددات المنخفضة والتي تبدأ بالتردد صفر وحتى تردد معيَّن يسمى تردد القطع ويتعلق بقيم المقاومة والمكثف وتخمد الترددات العالية وفي الشكل (42.5) يعطى منحني الاستجابة المطالية للدارة إذا كانت إشارة الدخل جيبية.



الشكل 42.5 دارة تمرير منخفض ومنحني استجابتها المطالية.

يعطى تابع نقل الدارة بالعلاقة $\frac{v_o}{v_{in}} = \frac{1}{1+s\tau}$ ، حيث $\tau = RC$ هو الثابت الزمني للدارة. سندرس الان استجابة هذه الدارة لنبضات مربعة كالمبينة في الشكل (39.5).



الشكل 43.5 استجابة نبضية لدارة تمرير منخفض.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

المطال الموجب للنبضات المعطاة يساوي α.V، أما المطال السالب فيساوي V(α-1)-، والتأرجح الكلي للنبضة يساوي V. يؤخذ الخرج على طرفي المكثف لذلك لا يمكن أن يتغير الخرج بشكل مفاجئ، وهذه الاستمرّارية في جهد الخرج تجعل عملية التحليل أبسط وذلك لأنه يوجد فقط جهدان غير معروفان هما V_1 وV_2. في المجال من t=0 حتى $t=\beta.T$ نجد أن القيمة الأولية للجهد $V_i=V_1$، أما القيمة النهائية للجهد فهي $V_f=\alpha.V$ وذلك عندما يسمح للمكثف أن يشحن إلى زمن ينتهي إلى اللانهاية. نستخدم هاتين القيمتين في المعادلة العامة لجهد الخرج ما.

$$v_o(t)=\alpha.V+(V_1-\alpha.V).e^{\frac{-t}{\tau}}$$

$$t=\beta.T \Rightarrow v_o(\beta.T)=V_2=\alpha.V+(V_1-\alpha.V).e^{-\frac{\beta.t}{\tau}} \qquad (*)$$

أما في المجال $\beta T<t<T$:

$$V_i=V_2$$
$$V_f=-(1-\alpha).V$$

$$v_o(t)=-(1-\alpha).V+(V_2+V-\alpha.V).e^{\frac{-(t-\beta.T)}{\tau}}$$

$$t=T \Rightarrow v_o(t)=-(1-\alpha).V+(V_2+V-\alpha.V).e^{\frac{-(1-\beta.)T}{\tau}} \qquad (**)$$

بحل المعادلتين (*) و (**) نحصل على العلاقات التالية لـــ V_1 و V_2، وذلك بفرض أن نبضات الدخل متناظرة بحيث يكون $\alpha=\beta=0.5 \;\&\; V_1=V_2$:

$$-V_1=V_2=\frac{V(1-e^{\frac{-T}{2\tau}})}{2(1+e^{\frac{-T}{2\tau}})}$$

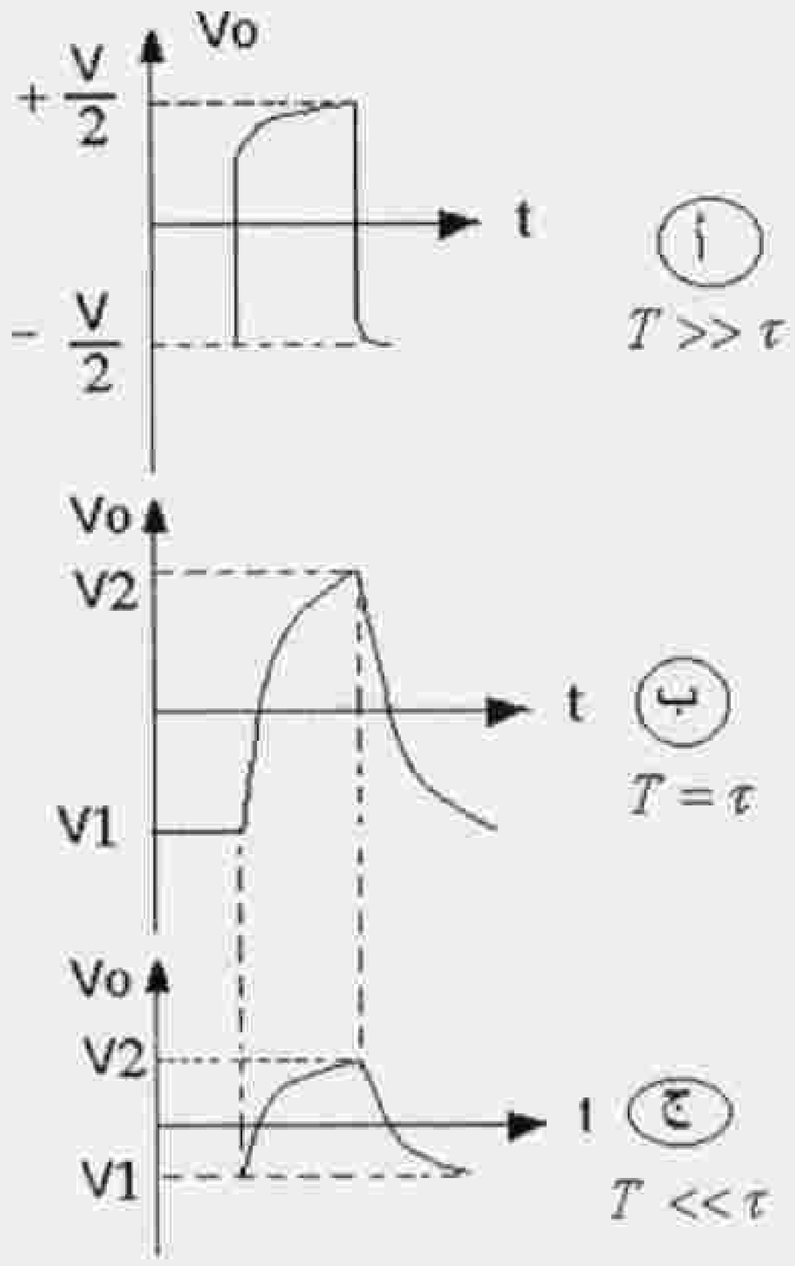
وطبعاً يتعلق شكل جهد الخرج بالعلاقة بين T و τ.

$$\tau<<T \Rightarrow -V_1=V_2=V/2$$

$$\tau>>T \Rightarrow -V_1=V_2=\frac{V(1-e^{\frac{-T}{2\tau}})}{2(1+e^{\frac{-T}{2\tau}})}$$

$$\tau=T=-V_1=V_2=\frac{V(1-e^{\frac{-T}{2\tau}})}{2(1+e^{\frac{-T}{2\tau}})}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 44.5 أشكال إشارة الخرج لدارة التمرير المنخفض.

مثال:

تطبق نبضة مربعة بجهد يساوي 5V من القمة إلى القمة على دارة تمرير منخفض فيها R=10K و C=0.1μF. ارسم شكل الخرج إذا كان تردد الدخل f=50Hz، f=500Hz و f=5KHz.

$$\tau = RC = (10K)(0.1\mu F) = 1ms$$
$$f = 50Hz = T = 20ms \Rightarrow \tau << T \Rightarrow -V_1 = +V_2 = V/2 = 2.5V$$

وشكل جهد الخرج كما في الشكل (أ).

$$f = 500Hz \Rightarrow T = 2ms \Rightarrow \tau = T$$
$$V_2 = V_2 = \frac{V(1-e^{\frac{-T}{2\tau}})}{2(1+e^{\frac{-T}{2\tau}})} = 2.5\frac{1-e^{-1}}{1+e^{+1}} = 1.1555V$$
$$V_1 = -V2 = -1.1555$$

وشكل موجة الخرج كما في الشكل (ب).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$f = 5000Hz \Rightarrow T = 0.2ms \Rightarrow T << \tau$$

$$V_2 = \frac{V(1 - e^{\frac{-T}{2\tau}})}{2(1 + e^{\frac{-T}{2\tau}})} = 2.5\frac{1 - e^{-0.1}}{1 + e^{+0.1}} = 0.125V$$

$$V_1 = -V_2 = -0.125$$

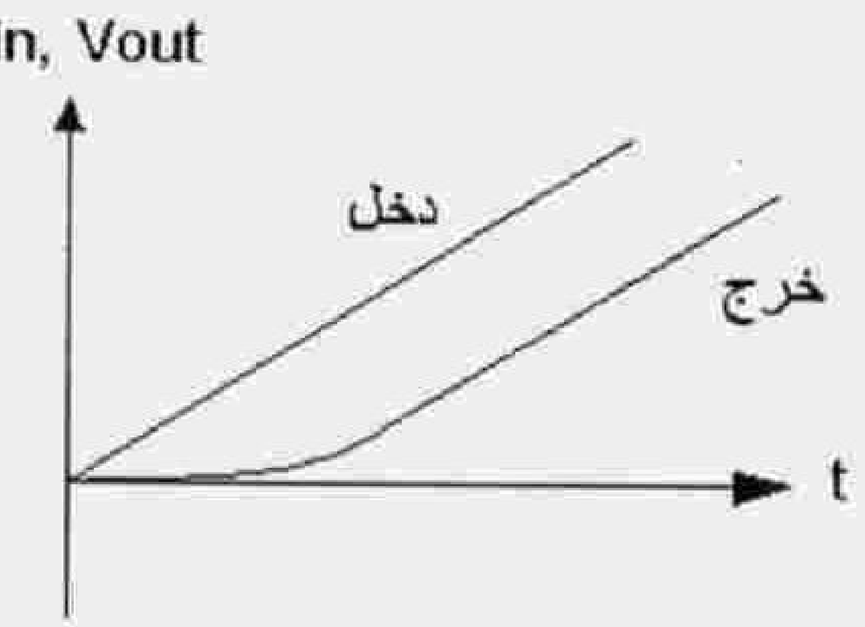
وشكل الخرج مبين في الشكل (ج).

استجابة دارة التمرير المنخفض لجهد خطي متزايد

تعطى استجابة دارة التمرير المنخفض لتابع خطي متزايد بالعلاقة التالية:

$$v_o(t) = (-\alpha\tau + \alpha.t + \alpha\tau e^{\frac{-t}{\tau}}).v(t)$$

حيث α هي ميل التابع المتزايد وفي الشكل (45.5) نبين شكل هذه الاستجابة.



الشكل 45.5 استجابة دارة التمرير المنخفض لجهد دخل خطي متزايد.

مثال:

ارسم شكل الخرج لدارة تمرير منخفض إذا كان $Wc = 5000rad/s$ راديان على الثانية، و $\alpha = \frac{10V}{s}$.

الحل:

من المعطيات نجد أن $\tau = 1/5000\ s$. نطبق العلاقة التي تعطي جهد الخرج فنحصل على:

$$v_o(t) = (-\alpha\tau + \alpha.t + \alpha\tau e^{\frac{-t}{\tau}}).v(t) = (-0.002 + 10t + 0.002e^{-5000t}).u(t)$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

6 المبدلات التشابهية الرقمية (A/D) والرقمية التشابهية (D/A)

1.6 المبدل التشابهي الرقمي (A/D)

إن وظيفة المبدل ADC هي تحويل الإشارات التشابهية إلى إشارات رقمية. وقد زادت الحاجة إلى هذه المبدلات بسبب التطور الكبير في المعالجة الرقمية للمعلومات، وتختلف المتطلبات التي يجب توفرها في هذه المبدلات حسب مجال الاستخدام ولكن أهم هذه المتطلبات هي:

- سرعة التبديل.
- الخطية العالية.
- الدقة في الأداء.
- كبت الضجيج.

وتتم عملية التبديل من الشكل التشابهي إلى الرقمي وفق الخطوات التالية:

- أخذ عينات من الإشارة المراد تحويلها.
- تكميم مطال العينة.
- تحويل المطال المكمم إلى رمز.

وبالطبع ينشأ ضياع لجزء من المعلومات بسبب عملية أخذ العينات وتحويلها إلى أرقام، ويتم تقليل هذا الضياع بزيادة معدل أخذ العينات وزيادة عدد مستويات التكميم. ويؤدي هذا بدوره إلى زيادة عدد خانات الإشارة في الخرج وكذلك زيادة زمن التبديل. تتم عملية التحويل من تشابهي إلى رقمي وفق عدة طرق وسنتعرف فيما يلي على بعض طرق التبديل المستخدمة.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

2.6 المبدل التفرعي

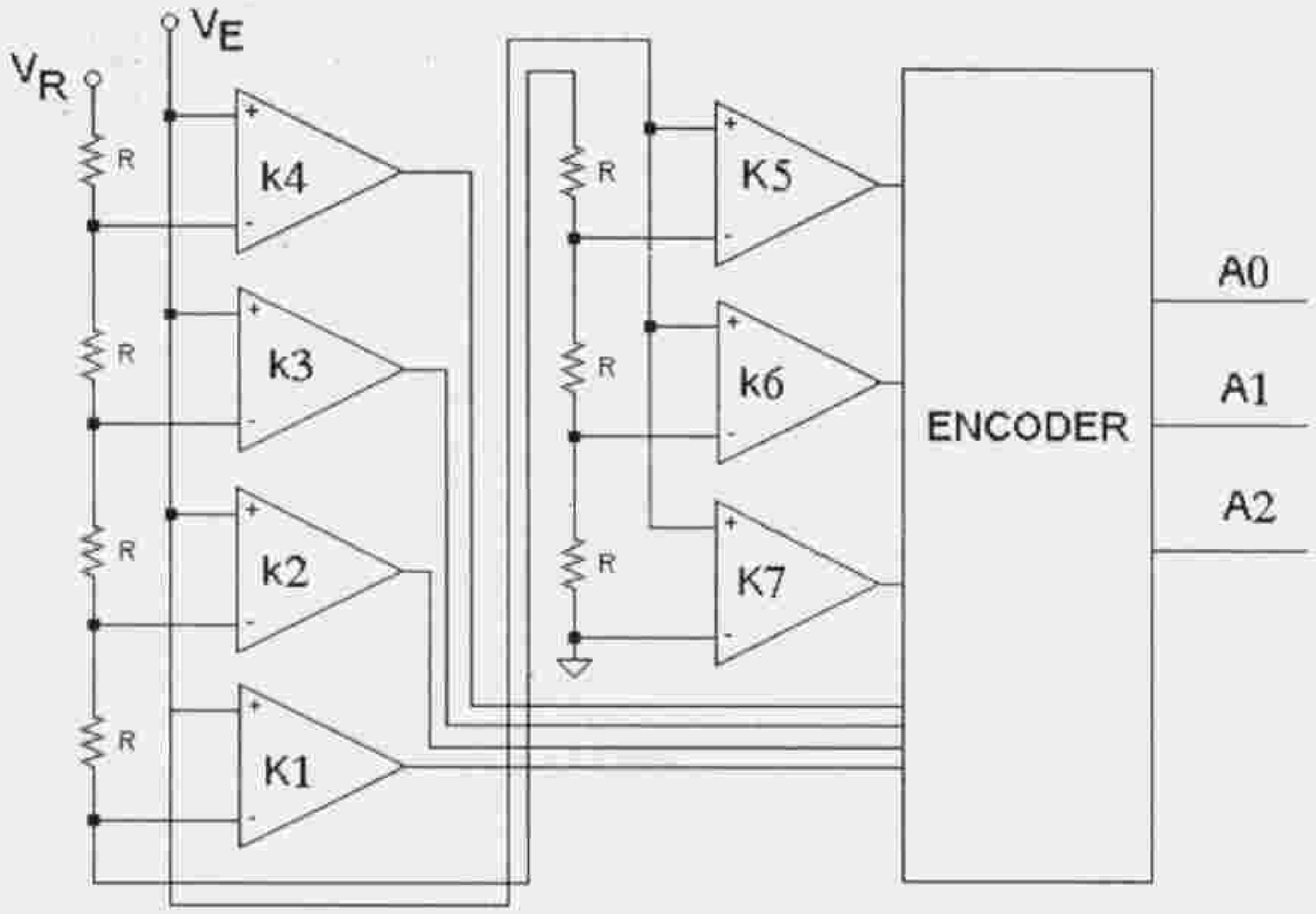
يعتمد هذا المبدل في مبدأ عمله على طريقة المقارنة حيث تتم مقارنة إشارة الدخل مع مستويات جهدية عددها $2^n - 1$، وبنتيجة المقارنة يتم تقدير أي من هذه المستويات يساوي جهد الدخل. وهذه الطريقة هي من أبسط الطرق ولكنها تحتاج إلى عدد كبير من المقارنات، ولكنها تتميز بأن لها زمن تبديل قصير. وفي الشكل نرى مبدلاً تفرعياً ذي خرج مكون من ثلاث خانات. وكما نلاحظ من الدارة فإن المبدل يحتوي على سبع مبدلات، وتتم هنا مقارنة جهد الإشارة مع سبع مستويات للجهد ($2^3 - 1$). يطبق خرج المقارنات على دارة تشفير، ومن خرج دارة التشفير نحصل على الإشارة الرقمية. يكون خرج المقارن صفراً إذا كان $V_E \leq V_R$، ويساوي الواحد عندما يكون $V_E > V_R$. وفي الجدول (1.6) نلخص الوضع المنطقي لخرج المقارنات السبعة المستخدمة وكذلك خرج دارة المرمز (المشفر). يرمز في الجدول للمقارنات بالحرف K وللجهد المرجعي بالرمز V_R ولجهد الدخل بالرمز V_E أما مخارج المشفر (المرمز) فتم ترميزها بدءاً من الخانة الأقل أهمية Least significant bit (LSB) بالرمز A0 وحتى الخانة الأكثر أهمية Most significant bit (MSB) بالرمز A2.

الجدول 1.6 الوضع المنطقي لمخارج المقارنات و دارة التشفير.

V_E/V_R	K1	K2	K3	K4	K5	K6	K7	A2	A1	A0
0 → 1/8	0	0	0	0	0	0	0	0	0	0
1/8 → 2/8	1	0	0	0	0	0	0	0	0	1
2/8 → 3/8	1	1	0	0	0	0	0	0	1	0
3/8 → 4/8	1	1	1	0	0	0	0	0	1	1
4/8 → 5/8	1	1	1	1	0	0	0	1	0	0
5/8 → 6/8	1	1	1	1	1	0	0	1	0	1
6/8 → 7/8	1	1	1	1	1	1	0	1	1	0
7/8 → 8/8	1	1	1	1	1	1	1	1	1	1

نبين في الشكل التالي دارة المبدل.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 1.6 دارة المبدل التفرعي التشابهي الرقمي.

يتم تصميم المرمز Encoder اعتماداً على الجدول السابق حيث نلاحظ أن:

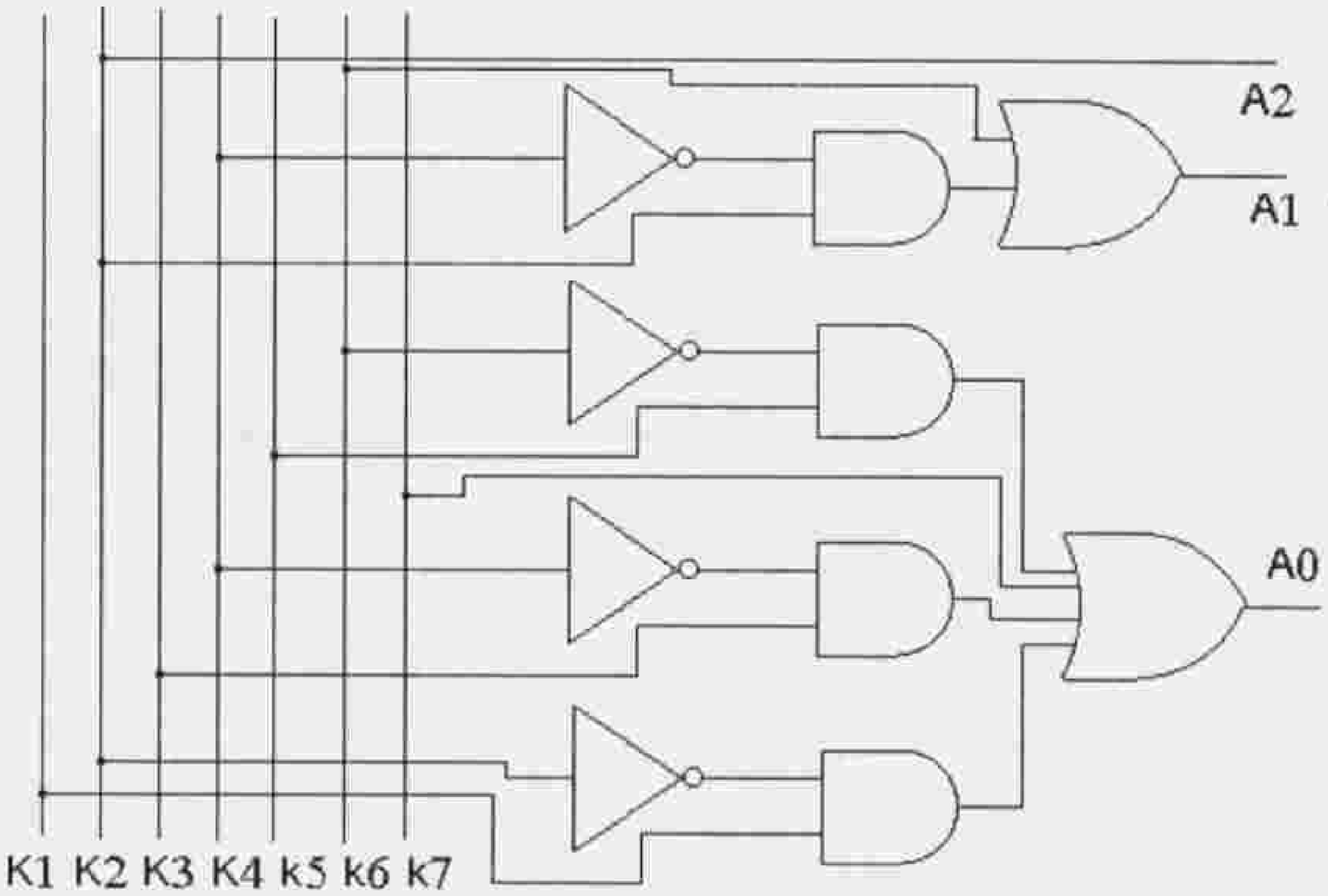
$$A2 = K4$$

$$A1 = K2.\overline{K4} + K6$$

$$A0 = K1.\overline{K2} + K3.\overline{K4} + K5.\overline{K6} + K7$$

والدارة المنطقية التي تحقق هذا المرمز مبينة في الشكل (2.6).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

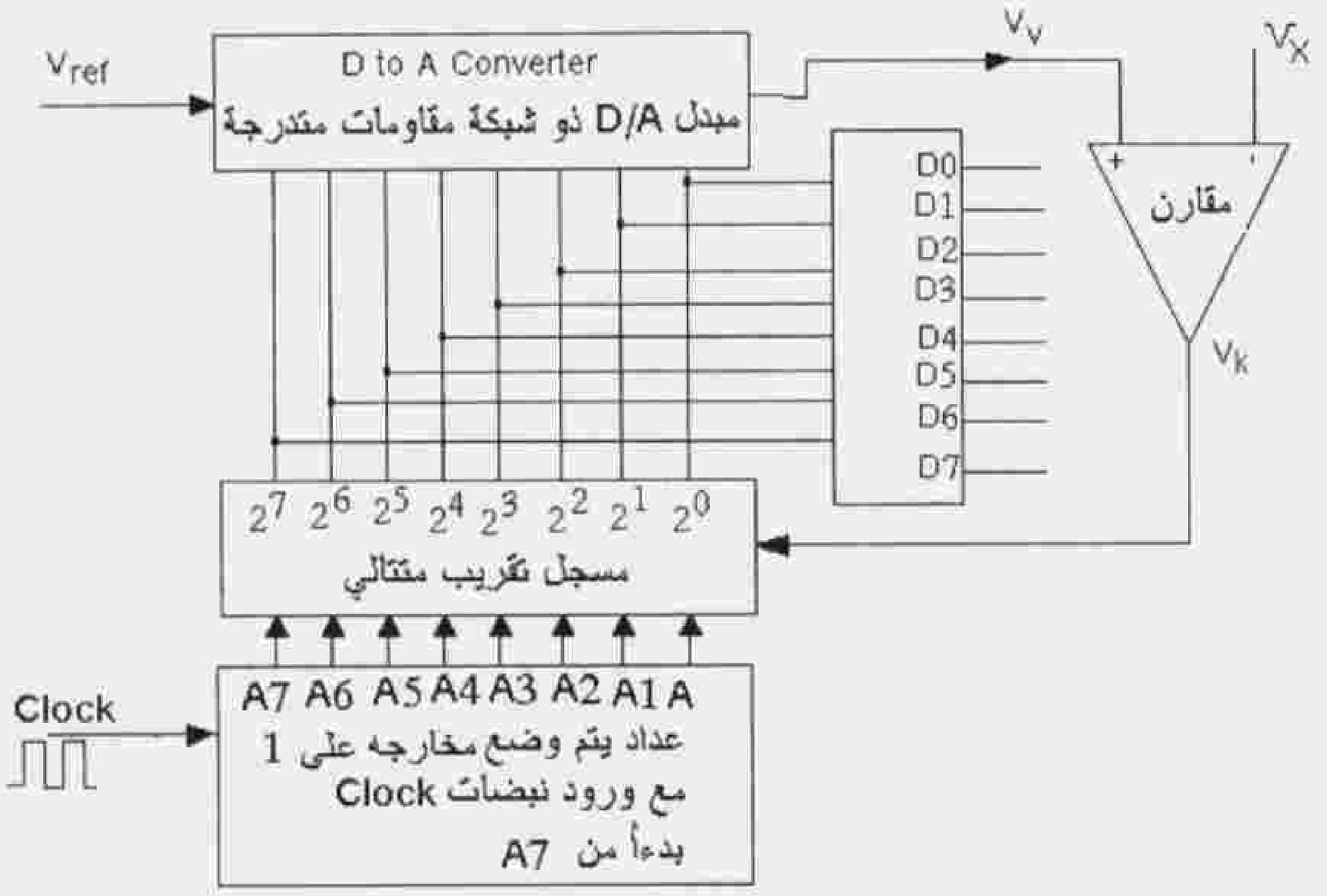


الشكل 2.6 الدارة المنطقية لرمز المبدل المبين في الشكل (1.6).

3.6 المبدل AD الذي يعمل وفق مبدأ التقريب المتتالي

تمتاز المبدلات التي تعمل وفق هذا المبدأ بأن زمن التبديل فيها قصير نسبياً، وهذه الطريقة في التبديل هي الطريقة المعيارية في المبدلات المتوسطة والعالية السرعة. ويعتمد مبدأ عمل هذه الطريقة على مقارنة خرج مبدل D/A مع الإشارة المراد تبديلها وذلك بشكل متكرر والشكل (3.6) يبين نموذجاً لمبدل A/D تقريب متتالي، ومن خلال هذا الشكل سوف نشرح مبدأ العمل.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 3.6 المخطط الصندوقي لمبدل تقريب متتالي.

يعطى جهد خرج المبدل D/A ذي شبكة المقاومات التدرجة بالعلاقة التالية:

$$V_V = (D_n 2^n + D_{n-1}.2^{n-1} + ... + D_1.2^1 + D_0.2^0).\frac{V_{ref}}{2^n}$$

حيث $D_0, D_1, ... D_n$ ثوابت تأخذ إحدى القيمتين 0 أو 1. عند ورود أول نبضة Clock إلى العداد فإنه يضع A7 على الوضع (1) أما باقي المخارج من A0 حتى A6 فتبقى على الوضع (0)، ويتم تخزين الواحد في مسجل التقريب في خانة 2^7 و يطبق على المدخل D7 للمبدل D/A، أما باقي مداخل المبدل فتكون على وضع (0). وبذلك نحصل في خرج المبدل على جهد V_V، ويقارن هذا الجهد مع الجهد V_X. فإذا كان $V_V > V_X$ فإن خرج المقارن سيكون واحداً ويعمل على إعادة خانة 2^7 في المسجل إلى حالة الصفر، أما إذا كانت $V_X > V_V$ فإن خرج المقارن يكون صفراً وتبقى خانة 2^7 في مسجل التقريب على الوضع (1). وهكذا تستمر المقارنة مع كل نبضة Clock حتى تصبح V_V تقريباً مساوية V_X، ولكن وبما أن V_V يتغير على قفزات فإن V_V لن يصبح مساوياً تماماً V_X وإنما يبقى هناك خطأ. وكلما زاد عدد مداخل المبدل D/A وكذلك عدد خانات الخرج الرقمي، فسيكون الخطأ أقل وذلك لأن خطوة تغير الجهد ΔV_V تكون صغيرة كلما زاد عدد خانات الخرج، وتعطى خطوة تغير الجهد وفق العلاقة:

$$\Delta V_V = \frac{1}{2^n} V_{ref}$$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

ففي مبدل ذي ثمانية خانات نجد أن:

$$\Delta V_V = \frac{1}{2^8} V_{ref} = 3.90.10^{-3}.V_{ref}$$

وأعظم قيمة ممكنة لـــ V_V هي:

$$V_{V\,max} = \frac{2^0 + 2^1 + 2^2 + 2^3 + 2^4 + 2^5 + 2^6 + 2^7}{2^8}.V_{ref}$$

فإذا كان $V_{ref} = 10V$ فإن $V_{V\,max} = 9.960V$. يتعلق زمن التبديل بعدد الخانات المطلوبة في الخرج، ففي حالة مبدل ذي ثمانية خانات نحتاج إلى ثمانية نبضات Clock، وفي حالة 16 خانة نحتاج إلى 16 نبضة Clock. فإذا كان تردد نبضات Clock هو 50MHz مثلاً، فإن زمن التبديل $t = n.T = 8(1/[50.10^6]) = 20ns$. نلاحظ هنا أن زمن التبديل لا علاقة له بـــ V_X، وإنما يتعلق بعدد مداخل المبدل الرقمي التشابهي المستخدم. ونبين فيما يلي طريقة التبديل من أجل مثال محدد وذلك لمبدل ذي ثمانية مداخل بفرض أن $V_X = 6.5V$ و $V_{ref} = 10V$ ، مع أشكال V_V, V_K, V_{clock} .

الجدول 2.6 وضعيات مخارج مسجل إشارة الخرج.

	D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	0	0	0	0	0	0
2	1	0	0	0	0	0	0	0
3	1	0	1	0	0	0	0	0
4	1	0	1	0	0	0	0	0
5	1	0	1	0	0	0	0	0
6	1	0	1	0	0	1	0	0
7	1	0	1	0	0	1	1	0
8	1	0	1	0	0	1	1	0
ناتج التبديل	1	0	1	0	0	1	1	0

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$\text{Clock1}(D7 \rightarrow 1), V_V = \frac{2^7}{2^8}.10 = 5V < V_X \Rightarrow D7 = 1$$

$$\text{Clock2}(D6 \rightarrow 1), V_V = \frac{2^7 + 2^6}{2^8}.10 = 7.5V > V_X \Rightarrow D6 = 0$$

$$\text{Clock3}(D5 \rightarrow 1), V_V = \frac{2^7 + 2^5}{2^8}.10 = 6.25 < V_X \Rightarrow D_5 = 1$$

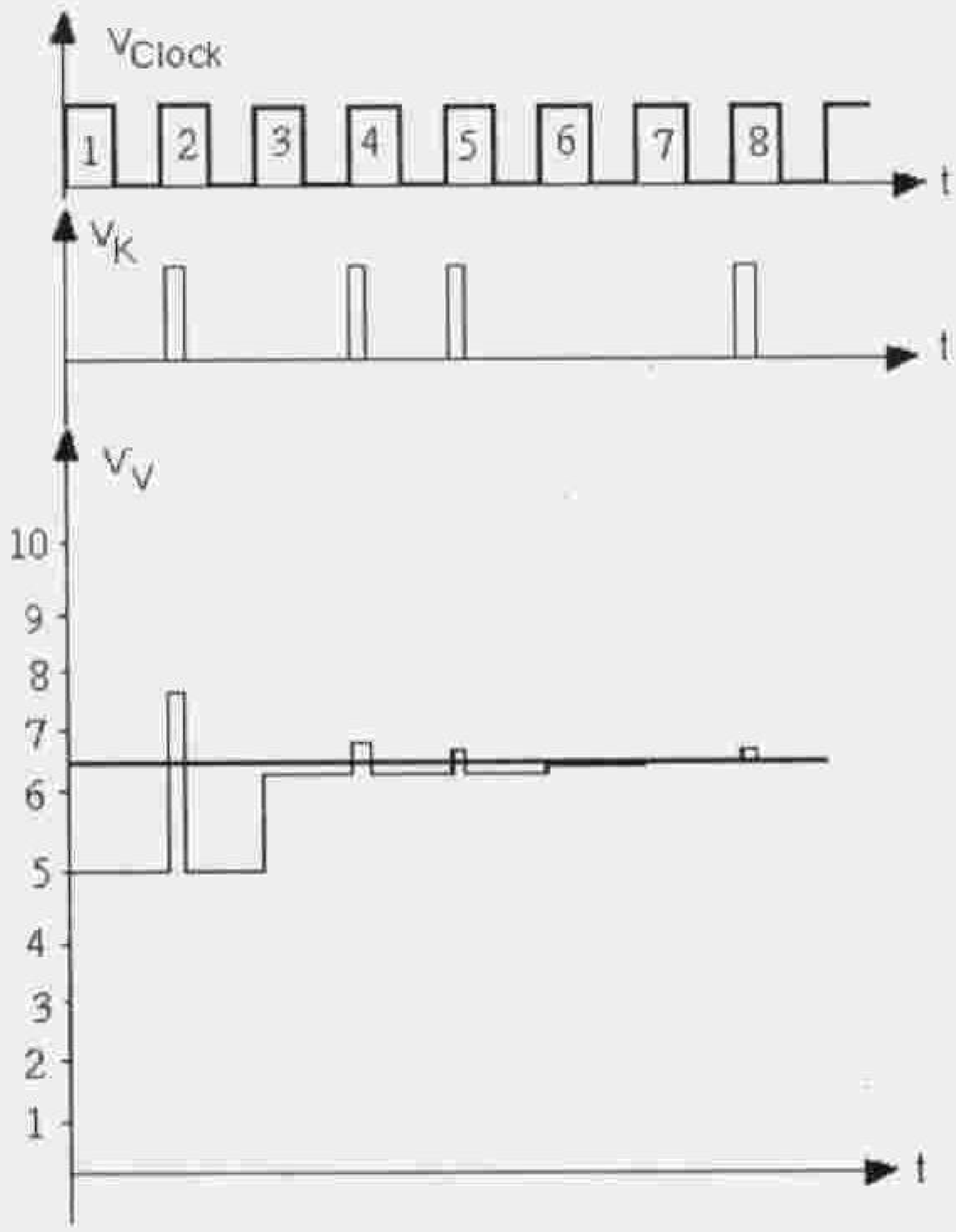
$$\text{Clock4}(D4 \rightarrow 1), V_V = \frac{2^7 + 2^5 + 2^4}{2^8}.10 = 6.87 > V_X \Rightarrow D4 = 0$$

$$\text{Clock5}(D3 \rightarrow 1), V_V = \frac{2^7 + 2^5 + 2^3}{2^8}.10 = 6.56 \Rightarrow D3 = 0$$

$$\text{Clock6}(D2 \rightarrow 1), V_V = \frac{2^7 + 2^5 + 2^2}{2^8}.10 = 6.4 < V_X \Rightarrow D2 = 1$$

$$\text{Clock7}(D1 \rightarrow 1), V_V = \frac{2^7 + 2^5 + 2^2 + 2^1}{2^8}.10 = 6.48 < V_X \Rightarrow D1 = 1$$

$$\text{Clock8}(D0 \rightarrow 1), V_V = \frac{2^7 + 2^5 + 2^2 + 2^1 + 2^0}{2^8}.10 = 6.56 > V_X \Rightarrow D0 = 0$$



الشكل 4.6 أشكال الجهود لبعض المخارج في دارة مبدل التقريب المتتالي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

4.6 أنواع أخرى من المبدلات التشابهية الرقمية

1.4.6 المبدل التشابهي أحادي الميل Single Slope A/D Converter

تطبق إشارة الجهد المرجعي على مكامل له ثابت زمني محدد ويطبق خرج المكامل (الذي يكون موجباً دوماً خلال فترة التبديل) على المداخل غير العاكسة لمقارنين. يوصل المدخل العاكس لأحد هذين المقارنين مع الأرض، وبذلك فإن خرجه يكون على حالة H طيلة فترة المقارنة، أما المدخل العاكس للمقارن الآخر فيوصل مع جهد العينة المراد تبديلها وبذلك فإن خرجه سيكون على وضع Low طالما بقي جهد العينة أكبر من جهد خرج المكامل، ويطبق هذا المخرج مع خرج المقارن الآخر على مدخلي بوابة XOR فيكون خرجها مساوياً الواحد، ويطبق على أحد مدخلي بوابة AND فيسمح للنبضات المطبقة على المدخل الآخر لبوابة AND بالظهور في الخرج ويتم عد هذه النبضات فيكون عددها متناسباً مع جهد الإشارة أو العينة الجاري تبديلها.

2.4.6 المبدل التشابهي الرقمي المكامل ثنائي الميل Dual Slope Integrating Converter

من ميزات هذا المبدل تخفيض الضجيج بالمقارنة مع مبدل التقريب المتتالي، وفيه تقوم إشارة الدخل بشحن مكثف خلال فترة محددة. وبعد ذلك يقاس الزمن الذي يستغرقه التفريغ الكامل للمكثف وفق معدل ثابت، وهذا الوقت يتناسب مع قيمة الإشارة التشابهية المطبقة على الدخل.

3.4.6 مبدل Sigma-Delta

يتم في هذا النوع من المبدلات تحويل الإشارة التشابهية إلى رقمية بدقة منخفضة جداً very low resolutrion تبلغ 1bit وبمعدل عال جداً لأخذ العينات MHz. يمكن بواسطة الزيادة في معدل العينات واستخدام المرشحات الرقمية زيادة الدقة إلى 20bit أو أكثر. تستخدم مبدلات Sigma-Delta لتحويل الإشارات منخفضة التردد إلى إشارات رقمية وتتميز بالخطية الجيدة good linearity والدقة العالية high accuracy.

5.6 أهم مواصفات المبدلات التشابهية الرقمية

الدقة Resolution

وتعني عدد الخطوات التي يقسم إليها مجال الدخل، وعادة ما يتم التعبير عن الدقة كرقم (n) مقدراً بالـــ bit، أما عدد الخطوات فيكون (2^n). فمثلاً في مبدل ذي دقة 12bit يتم تقسيم المجال إلى

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

2^{12} أي إلى 4096 خطوة وهذا يعني أن مجالاً من 0 إلى 10 فولت سوف يتم تحليله إلى خطوات كل منها بمقدار 25mV، أما المجال من 0-100mV مثلاً فيتم تقسيمه إلى خطوات كل منها 0.0025mV.

الخطية linearity

في المبدل A/D المثالي يتم تحويل مجال الدخل إلى 2^n - 1 خطوة متساوية (4096 خطوة في مبدل ذي دقة 12bit)، أما في المبدلات العملية فلا تكون الخطوات متساوية مما يؤدي إلى نشوء عدم خطية في رسم إشارة خرج المبدل كتابع لإشارة الدخل.

زمن تحصيل العينة والإمساك بها Sample and Hold Acquisition Time

تقوم دارة أخذ العينة بتجميد جهد الدخل التشابهي في اللحظة التي تبدأ فيها عملية تحويل العينة إلى رقم. ويعرف زمن التحصيل acquisition time بأنه الزمن بين إطلاق الحالة الممسوكة والحصول على عينة جديدة من جهد الدخل. لا تستخدم دارات أخذ العينة ومسكها في المبدلات التي تعمل وفق مبدأ التكامل.

الإنتاجية Throughput

وتعني معدل الحصول على معطيات في خرج المبدل. وفي الحالة العامة تكون الإنتاجية عكس زمن التحويل + زمن التحصيل، فمثلا إذا كان المبدل يحتاج إلى 10 µs لتحصيل العينة وتحويلها فإنه سيكون قادراً على إنتاج 100000 عينة في الثانية. يمكن زيادة الإنتاجية باستخدام ما يسمى Pipelined A-D Converter، حيث تبدأ عملية التحويل التالية بينما تكون الأولى قيد الإنجاز. يمكن أيضاً أن تنخفض الإنتاجية بسبب عوامل تمنع نقل المعطيات بأعلى معدل ممكن.

زمن التكامل Integration Time

يقاس جهد الدخل في المبدلات المكاملة عن طريق السماح لهذا الجهد بشحن مكثف خلال فترة زمنية محددة. تؤدي عملية التكامل إلى تحديد القيمة الوسطى للإشارة خلال زمن التكامل، وإذا تم اختيار زمن التكامل بشكل مناسب فإن القيمة الوسطى تحسب خلال كامل الدورة الأساسية، مما يخفض الخطأ الناتج عن انزياح التردد. لا تساوي إنتاجية المبدل المكامل عكس زمن التكامل، وذلك لأن الإنتاجية تتعلق بزمن الشحن الأعظمي.

إعادة المعايرة Re-Calibration

تكون بعض المبدلات قادرة على إعادة معايرة نفسها بشكل دوري عن طريق قياس الجهد المرجعي وتعويض الانزياحات وتغيرات الربح compensating for offset and gain drifts، وهذا شيء

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مفيد من أجل المراقبة طويلة الأمد. إذا تم ضبط فترات إعادة المعايرة بحيث تكون متباعدة كثيراً فقد يظهر لديك بعض من عدم الاستمرارية في المعطيات المسجلة عند حدوث إعادة المعايرة.إذا كان لديك قراءة تختلف عن الصفر في الحالات التي يجب أن تكون فيها القراءة صفراً، فإن لديك خطأ انزياح offset error. يحدث الانزياح Drift بسبب تغير قيم العناصر مع الزمن وبسبب درجة الحرارة.

6.6 المبدلات الرقمية التشابهية Digital to analogue converters

يقوم المبدل الرقمي التشابهي بتحويل إشارة الدخل الرقمية إلى جهد تشابهي وسنتعرف فيما يلي على أهم مبادىء التحويل الرقمي التشابهي.

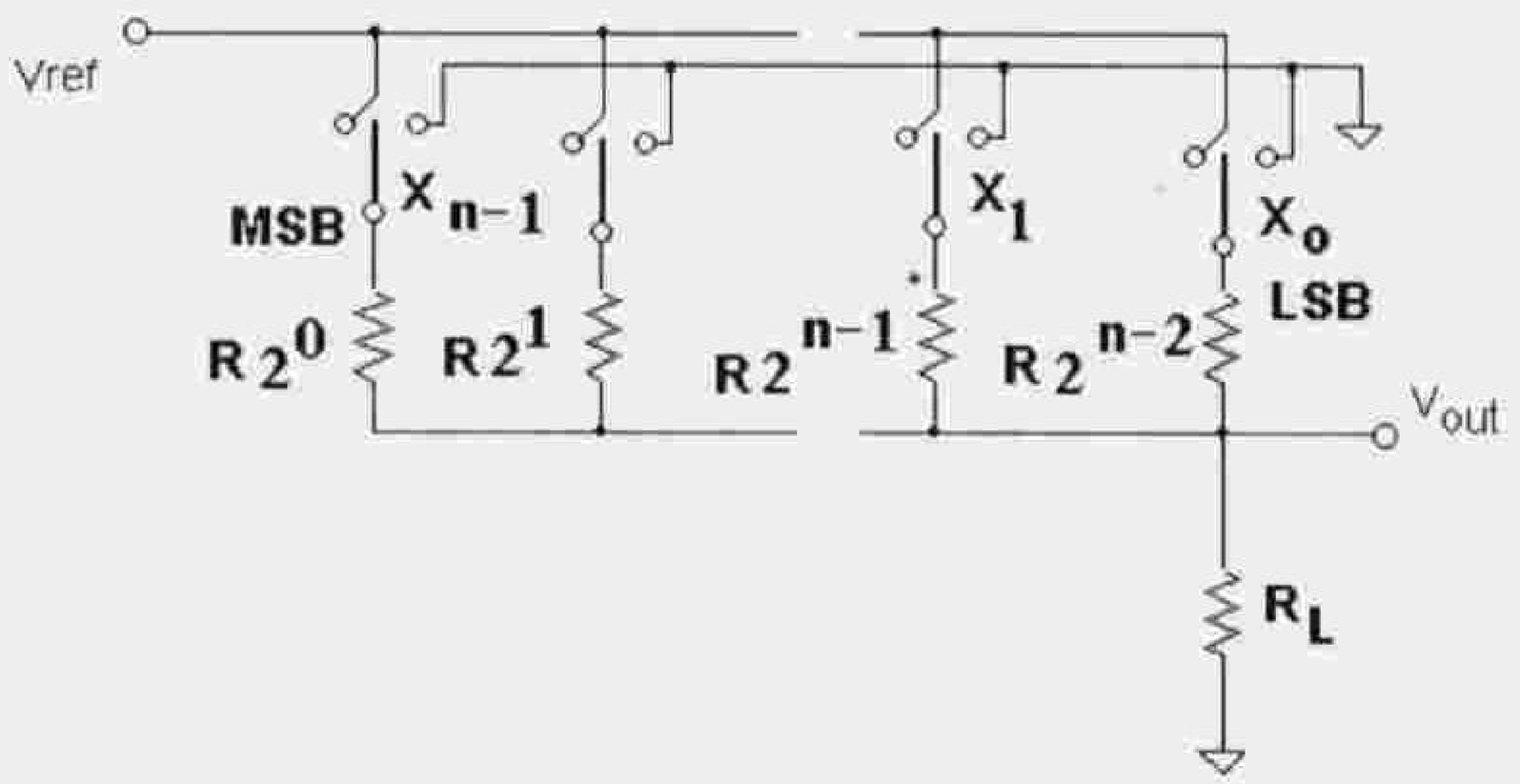
1.6.6 مبدل D/A ذو شبكة مقاومات متدرجة بشكل ثنائي

تعطى الدارة العامة لهذا المبدل بالشكل (5.6). ويعطى جهد خرج المبدل بالعلاقة التالية:

$$V_{out} = \frac{V_{ref}}{2^n} A(x)$$

$$A(X) = X_0 + 2X_1 + 4X_2 + 8X_3 + ... + 2^{n-1}X_{n-1} = \sum_{i=0}^{n-1} X_i 2^i$$

وذلك عندما يكون $R_L = 2^{n-1}.R$، وفي هذه المعادلة تمثل X0 الخانة الأقل أهمية من العدد الرقمي المطبق على المداخل.



الشكل 5.6 دارة مبدل رقمي تشابهي ذي شبكة مقاومات متدرجة بشكل ثنائي.

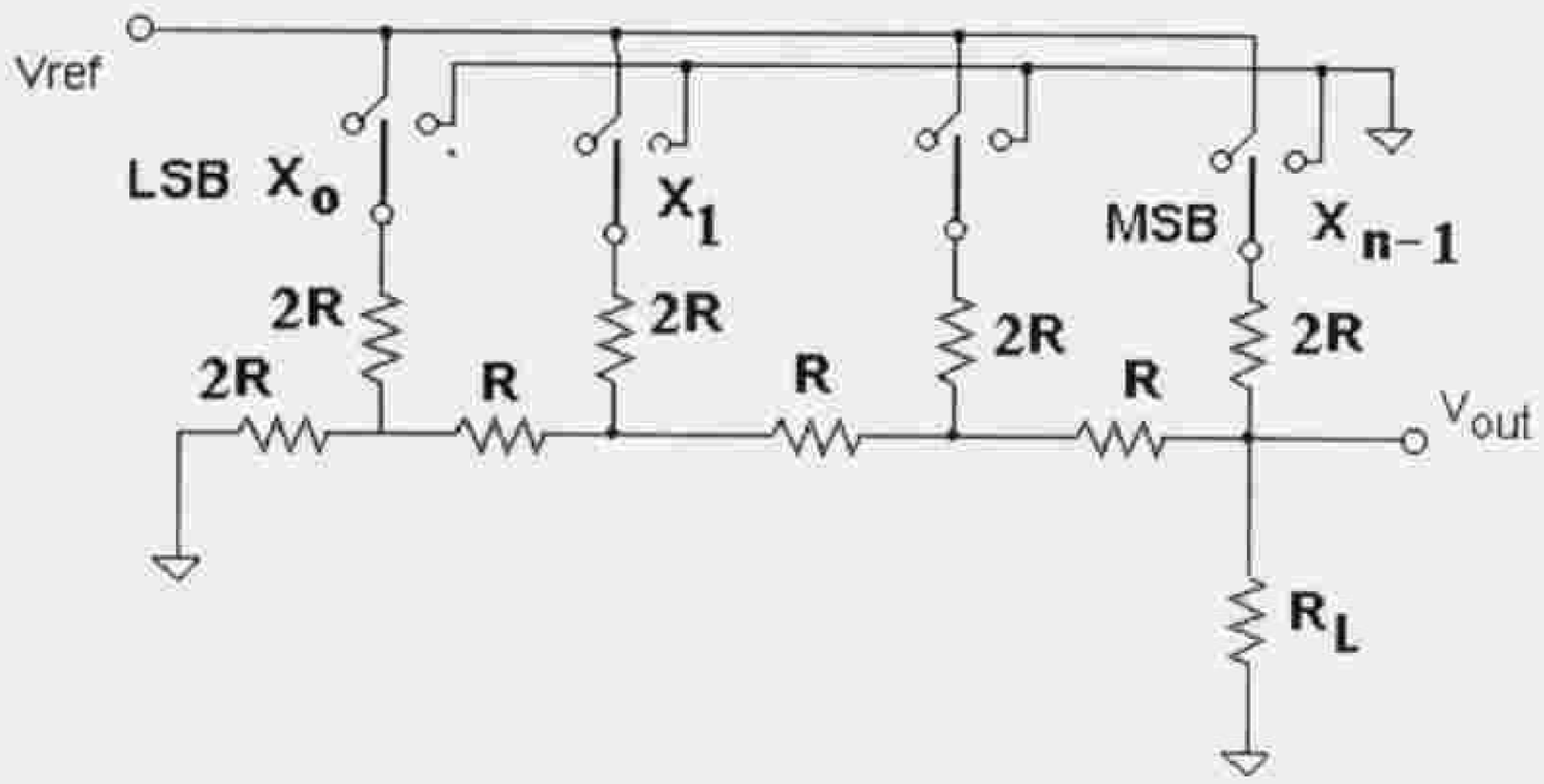
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

2.6.6 مبدل رقمي تشابهي ذو شبكة مقاومات R-2R

دارة المبدل مبينة في الشكل (6.6) ويعطى جهد الخرج بالمعادلة التالية:

$$V_{out} = \frac{R_L}{R + R_L} . V_{ref} . \frac{A(X)}{2^n}$$

$$A(X) = X_0 + 2X_1 + 4X_2 + 8X_3 + ... + 2^{n-1} X_{n-1} = \sum_{i=0}^{n-1} X_i 2^i$$



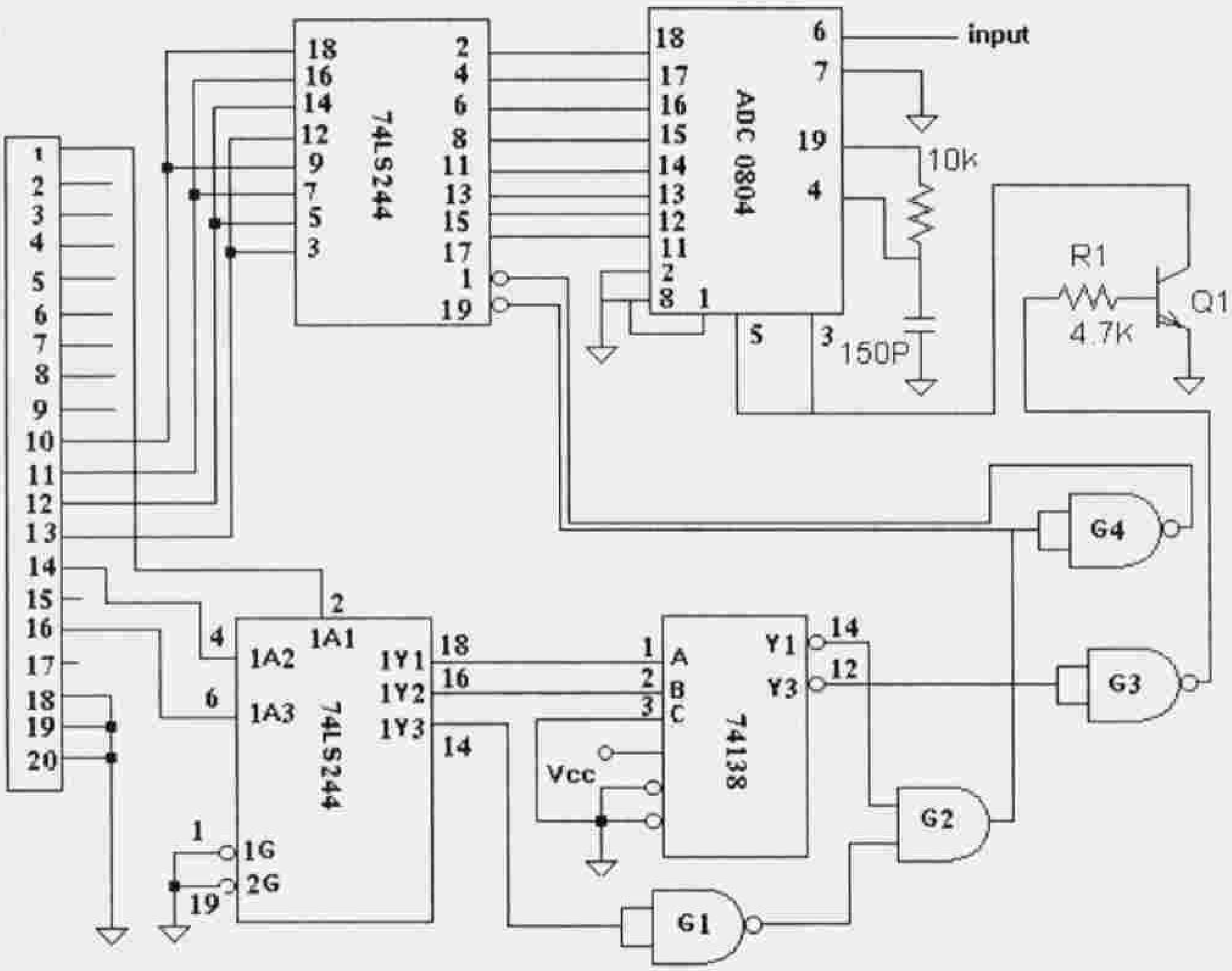
الشكل 6.6 دارة مبدل رقمي تشابهي ذي شبكة مقاومات R-2R.

3.6.6 مثال عن استخدام المبدل التشابهي الرقمي

سنقدم الأن مشروعاً يبين كيفية تصميم دارة ربط مع الحاسوب (إلى المنفذ التفرعي) تسمح بربط المبدل مع الحاسوب وتخزين نتائج التبديل في الحاسوب لمعالجتها فيما بعد. وتتم قيادة عملية التحويل وقراءة النتائج من المنفذ التفرعي للحاسوب بواسطة برنامج بسيط.

تتلخص فكرة المشروع بتطبيق الإشارة المراد تحويلها إلى إشارة رقمية على دخل مبدل تشابهي رقمي (وقد تم اختيار المبدل ADC0804 للقيام بتحويل الإشارة التشابهية إلى إشارة رقمية، وذلك بسبب توفره ورخص كلفته، وهو عبارة عن مبدل ذي ثمانية خانات خرج يعمل وفق مبدأ التقريب المتتالي). وفي الشكل (7.6) يعطى المخطط التفصيلي للدارة.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



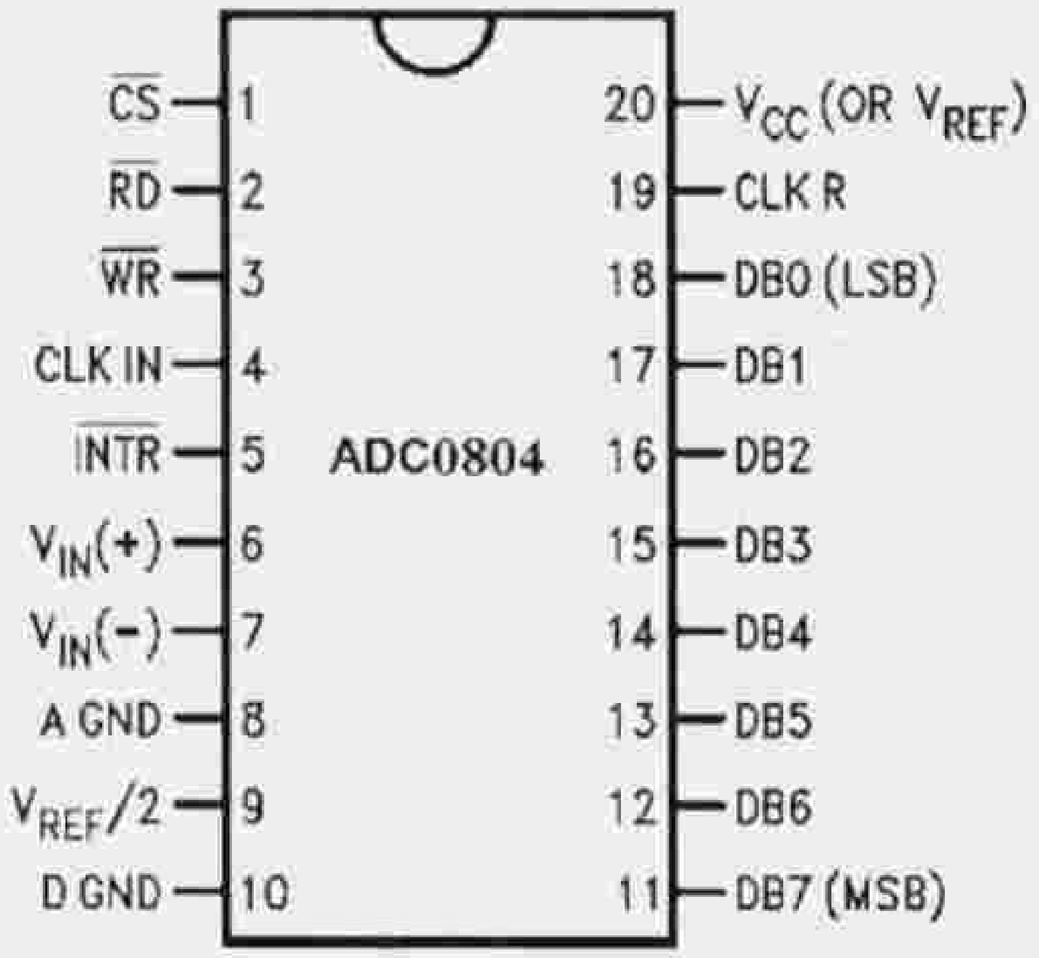
الشكل 7.6 دارة ربط لتحويل إشارة تشابهية إلى رقمية وتخزينها في الحاسوب.

مبدأ عمل الدارة

تطبق الإشارة المطلوب تحويلها على إشارة رقمية وقراءتها بواسطة الحاسوب على المدخل (6) للمبدل التشابهي الرقمي ADC 0804، ويتم تأمين نبضات Clock للمبدل بواسطة المقاومة 10K والمكثف 150PF وبذلك يتم الحصول على نبضات بتردد 640KHz ويحسب تردد نبضات Clock من العلاقة $f_{Clock} = 1/(1.1RC)$. يمكن لهذا المبدل أن يعمل على تردد أعظمي يساوي 1460KHz وتردد أصغري 100KHz وتردد نموذجي 640KHz. يوضع المبدل ADC في حالة عمل دائم بسبب وصل مداخل CS و RD الفعالة في حالة Low إلى الأرض مباشرة، وكذلك بوصل طرف نهاية عملية التحويل INTR مع مدخل الكتابة WR وتعطى إشارة بدء التحويل للمحول عن طريق الترانزيستور Q1 الموصول إلى الأطراف INTR و WR. مخارج المحول موصولة إلى دارة عزل 74LS244 ومخارج هذه الدارة من النوع ثلاثي الحالة، مما يسمح بوصل الخطوط الأربع العلوية مع الأربع السفلية على التوازي، وربط الخطوط الأربع مع مداخل الحالة للمنفذ التفرعي حيث ستتم قراءتها. ويتم التحكم

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

بوضع مخارج دارة الـــ 74LS244 عبر الأرجل (1 و 19) والبوابات G2 وG4 المرتبطة مع 74LS138 و 74LS244 الموصولة مع خطوط التحكم لقيادة عملية إخراج وقراءة ناتج عملية التحويل على دفعتين، حيث تقرأ أربع خانات في كل مرحلة. يبين الشكل (8.6) وظائف أرجل المبدل ADC0804.



الشكل 8.6 وظائف أرجل المبدل ADC0804.

أما برنامج قيادة العمل فهو كما يلي:

```
Dim A(500),B(500)
OUT &H380,9
For I= 1 to 10
Next I
For m=1 to 500
OUT &H380,9
A(m)=INPUT(&H379)
OUT &H380,1
B(m)=INPUT(&H379)
Next m
```

في السطر الأول يتم حجز مصفوفة لتسجيل قيم 500 عينة على مرحلتين A و B في كل سطر منها أربع خانات من ناتج عملية التحويل. في السطر الثاني يتم إخراج أمر بدأ التحويل، وفي الثالث حلقة تأخير، أما في السطر الرابع وحتى النهاية فهناك حلقة لقراءة الخمسمائة نتيجة لعملية التحويل.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

المنفذ التفرعي للحاسوب

يعتبر المنفذ التفرعي للحاسوب من المنافذ الشائعة الاستخدام في عمليات ربط التجهيزات الخارجية مع الحاسوب، وذلك بسبب سهولة الوصول إليه وكذلك بسبب عدم الحاجة إلى فك الغطاء الخارجي للحاسوب. ويمكن استخدام هذا المنفذ لتطبيقات بسيطة تبدأ من التحكم بإضاءة وإطفاء الأضواء وحتى عند تحويل الصوت أو الصور التلفزيونية إلى إشارات رقمية (طبعاً بمساعدة دارات خارجية). تحوي كافة المنافذ التفرعية للحواسيب على ثمانية خطوط خرج هي خطوط المعطيات data lines وعلى أربعة خطوط خرج هي خطوط التحكم Control lines وعلى خمسة خطوط دخل تسمى خطوط الحالة status lines. كانت خطوط معطيات المنفذ التفرعي المعياري standard parallel Port بالأساس خطوط خرج، وبتعديل طفيف قدمت IBM خطوط المعطيات ثنائية الاتجاه وفق نموذج PS/2 حيث يمكن إلغاء تفعيل مسيرات الخرج output drivers برمجياً، ويمكن قراءة المعطيات باستخدام مايسمى read-back-register (مسجل القراءة الراجعة)، ويعتبر هذا الشيء مفيد لمهندسي الالكترون. تكون كافة المستويات المنطقية للإشارات على المنفذ التفرعي متآلفة مع المستويات المنطقية لعائلة TTL.

التعامل البرمجي مع المنفذ التفرعي

يمكن الوصول إلى المنفذ التفرعي والتعامل معه برمجياً بواسطة لغات عالية المستوى مثل: C/C++ باستخدام تعليمات (inportb) و (Outportb)، وبلغة الباسكال بواسطة []Port، وكذلك بواسطة لغة QBASIC باستخدام تعليمات () INP و OUT، والعنوان الأساسي للدخل والخرج للمنافذ التفرعية هو 378H للمنفذ LPT1، و 278H للمنفذ LPT2، ويدل الحرف H الموجود في نهاية العنوان على أن القيمة يعبر عنها بنظام العد الستة عشري Hexadecimal. وعند كتابة العنوان فإنه يكتب كـ 0X378 في اللغة C، و &H378 في اللغة QBASIC، و $378 في لغة الباسكال.

المنافذ المعيارية وثنائية الاتجاه Standard (and bi-directional) Ports

تستخدم المنافذ التفرعية المعيارية ثلاثة عناوين دخل/خرج بدءاً من العنوان الأساسي، وتعمل هذه المنافذ كمسجل معطيات الطابعة Printer Data Register، ومسجل حالة الطابعة Printer Status Register ومسجل التحكم بالطابعة Printer Control resister. يظهر أي بايت Byte يكتب إلى مسجل معطيات مباشرة بالصيغة الثنائية binary ويظهر حالاً على أطراف الوصل للمنفذ التفرعي. وكذلك فإن الكتابة إلى مسجل التحكم بالطابعة تؤدي إلى وضع set لأطراف التحكم وتعطى قراءة مسجل التحكم حالة الأطراف. نتعرف فيما يلي على أرقام وتسميات أطراف المنفذ التفرعي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 3.6 أرقام أرجل المنفذ التفرعي المستخدمة كخرج في المنفذ التفرعي المعياري، ويدل الرمز O/P الوارد في الجدول على أن الطرف هو طرف خرج output.

خانة المسجل	I/O طبيعة الطرف	رقم الرجل DB 25	اسم Centronics	ملاحظات
D0	O/P	2	D0 (LSB)	يمكن أن تعمل هذه الأطراف كمداخل ومخارج في المنافذ ثنائية الاتجاه
D1	O/P	3	D1	
D2	O/P	4	D2	
D3	O/P	5	D3	
D4	O/P	6	D4	
D5	O/P	7	D5	
D6	O/P	8	D6	
D7	O/P	9	D7 (MSB)	

أما أرقام وتسميات أطراف الأرجل في منافذ التحكم Control والحالة فهي مبينة في الجدول (4.6).

الجدول 4.6 أرقام أرجل المنفذ التفرعي المستخدمة كمداخل ومخارج في المنفذ التفرعي المعياري، ويدل الرمز I/P الوارد في الجدول على أن الطرف هو طرف دخل Input.

خانة المسجل	I/O	رقم الرجل DB 25	اسم Centronics	ملاحظات
S0	غير مستخدم			
S1	غير مستخدم			
S2	غير مستخدم			
S3+	I/P	15	-Error	
S4+	I/P	13	Select	
S5+	I/P	12	PaperEnd	
S6+	I/P	10	-Ack	
S7-	I/P	11	Busy	
C0-	O/P	1	-strobe	
C1-	O/P	14	-AutoFd	
C2+	O/P	16	-Init	
C3-	O/P	17	-SelectIn	
C4	تستخدم برمجياً لتمكين المقاطعة عند ACK=0			

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

خانة المسجل	I/O	رقم الرجل DB 25	اسم Centronics	ملاحظات
C5	لا تستخدم أو تستخدم برمجياً لوضع اتجاه المعطيات في النمط PS/-2 على Ports:1=input,0=output			
C6	غير مستخدم			
C7	غير مستخدم			
	الأرجل من 18 إلى 25 هي أرجل تأريض			

وكما ذكرنا سابقاً فإن المستويات المنطقية للمداخل والمخارج متوافقة مع مستويات TTL و تستطيع امتصاص تيارات حتى 20mA وإعطاء تيار يبلغ بضعة mA. إذا وصلنا ديودات مصدرة للضوء ومقاومات مع مخارج المعطيات فإن الديودات سوف تنتقل إلى حالات on و off حسب الوضع المنطقي للمخارج دون أن يشعر المراقب أن هناك تأخير في الإستجابة.

في الجداول السابقة إذا كان بت Bit المسجل متبوعةً بإشارة (-) مثل (-C3) فإن ذلك يعني أن الخرج العتادي hardware output المرتبط بتلك الخانة معكوس، أي أن وجود (1) في خانة المسجل تعطي (0) على طرفية الوصل connector والعكس بالعكس. أما إشارة الناقص التي تسبق اسم centronics الخاص برجل طرفية الوصل (pin)، فيعني أن هذه الرجل تكون فعالة في حالة المستوى المنطقي المنخفض (active low).

فيما يلي نبين برامج بسيطة لإخراج قيمة على مخرج المعطيات للمنفذ التفرعي وهذه البرامج مكتوبة باللغات الأكثر استخداماً وهي C/C++، وباسكال، و QBASIC.

In C or C++

```
#include <dos.h>

void main()
{
 const int portbase=0x278; // LPT2 - for LPT1 use 0x378

 const int datareg=portbase;
 const int status=portbase+1;
 const int control=portbase+2;

 outportb(datareg,16); // switches on data line 4 only (16=2^4)
}
```

In Pascal

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

```
const
 portbase=$278; (* for LPT2 - for LPT1 use $378 *)
 datareg=portbase;
 status=portbase+1;
 control=portbase+2;

 Port[portbase]=16; (* switches on data line 4 only (16=2^4) *)
```

In QBASIC

```
portbase=&H278 :REM for LPT2 - for LPT1 use &H378
datareg=portbase
status=portbase+1
control=portbase+2

OUT portbase,16 :REM switches on data line 4 only (16=2^4)
```

يمكن وضع مفتاح بين كل مدخل من مداخل الحالة Status inputs والأرض. عندما يكون المفتاح open (مفتوحاً) فإن المدخل يكون عائماً ويكافئ High، أما عندما يكون المفتاح مغلقاً (on) فإن المدخل يكون مؤرضاً ويكافئ صفر منطق. وبقراءة مسجل الحالة status Register يمكن التعرف على الحالة الآنية للمفاتيح. وبرامج قراءة مسجل الحالة هي:

In C or C++

```
 swstate=inportb(status);
```

In Pascal

```
 swstate=Port[status];
```

In QBASIC

```
 swstate=INP(status)
```

من الجداول السابقة نلاحظ أن الخانات الخمس العليا من مسجل الحالة فقط تملك معنى لأن الخانات الثلاث الأقل أهمية غير مستخدمة. ولكن يمكن التعرف على حالات المفاتيح كل على حدة باستخدام عمليات AND منطقية.

من الممكن أيضاً قراءة خطوط المعطيات لأن المنفذ مزود بمسجل readback لأغراض تشخيص الأعطال. وهذا المسجل يبين الوضع الكهربائي الفعلي للخطوط، فمثلاً إذا كان هناك عطل (كأن يكون أحد المخارج مؤرضاً) فإن المسجل يبين هذه الحالة، وتعليمة قراءة وضع هذا المسجل بلغة C هي:

```
datastate=inportb(datareg);
```

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

بما أن مخارج المعطيات تكون عادة من نوع المجمع المفتوح، فيمكن أن نبرمج المنفذ ليخرج واحدات ثم نقوم بواسطة دارات خارجية بسحب الخط إلى مستوى منخفض، وبهذه الطريقة يمكن فنياً استخدام المنفذ كمدخل. في المنافذ ثنائية الاتجاه من نوع PS/2 يستخدم البت الخامس من مسجل التحكم لوضع المخارج في الحالة العائمة (حالة الممانعة العالية)، وبذلك تسمح المخارج بإدخال المعطيات بأمان. ينصح دوماً، قبل توصيل أي مكونات عتادية خاصة مع المنفذ التفرعي، بفحص خطوط هذا المنفذ للتأكد من حالاتها المنطقية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

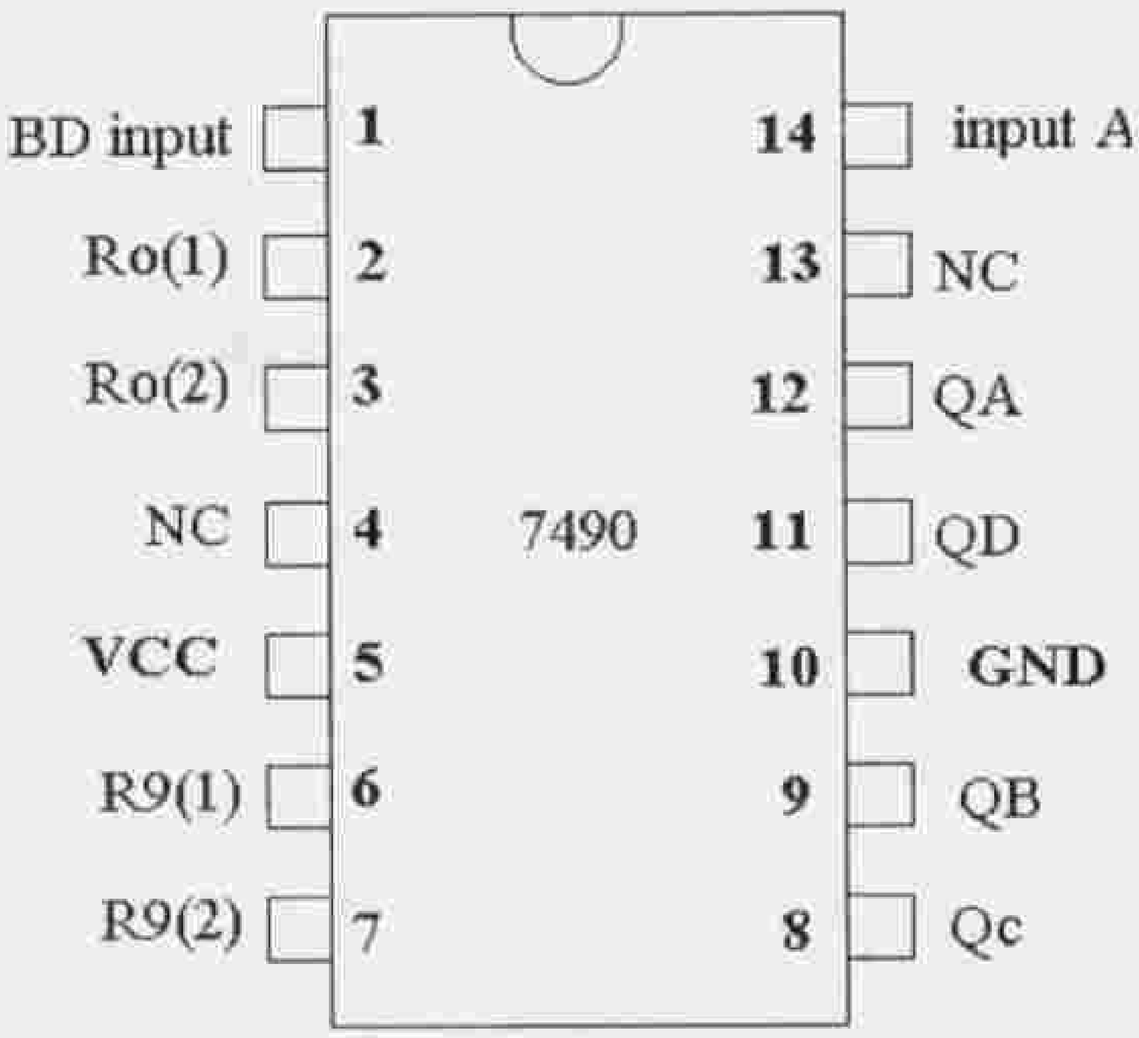
7 تطبيقات عملية

سنقدم في هذا الفصل تطبيقات عملية يمكن للقارئ والطالب والمهندس والمهتم أن ينفذها بنفسه وأن يضعها في الخدمة التي تناسبه. تعتمد مبادئ عمل هذه التطبيقات على المعلومات التي مرت في الفصول السابقة، ولذلك تعتبر قراءة هذه الفصول هامة جداً وخاصة للمبتدئ الذي ليس لديه معرفة سابقة بالدارات الرقمية. سوف نقوم في هذا الفصل بشرح كل ما يحتاجه التطبيق المدروس من عناصر وأدوات، وذلك إذا لم تكن مشروحة سابقاً. أما إذا كان العنصر أو الأداة قد ذكر سابقاً فيكتفى بذكره فقط.

1.7 تجارب عملية على دارة عداد عشري ثلاث خانات (المشروع الأول)

سوف نستخدم في هذا التطبيق الدارة المتكاملة 7490 وهي عبارة عن دارة عداد عشري ومبينة في الشكل (1.7).

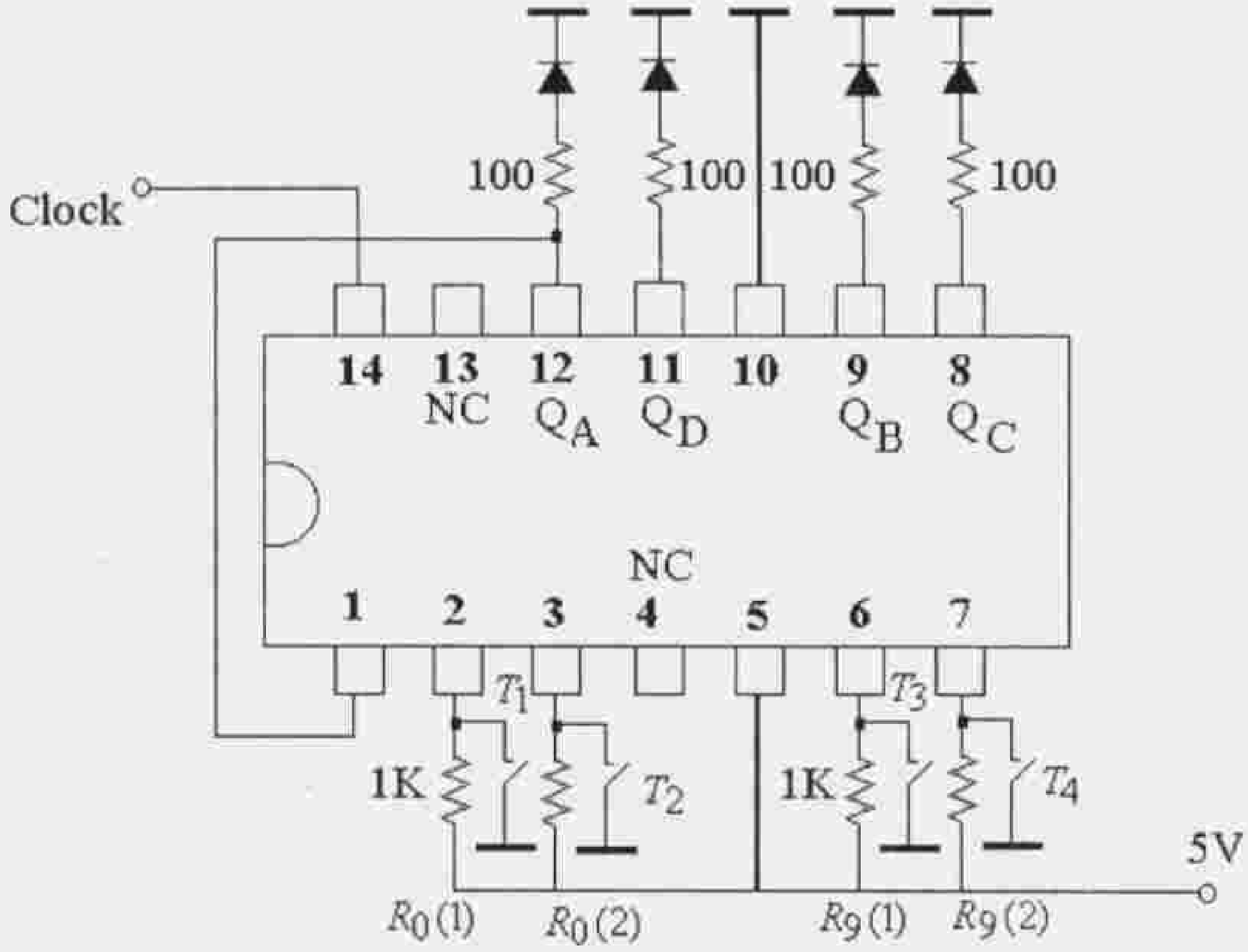
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 1.7 الدارة المتكاملة 7490.

وسنبدأ بدارة العداد 999. المداخل R9(1) و R9(2) هي مداخل ضبط عكسي على الرقم (9)، أما المداخل $R_0(1), R_0(2)$ فهي مداخل ضبط عكسي على الصفر. تعطى في الشكل (2.7) دارة اختبار هذا العداد، وفي هذا الشكل نلاحظ أن مداخل الضبط العكسي موصولة عبر مقاومات كل واحدة منها تساوي IKΩ إلى مصدر جهد التغذية 5V+ وموصولة عبر مفاتيح إلى الأرض. يمكن أن تكون المفاتيح $T_1, T_2 T_3, T_4$ مفتوحة، وفي هذه الحالة يطبق (H) أو (1) منطق على المداخل $R_9(1), R_9(2), R_0(1), R_0(2)$ ، وعندما تكون المفاتيح مغلقة يطبق صفر منطق على كافة هذه المداخل. الدخل B مربوط مع Q_A وعندها يمكن أن يعد العداد حتى العشرة. في التجربة الأولى يمكن اختبار العمل الطبيعي للعداد حيث نحصل على جدول الحقيقة العادي للعداد من (0) وحتى (9)، انظر الجدول (2.7).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 2.7 دارة اختبار العداد.

أما في التجربة الثانية فنشكل جدول حقيقة (1.7) يوضح لنا الوضع المنطقي لمداخل الضبط العكسي. وفي هذه التجارب يجب اختيار حالة عداد مغايرة للصفر وللـــ (9)، وذلك عن طريق إعطاء عدد معين من النبضات على مدخل Clock وقبل تغيير المستوى المنطقي على مداخل الضبط العكسي.

الجدول 1.7 جدول المستويات المنطقية لمداخل العداد.

$R_0(1)$	$R_0(2)$	$R_9(1)$	$R_9(2)$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	عد Count			
L	X	L	X	عد Count			
L	X	X	L	عد Count			
X	L	L	X	عد Count			

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

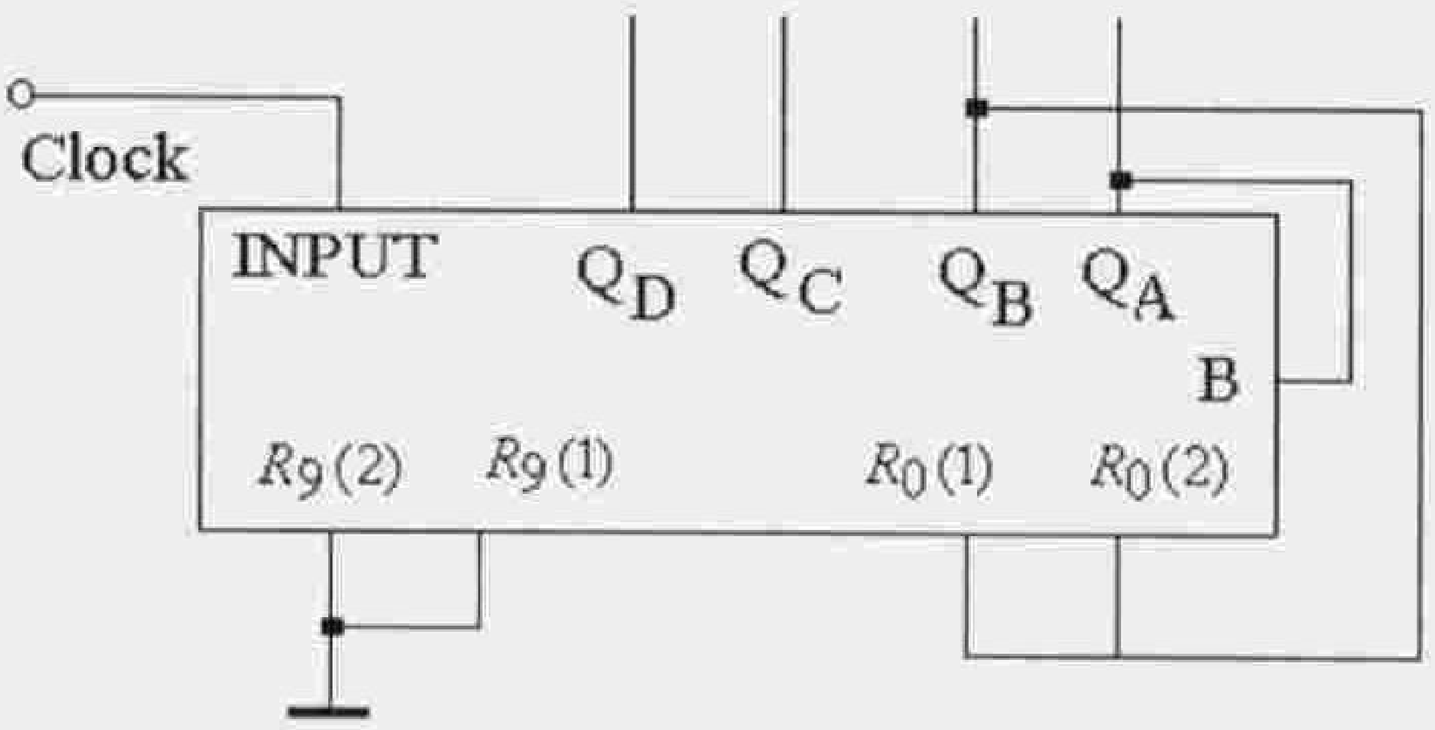
X تعني أن الوضع المنطقي لا يهم ويمكن أن يكون H أو L. ومن الجدول نلاحظ أن تطبيق H على مداخل الضبط العكسي $R_9(1).R_9(2)$ يؤدي إلى وضع مخارج العداد على $Q_B = Q_C = L$ و$Q_A = Q_D = H$ ، أما في كافة الحالات الباقية فإن العداد يعد Count.

التجربة الثالثة: تشغيل العداد للعد حتى (2) فقط

من جدول الحقيقة العام للعداد والمبين في الجدول (2.7) نلاحظ أنه عند الرقم (2) يكون $Q_B = H$، وبوصل هذا الخرج إلى المداخل $R_0(1).R_0(2)$ فإن العداد يعد فقط (0) و(1) وتكون دارة العداد كما في الشكل التالي.

الجدول 2.7 جدول الحقيقة للعداد.

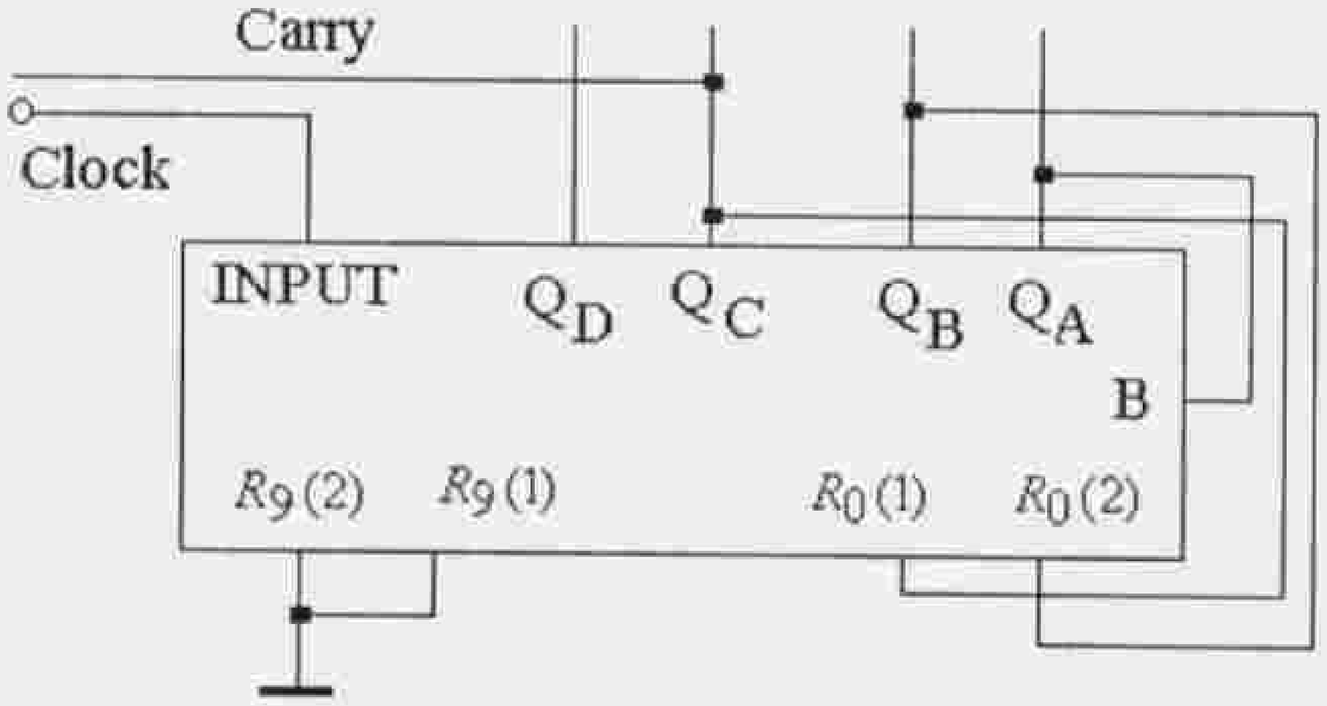
Clock	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H



الشكل 3.7 توصيلة العداد الذي يعد حتى الرقم (2) فقط.

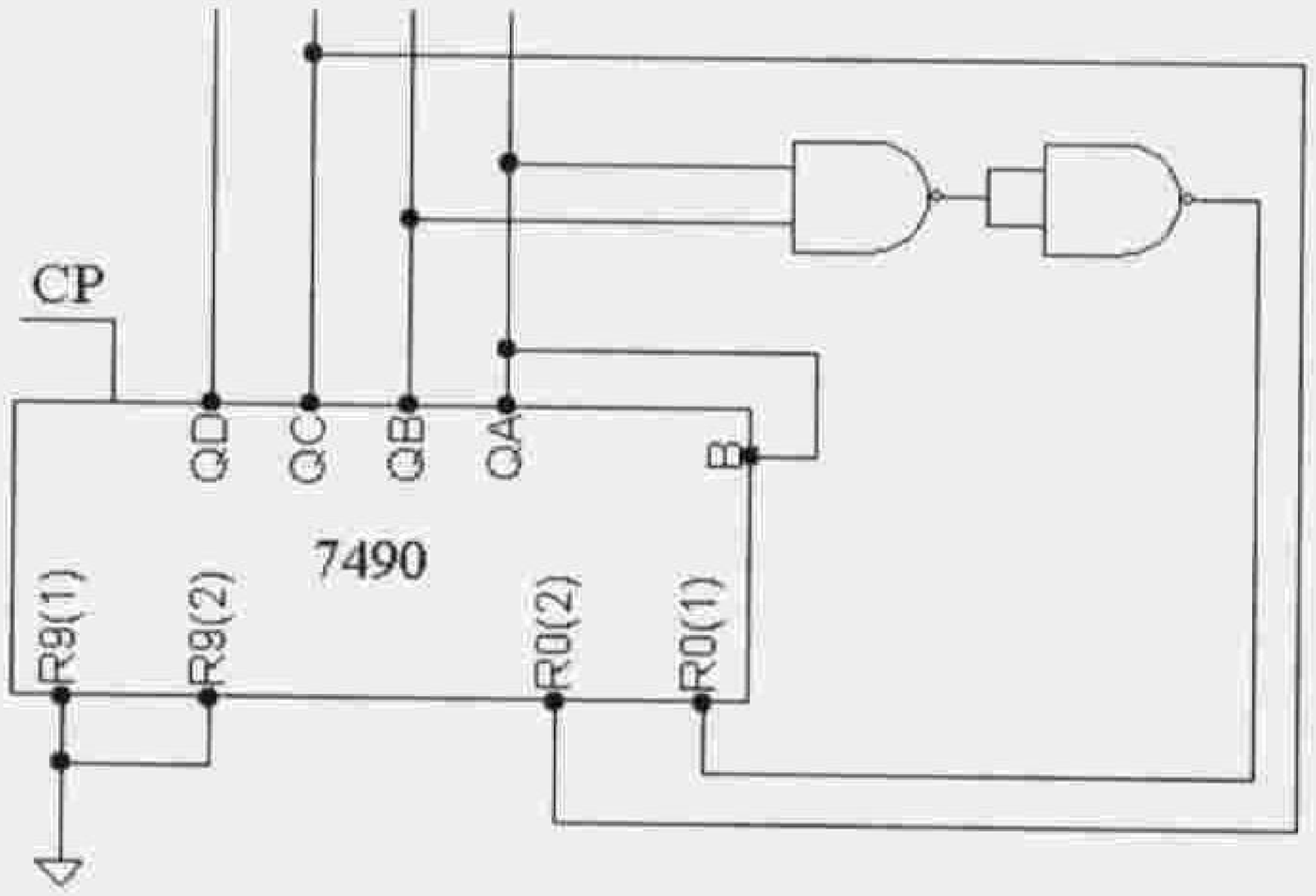
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

يمكن أيضاً استخدام العداد للعد حتى الرقم (6)، وذلك للاستخدام في الساعات الرقمية مثلاً وذلك لأن الساعة تتكون من (60) دقيقة والدقيقة من (60) ثانية وفي هذه الحالات يتم العد حتى الرقم (60) وبعدها تتم العودة إلى الصفر. من جدول الحقيقة نلاحظ أنّ Q_B, Q_C تكون على وضع H عند الرقم (6) وبذلك نوصل Q_B إلى $R_0(2)$ و Q_C إلى $R_0(1)$.



الشكل 4.7 توصيلة العداد ليعد حتى الرقم (6).

يمكن أيضاً إذا أردنا توصيل العداد كي يعد حتى الرقم (7) حيث نلاحظ أن المخارج Q_A, Q_B, Q_C تكون على وضع H وفي هذه الحالة نستخدم بوابة AND لدمج مخرجين مع بعض وتطبيقهما على المدخل $R_0(1)$ كما في الشكل التالي.



الشكل 5.7 تشغيل العداد للعد حتى الرقم (7).

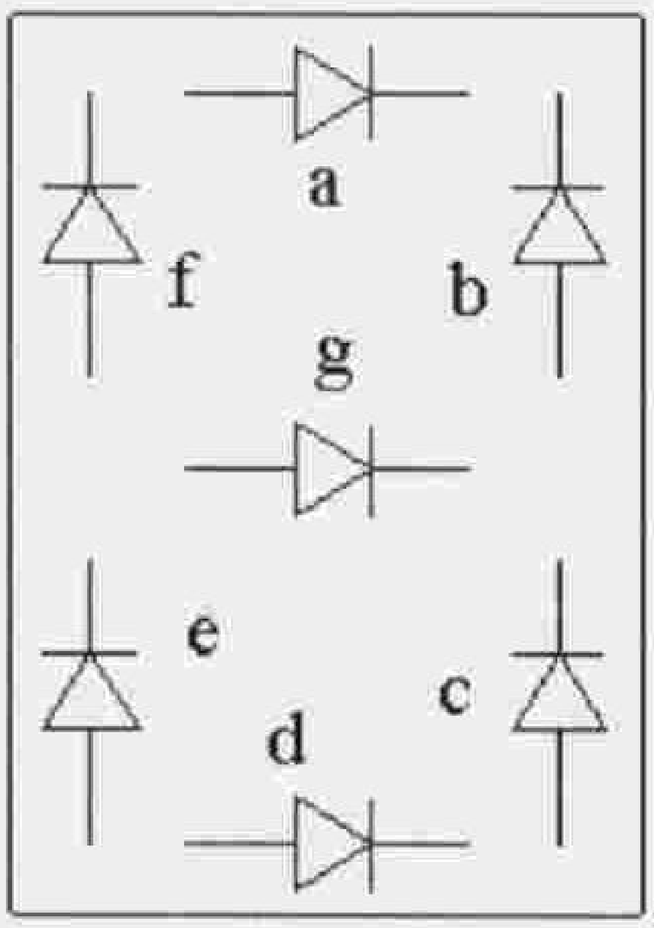
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

2.7 المشاريع العملية

1.2.7 المشروع (1): عداد يعد حتى الرقم 99

سوف نقوم في هذا المشروع بتصميم عداد يعطي خرجاً مكوناً من خانتين عشريتين، أي يعطي قراءة عظمى في خرجه تساوي 99. من أجل توضيح هذا المشروع سوف نقوم أولاً بتصميم مرحلة عد وحيدة تحوي خرجاً مكوناً من خانة عشرية واحدة، وبناء على المعلومات التي تعرفنا عليها حتى الآن نجد وبسهولة أن العداد يتكون من الدارة المتكاملة 7490 ومن كاشف ووحدة إظهار ويحتاج طبعاً إلى مولد Clock.

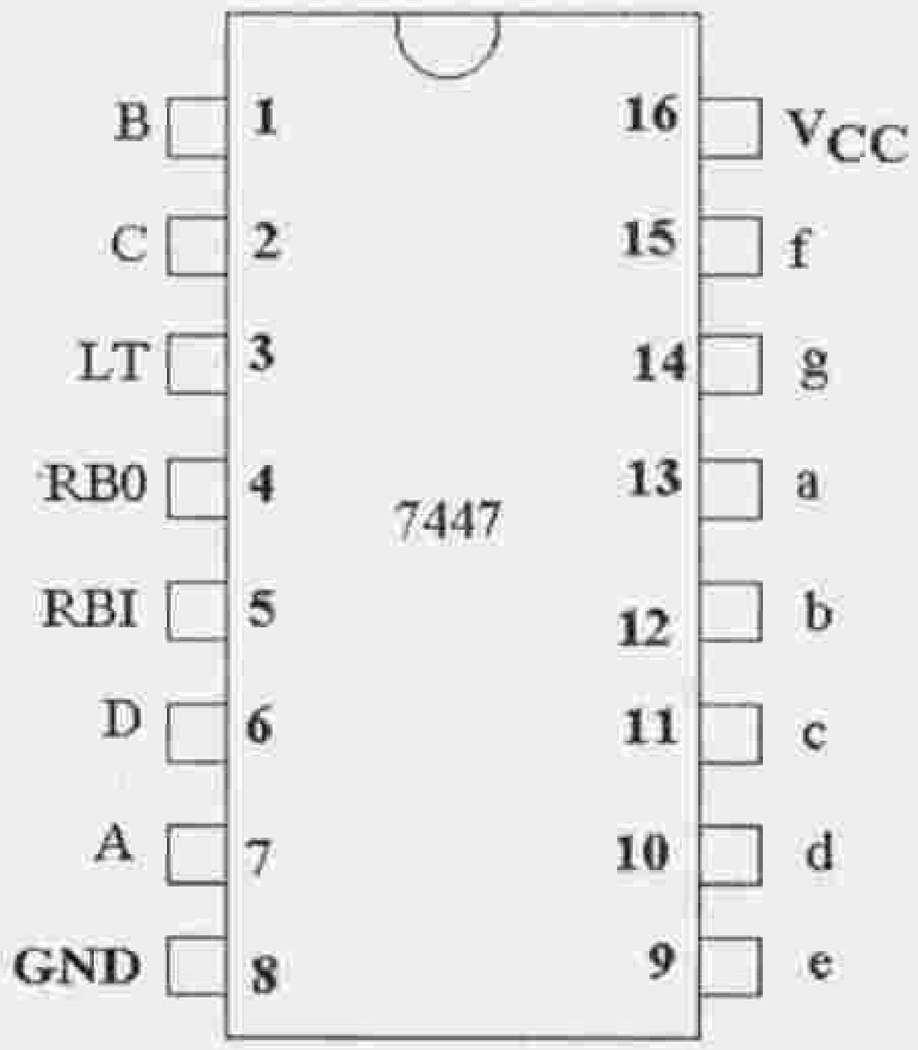
من أجل إظهار الرقم الذي يعده العداد كرقم عشري وبشكل مباشر تستخدم الدارة المتكاملة التي تسمى كاشف من BCD إلى إظهار سباعي القطع BCD to 7-segment decoder والمبينة في الشكل (6.7). ونلاحظ من الشكل أن كل قطعة ضمن وحدة الإظهار هي عبارة عن ديود ضوئي LED يشع الضوء عند تأمين استقطاب مباشر له، وعادة تكون وحدات الإظهار إما من نوع المصعد المشترك Common anode، أي أن كافة مصاعد الديودات موصولة إلى نقطة مشتركة وتوصل هذه النقطة أثناء الاستخدام إلى مصعد جهد التغذية المناسب 5V+، ومن أجل إضاءة كل قطعة يجب تأمين أرضي لمهبط الديود المكون لها. أما وحدات الإظهار ذات المهبط المشترك فتوصل فيها كافة مهابط الديودات إلى نقطة مشتركة وتوصل هذه النقطة أثناء الاستخدام إلى الأرضي، أما مصعد كل ديود فيوصل إلى موجب جهد التغذية عند الرغبة في إضاءة القطعة التي يمثلها الديود.



الشكل 6.7 وحدة إظهار ذات سبع قطع.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وتتوفر دارة متكاملة للكشف من BCD إلى إظهار مكون من سبع قطع، وهذه الدارة المتكاملة هي 7447 وهي مبينة في الشكل (7.7).



الشكل 7.7 الدارة المتكاملة 7447 كاشف من BCD إلى إظهار سباعي القطع.

وهذه الدارة هي من نوع المجمع المفتوح والخرج الفعال في حالة LOW، ولذلك تستخدم لقيادة وحدات الإظهار سباعية القطع من نوع المصعد المشترك. يبين الجدول (3.7) كيفية استخدام هذا الكاشف.

الجدول 3.7 جدول الحقيقة للدارة المتكاملة 7447.

	المداخل							المخارج							
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	D	E	f	g	Notes
0	H	H	L	L	L	L	H	on	on	on	on	on	on	off	1
1	H	X	L	L	L	H	H	off	on	on	off	off	off	off	
2	H	X	L	L	H	L	H	on	on	off	on	on	off	on	
3	H	X	L	L	H	H	H	on	on	on	on	off	off	on	
4	H	X	L	H	L	L	H	off	on	on	off	off	on	on	
5	H	X	L	H	L	H	H	on	off	on	on	off	on	on	
6	H	X	L	H	H	L	H	off	off	on	on	on	on	on	

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

	المداخل						BI/RBO	المخارج							Notes
	LT	RBI	D	C	B	A		a	b	c	D	E	f	g	
7	H	X	L	H	H	H	H	on	on	on	off	off	off	off	
8	H	X	H	L	L	L	H	on	on	on	on	on	on	on	
9	H	X	H	L	L	H	H	on	on	on	off	off	on	on	
BI	X	X	X	X	X	X	L	off	off	off	off	off	off	off	2
RBI	H	L	L	L	L	L	L	off	off	off	off	off	off	off	3
LT	L	X	X	X	X	X	H	on	on	on	on	on	on	on	4

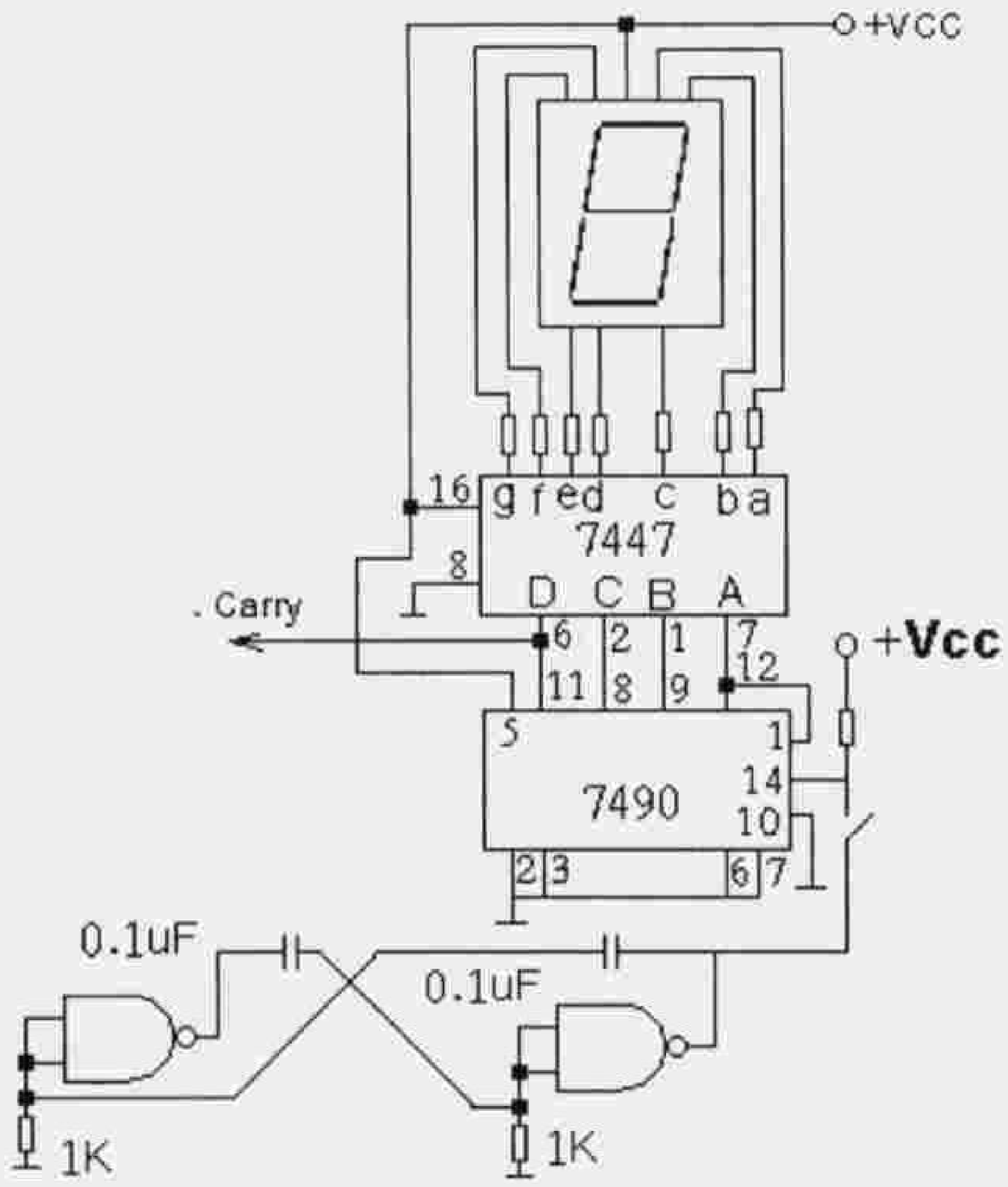
ملاحظات خاصة بجدول الحقيقة:

1. يترك الدخل BI مفتوحاً أو يوصل إلى مستوى H عند الرغبة في الحصول على الأرقام من (0) حتى (15)، وكذلك فإن RBI (Ripple Blanking Input) يجب أن يبقى مفتوحاً أو يوصل إلى مستوى H إذا لم تكن هناك رغبة في الحصول على Blanking للصفر العشري.
2. عند تطبيق مستوى LOW على المدخل BI (Blanking Input) فإن مخارج كافة المقاطع تكون في حالة off بغض النظر عن حالة كافة المداخل.
3. عندما تكون المداخل A,B,C,D والمدخل RBI على وضع LOW، والمدخل LT (Lamp Test) على وضع H فإن كافة المخارج تنتقل إلى وضع off أما RBO (Ripple Blanking Output) فينتقل إلى المستوي LOW.
4. عندما يكون المدخل BI/RBO مفتوح أو على وضع H وبتطبيق H على المدخل LT فإن كافة مخارج القطع تكون على وضع on.

للحصول على تفصيلات أكثر عن جدول الحقيقة ينصح بمراجعة TTL-DATA BOOK.

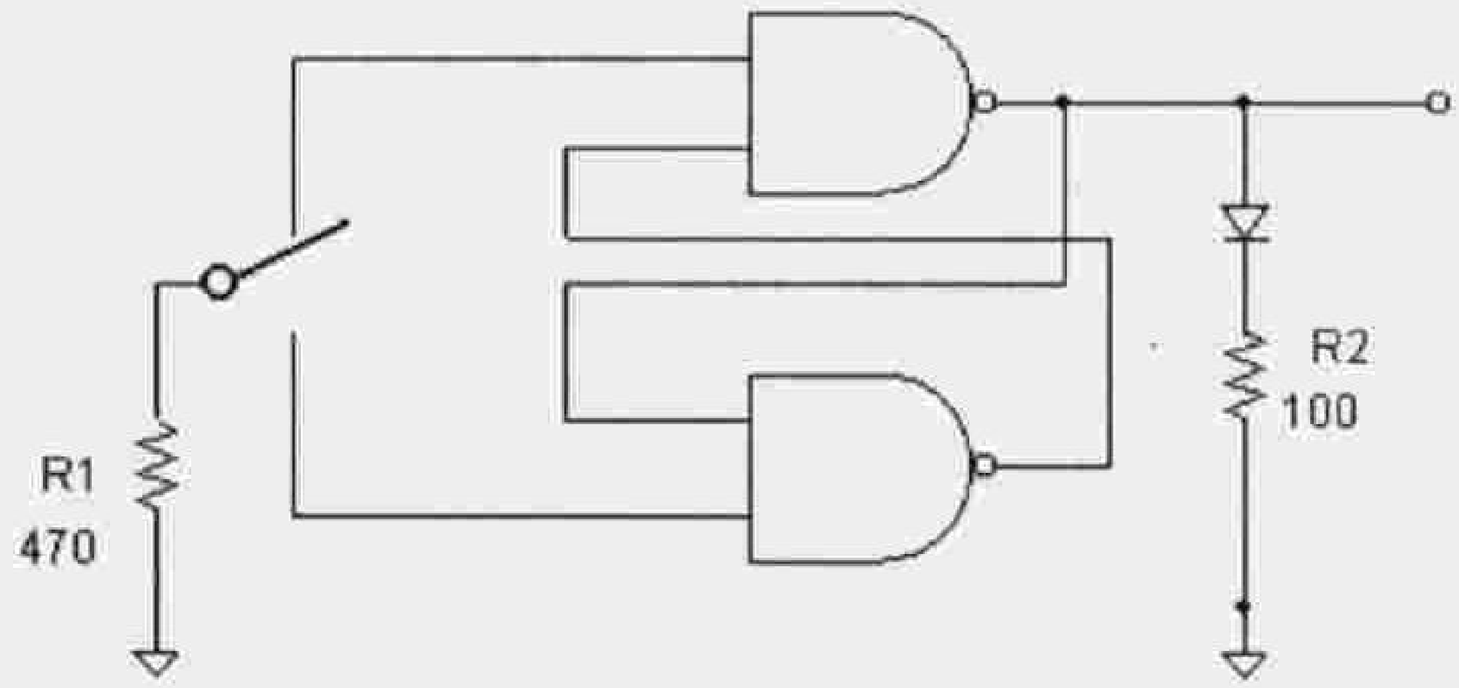
يبين الشكل (8.7) دارة عداد يعد حتى الرقم (9) مع الكاشف ووحدة الإظهار

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 8.7 دارة عداد يعد حتى الرقم (9).

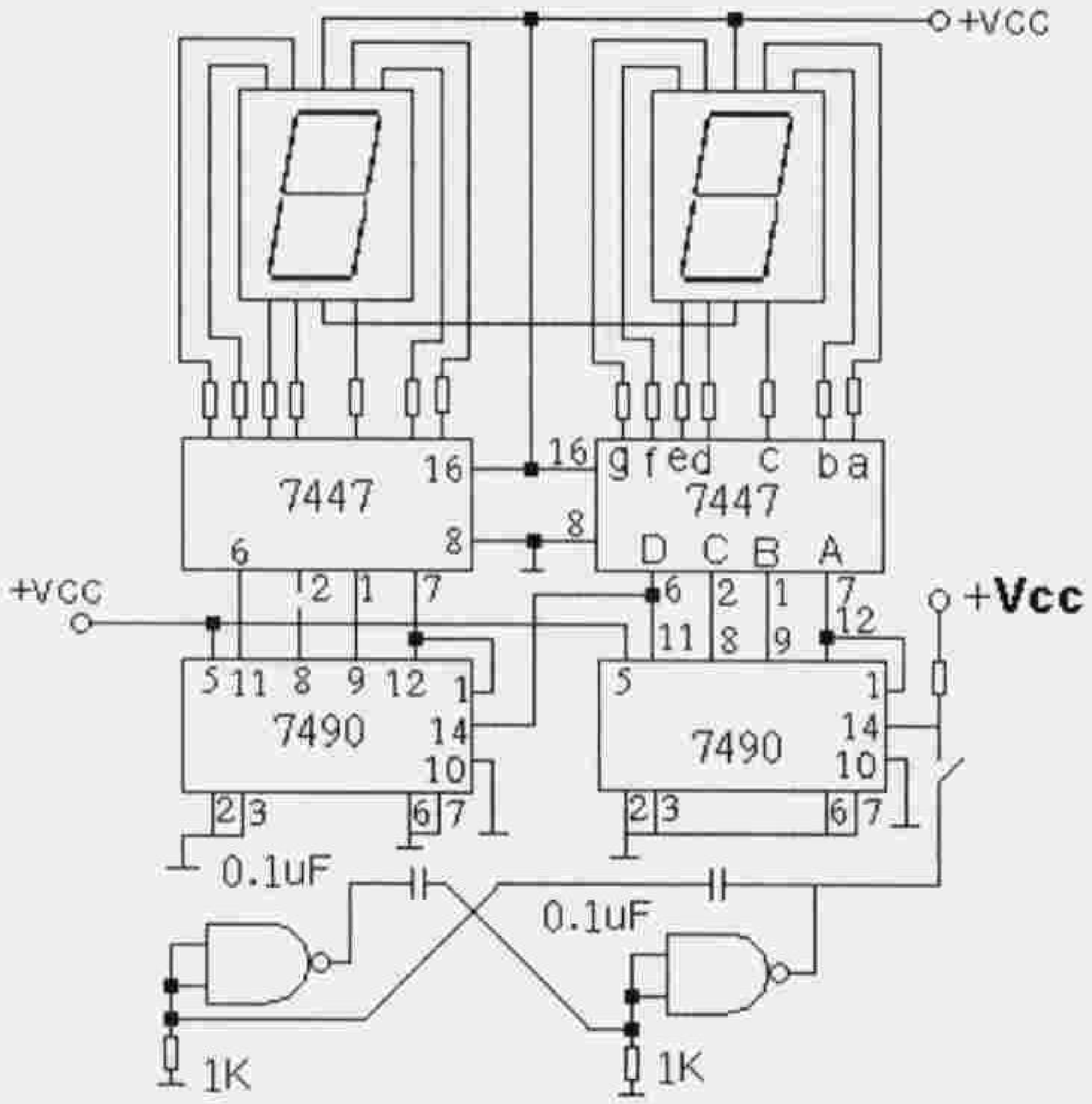
يمكن اختبار الدارة يدوياً بواسطة مولد النبضات المعطى في الشكل (9.7) الذي يعمل يدوياً.



الشكل 9.7 مولد نبضات يدوي لاختبار العداد.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

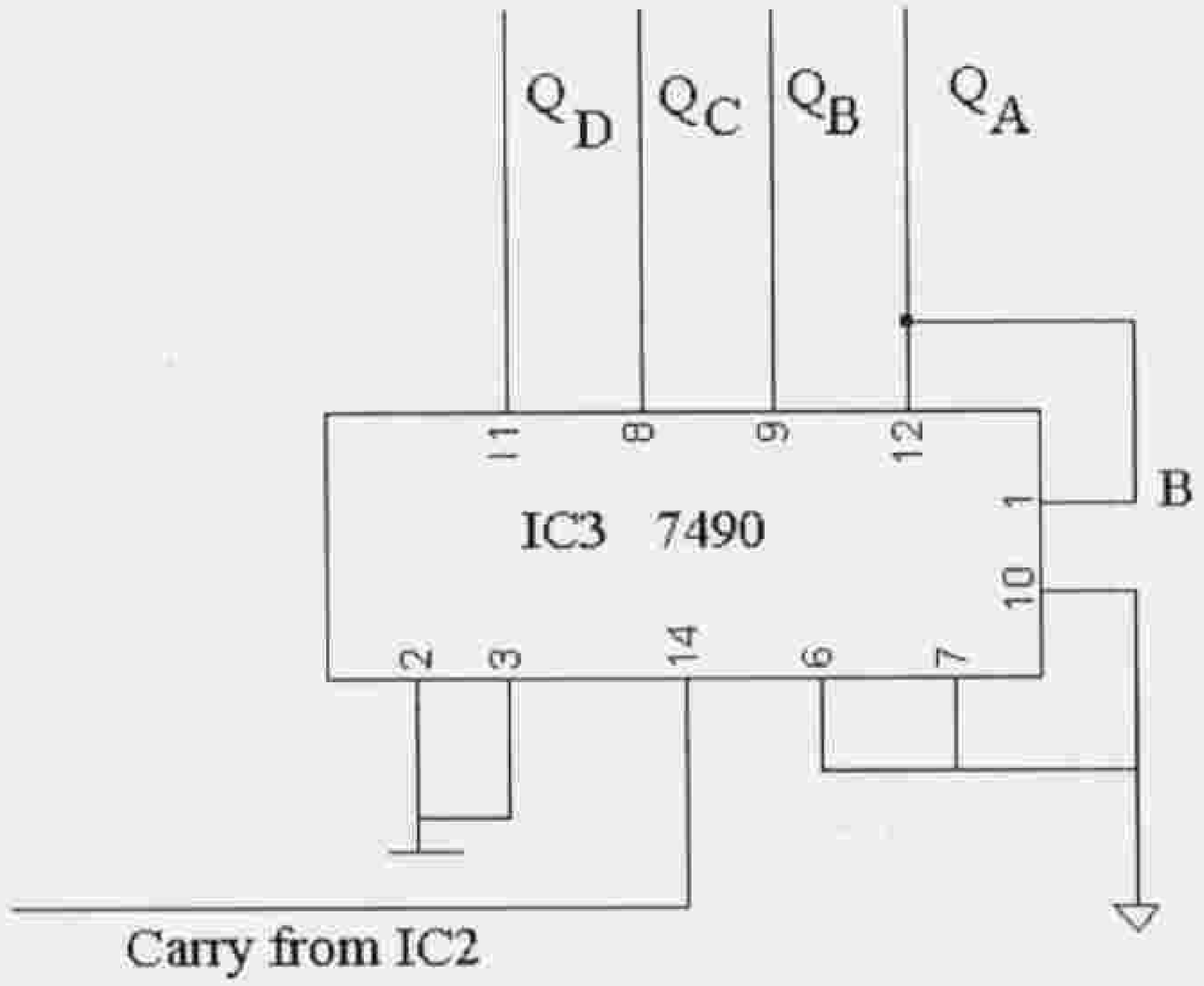
الآن يمكن أيضاً رسم دارة العداد الذي يعد حتى الرقم (99)، والدارة مبينة في الشكل (10.7).



الشكل 10.7 دارة عداد يعد حتى 99.

يمكن عند الرغبة جعل هذا العداد يعد حتى رقم محدد أقل من (99) كأن يعد مثلاً حتى الرقم (49)، وفي هذه الحالة يجب إجبار العداد الثاني على العودة إلى الصفر بعد (49). ومن جدول الحقيقة نلاحظ أن مخارج العداد عند الرقم (5) هي: $Q_A = H, Q_B = L, Q_C = H, Q_D = L$ وبوصل المخارج Q_A و Q_C لعداد العشرات إلى R0(1) المداخل و R0(2) يتم تصفير العداد عند الوصول إلى الرقم (5)، أي أن آخر رقم يعده العداد هو (49). طبعاً يمكن توسيع العداد ليعد إلى (999) بإضافة دارة متكاملة لعد خانات المئات، وبالطبع يجب إضافة كاشف ووحدة إظهار. والشكل التالي يظهر مخطط الدارة المتكاملة الإضافية التي توصل مع الدارتين السابقتين في العداد المكون من خانتين.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



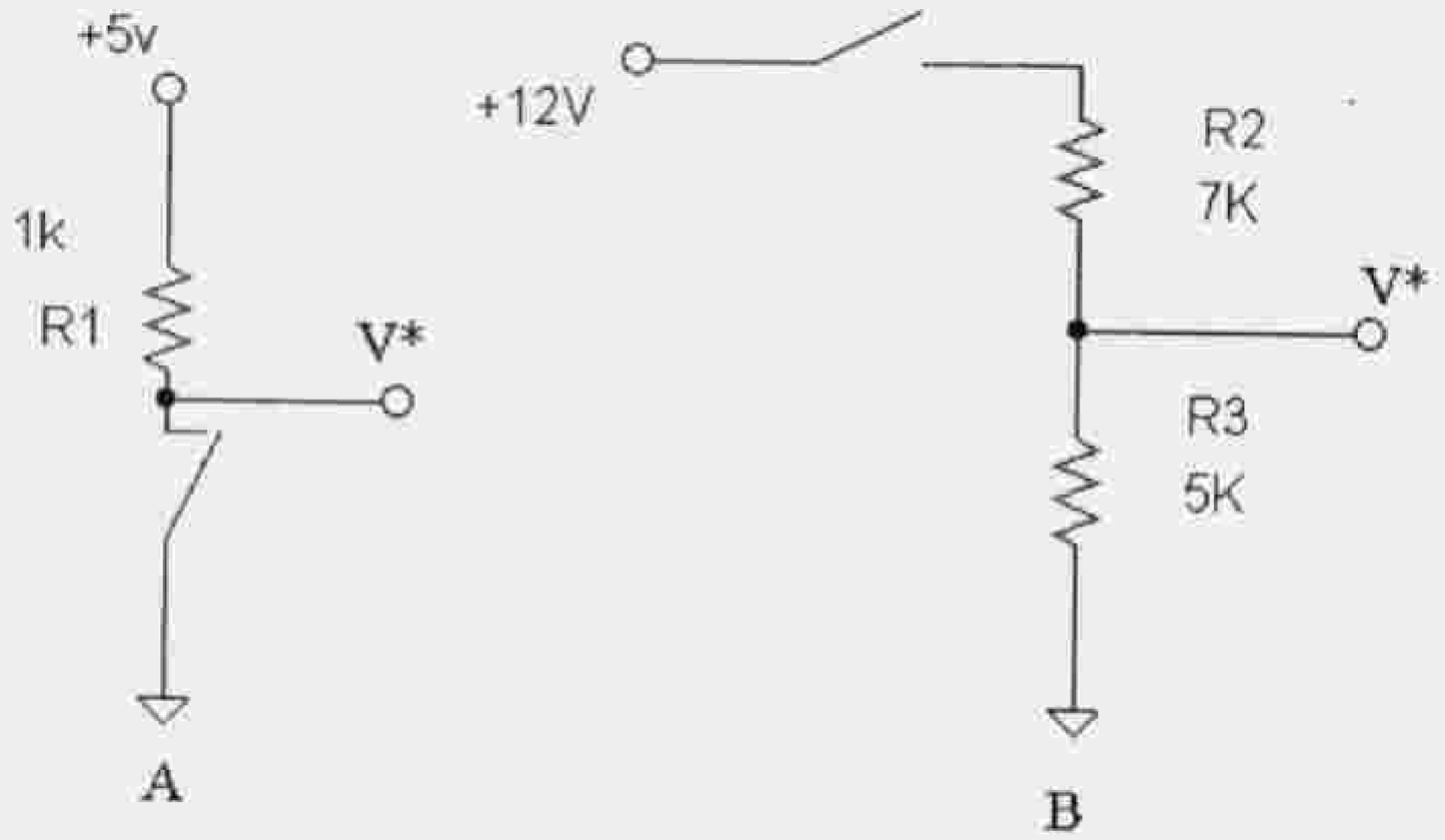
الشكل 11.7 توصيلات الدارة المتكاملة الإضافية لتكوين عداد ثلاث خانات يعد حتى (999).

توصل الرجل (14) لهذه الدارة المتكاملة مع Q_D للمرحلة السابقة (الرجل رقم 11). وطبعاً توصل مخارج هذه الدارة مع كاشف 7447 وخرج الكاشف يوصل مع وحدة إظهار.

2.2.7 المشروع (2): تصميم دارة إنذار لسيارة

صمم دارة إنذار لسيارة فيها أربعة مقاعد للركاب بحيث ينطلق الإنذار إذا كان مفتاح التشغيل على وضع on وكان أحد الركاب لم يشد حزام الأمان. من أجل التحسس بوجود الراكب وبتشغيل المفتاح تستخدم الدارات المبينة في الشكل (12.7).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 12.7 دارات بسيطة للتحسس بوجود الراكب وبتشغيل مفتاح الإقلاع.

في A تكون V* مساوية 5V+ عندما يكون المفتاح في حالة Off (حالة عدم وجود الراكب) ومساويةً صفراً عندما يكون المفتاح مغلقاً (حالة وجود الراكب). وفي الشكل B وعندما يكون المفتاح مغلقاً (حالة تشغيل المفتاح) يكون الجهد V* مساوياً 5v+، أما عندما يكون المفتاح مفتوحاً فإن V*=0. تم اختيار المقاومات للحصول على جهد يساوي 5V+ عندما يكون المفتاح مغلقاً.

الحل:

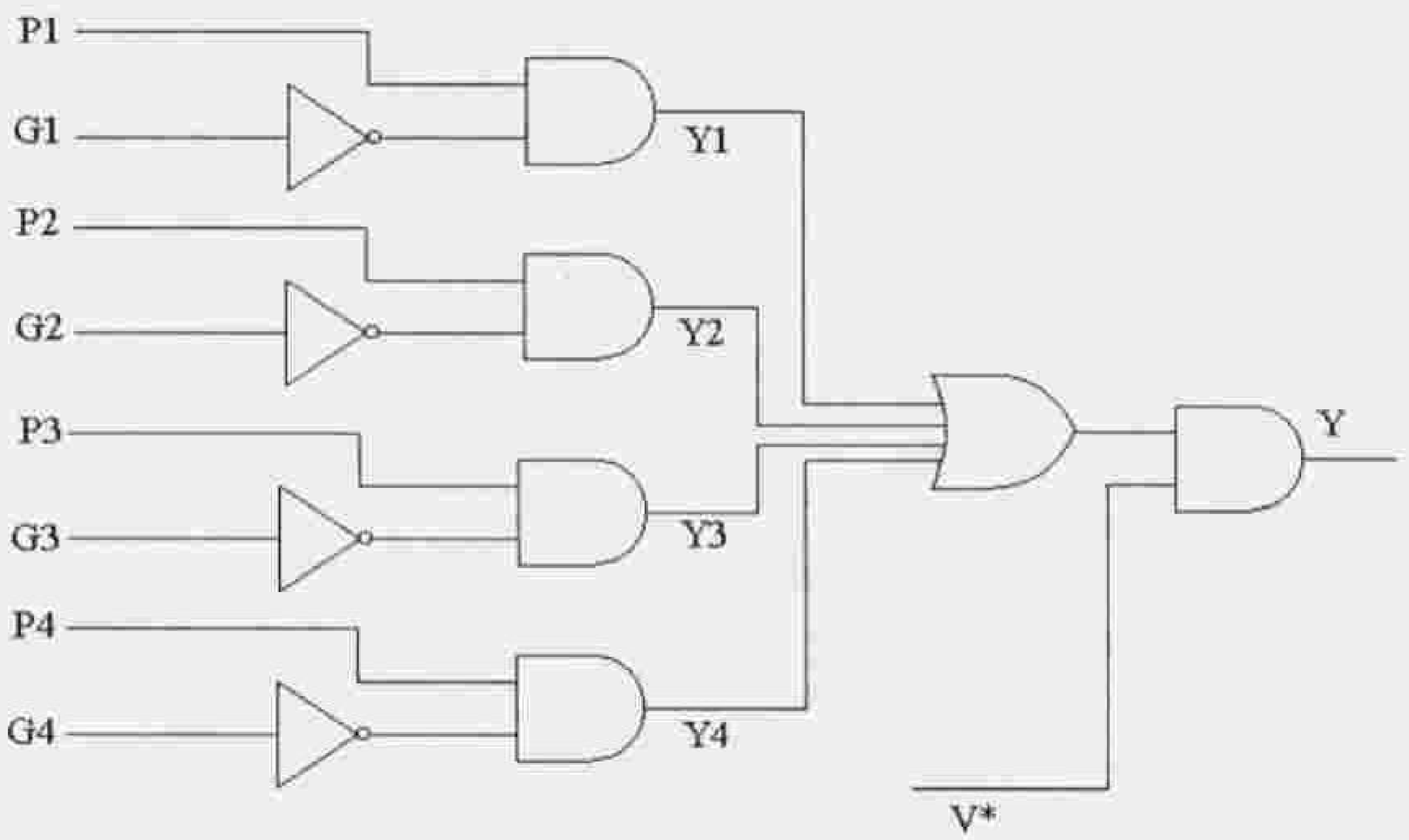
- يوجد في السيارة أربعة مقاعد وعلينا أن نراعي لكل راكب هل هو موجود؟ إذا كان موجوداً فهل حزام أمانه مربوط؟ إذا كان الجواب نعم فلا داعي للإنذار، أما إذا كان موجوداً وحزام أمانه غير مربوط فهنا ينطلق الإنذار. والجدول التالي يوضح الحالة التي ينطلق فيها الإنذار من طرف أحد الركاب والذي رمز له بالرمز P وP يمثل الحالة المنطقية لوجود هذا الراكب في السيارة، أما G فيمثل وضع حزام الأمان لهذا الراكب، وهنا طبعاً إذا كان المتحول يساوي (1) فمعنى ذلك أن حزام الراكب مشدود.

الجدول 4.7 الحالات المنطقية للراكب ولوضع حزامه.

ملاحظات	Y1	G	P
لا داعي للإنذار	0	0 (الحزام غير مشدود)	0 (الراكب غير موجود)
لا داعي للإنذار	0	1 (الحزام مشدود)	0 (الراكب غير موجود)
إنذار	1	0 (الحزام غير مشدود)	1 (الراكب موجود)
لا داعي للإنذار	0	1 (الحزام مشدود)	1 (الراكب موجود)

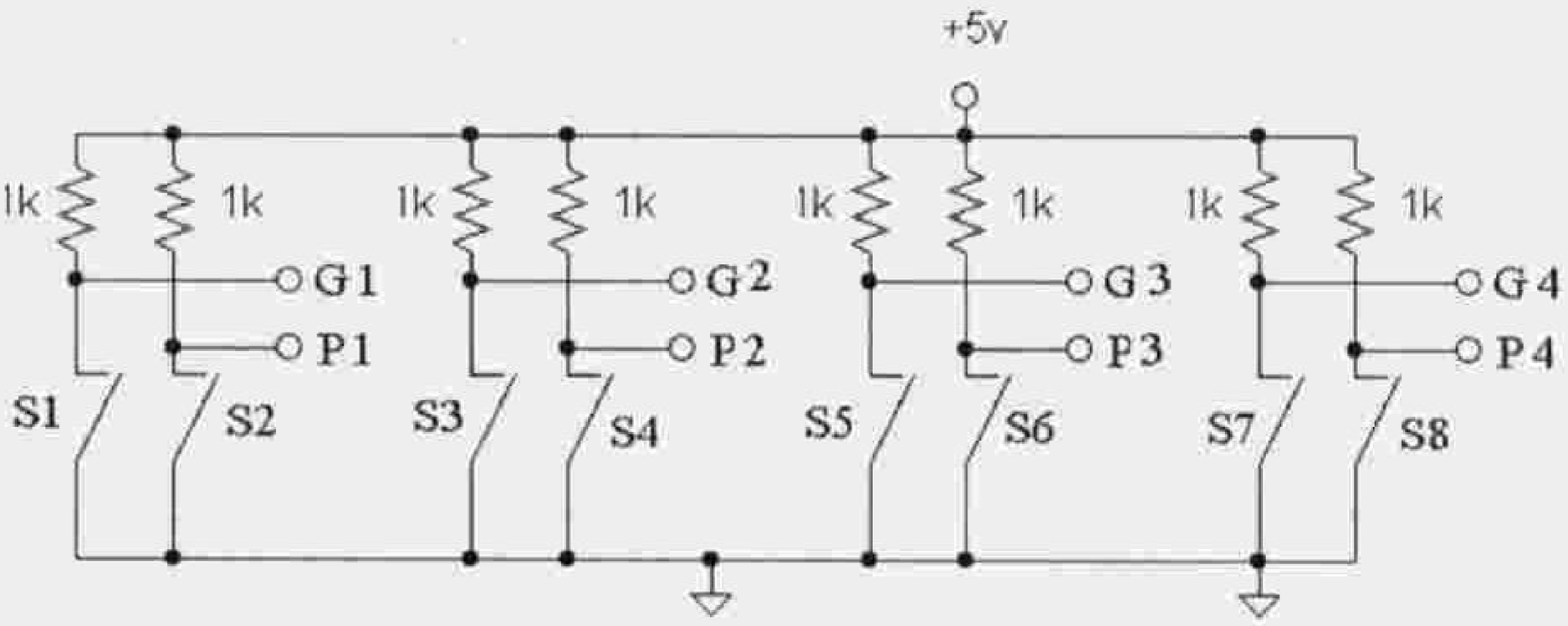
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

ومن الجدول نلاحظ أن التابع المنطقي الذي يحقق انطلاق الإنذار في حالة وجود الراكب وعدم ربطه لحزام الأمان هو $Y1 = P.\overline{G}$. يمكن بواسطة بوابة OR ذات أربع مداخل تجميع المخارج المنطقية لأوضاع الركاب الأربعة مع بعض بحيث أن أية إشارة إنذار من طرف أي راكب تؤدي إلى انطلاق الإنذار. كي ينطلق الإنذار فقط عند وضع المفتاح على حالة On يوصل خرج مفتاح التشغيل إلى أحد مدخلي بوابة AND بينما يوصل خرج بوابة OR إلى المدخل الثاني وبذلك تكون الدارة المنطقية كما في الشكل التالي.



الشكل 13.7 الدارة المنطقية التي تحقق المسألة المطلوبة.

يوصل الخرج Y إلى أداة تشغل جهاز الإنذار. يمكن الحصول على الإشارات المنطقية P وG من الدارة التالية:



الشكل 14.7 الدارة التي تؤمن الإشارات المنطقية P1,P2,P3,P4 وG1,G2, G3,G4.

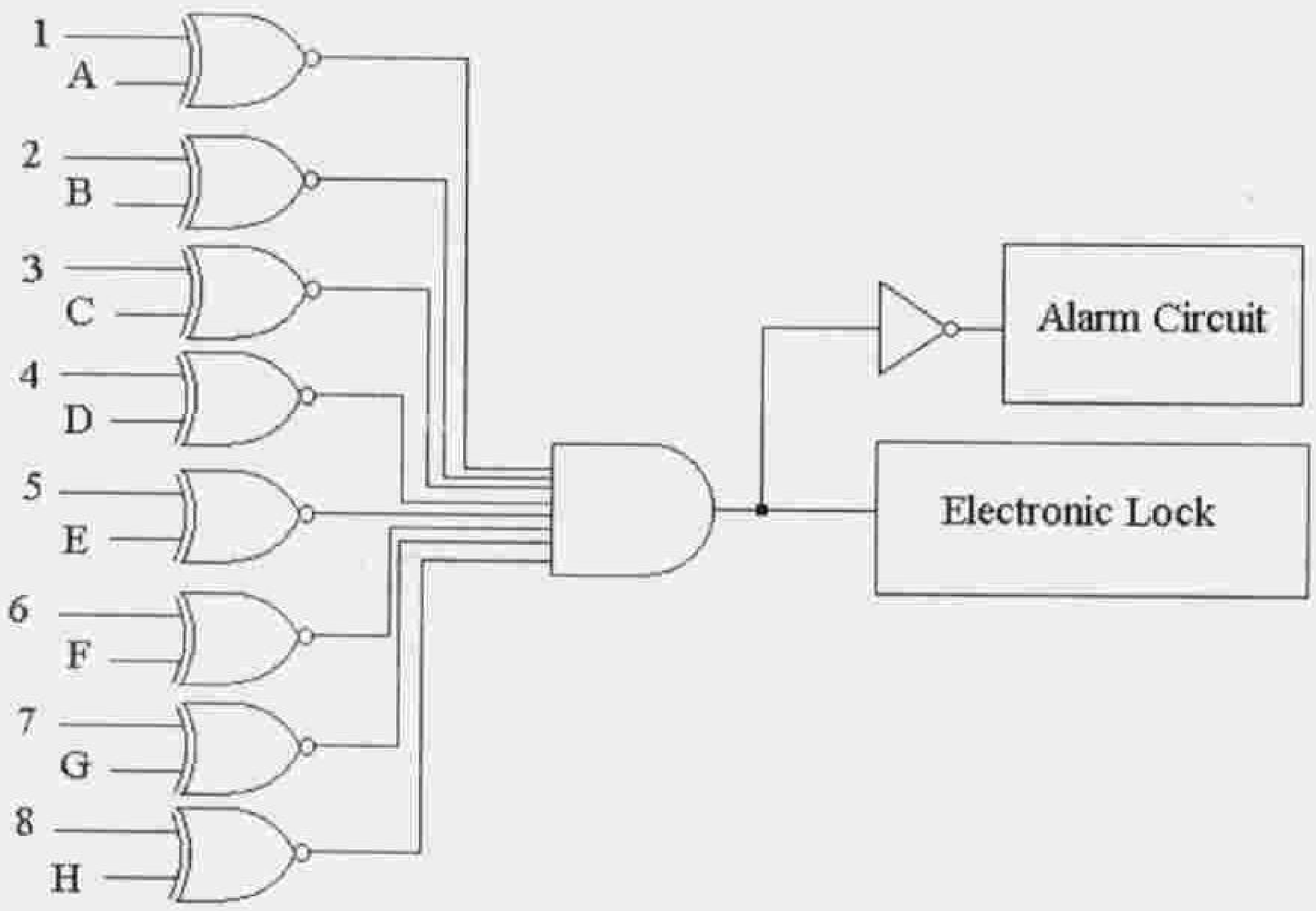
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

3.2.7 المشروع (3): تصميم دارة منطقية لقيادة قفل كهربائي

صمم دارة منطقية لقيادة قفل كهربائي تعمل وفق ترميز مؤلف من ثماني خانات. في حال كان الترميز صحيحاً يتم فتح القفل، أما إذا كان الترميز غير صحيح فيتم إطلاق إنذار صوتي لمدة 30S.

الحل:

يتم تحقيق الدارة المنطقية المطلوبة بواسطة ثمانية مقارنات لكل منها مدخلين حيث تتم مقارنة الترميز الموضوع من الخارج مع ترميز محضر مسبقا. وفي حال التطابق يتم فتح القفل وإلا تعمل دارة الإنذار، والدارة المنطقية موضحة في الشكل (15.7). تستخدم في هذا الشكل بوابات XOR كمقارنات والمعروف أن هذه البوابات تعطي الخرج (1) منطق عند تماثل المداخل وصفر منطق عند اختلاف المداخل.

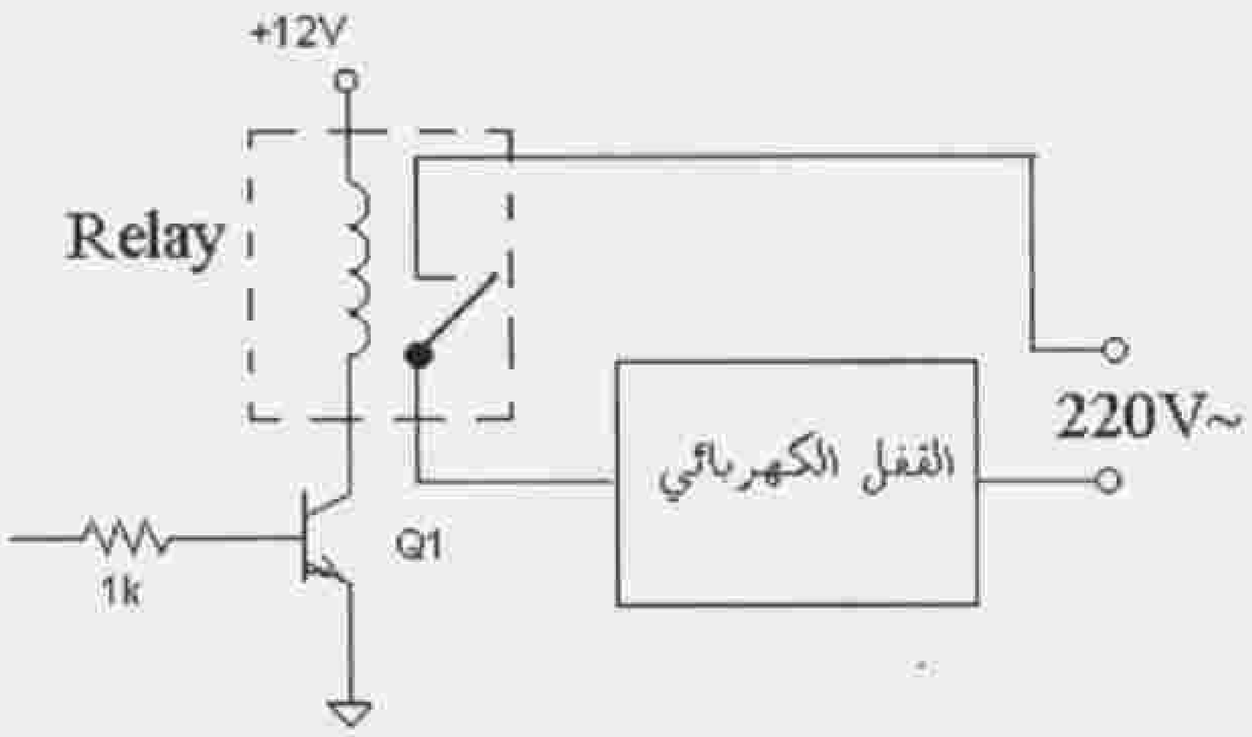


الشكل 15.7 الدارة المنطقية للقفل الإلكتروني.

يتم تفعيل القفل الكهربائي بواسطة دارة قيادة وهذه الدارة مبينة في الشكل(16.7) وهذه الدارة تعمل على ترانزيستور نوع NPN يقود حاكمة ويعمل تماس الحاكمة على توصيل الجهد الكهربائي إلى القفل.عندما يكون خرج بوابة AND ذات الثمانية مداخل في الشكل السابق على وضع H (1 منطق) – ويتحقق ذلك عندما يكون الترميز صحيحاً – فإن الترانزيستور يقاد إلى الإشباع فيمر تيار في ملف الحاكمة Relay ويجذب تماسها S فيوصل الجهد الكهربائي إلى القفل ويفتح، وفي هذه الحالة لا تعمل دارة الإنذار لأن العاكس يؤمن مستوى منطقياً منخفضاً (L أو صفر منطق) على

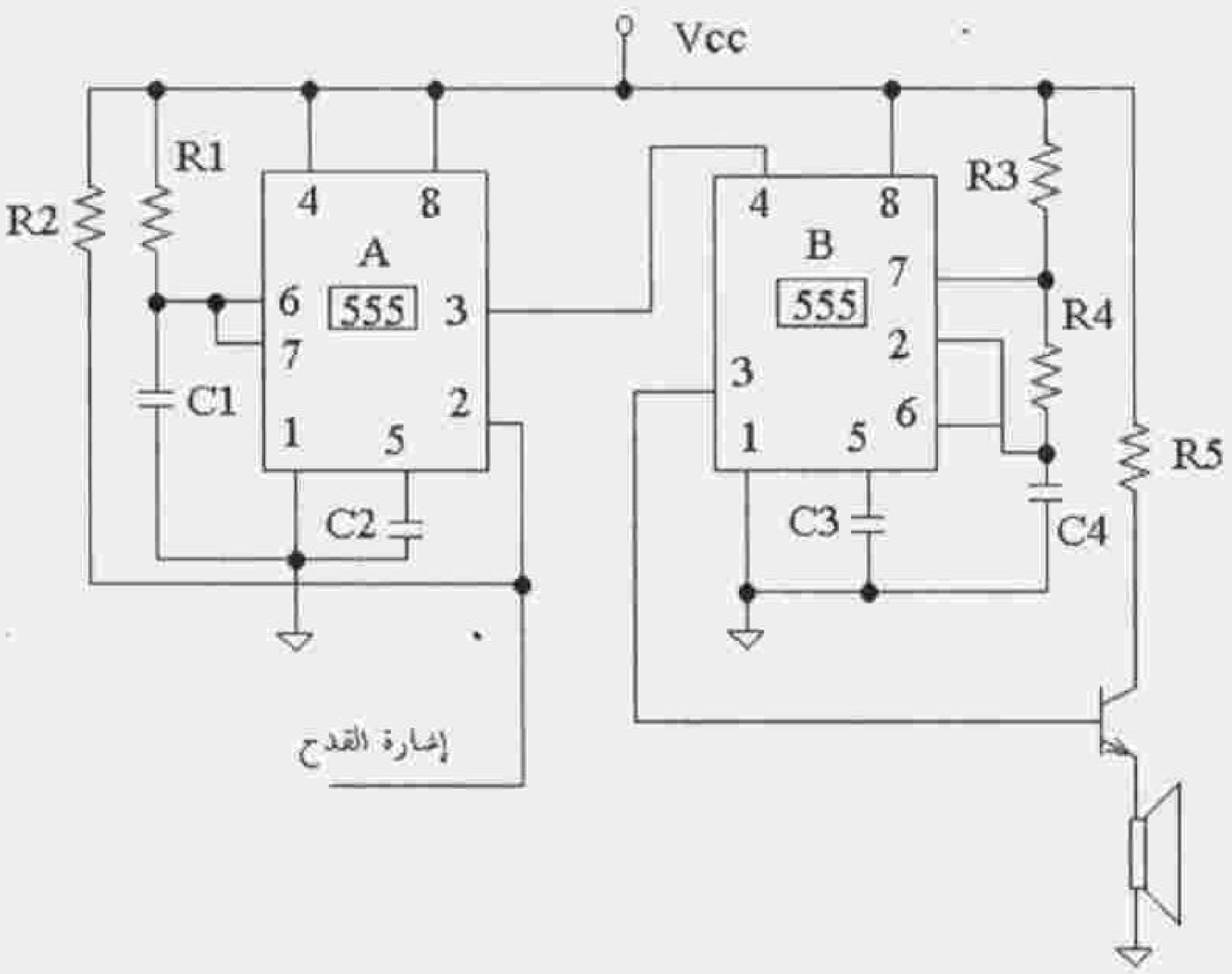
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مدخل دارة الإنذار. أما عندما يكون خرج بوابة AND على حالة (L، صفر منطق) فلا تعمل دارة قيادة القفل وينطلق الإنذار لمدة 30S.



الشكل 16.7 دارة قيادة القفل الكهربائي.

لكي تعمل دارة الإنذار لمدة 30S (ثلاثين ثانية فقط) لا بد من تصميم دارة توقيت لقيادة دارة توليد الإنذار الصوتي. والشكل التالي يوضح دارة التوقيت ودارة الإنذار الصوتي باستخدام الدارة المتكاملة شائعة الاستخدام 555.



الشكل 17.7 دارة التوقيت والإنذار الصوتي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

في هذا الشكل تعمل الدارة 555A كدارة مهتز وحيد الاستقرار وتصمم R1 وC1 بحيث تعطي نبضة خرج بعرض 30S، أما الدارة 555B فتعمل كمهتز عديم الاستقرار وتحسب قيم R3,R4 وC4 بحيث يتم الحصول على نغمة الإنذار المطلوبة، والدارة 555B تعمل فقط لمدة 30S. عادة تكون قيم C2=C3=0.01 µF . هنا ما تزال بعض الأمور بحاجة إلى حل وهي:

- كيف سيتم تأمين إشارة القدح لدارة الإنذار؟
- ما هو الإجراء الذي يجب اتخاذه كي لا تعمل دارة الإنذار في حالة الراحة؟

تترك الإجابة على هذه الأسئلة وحل المشاكل المتعلقة بها للقارئ.

4.2.7 المشروع (4): تصميم تاكومتر رقمي

يطلب تصميم تاكومتر رقمي digital tachometer له المواصفات التالية:

- يعطي قراءة عدد الدورات بالدقيقة.
- يعمل في المجال من 200 إلى 8000 rev/min (دورة في الثانية).
- ذو دقة 1% ويعطي قراءة حتى عشر الدورة في الدقيقة.
- يستخدم جهد الشبكة للتغذية والتزامن.
- يستخدم حساس توقيت timing transducer يعطي نبضة لكل دورة.

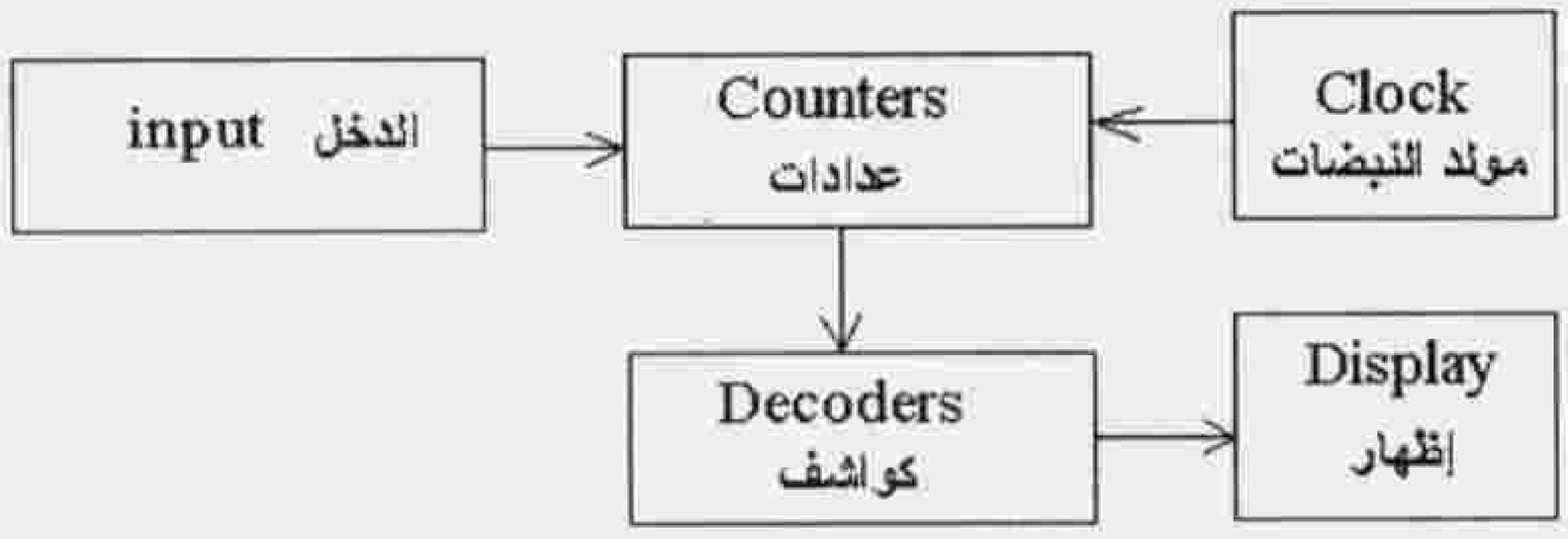
الحل:

لتسهيل عملية التصميم نفكر بحل المسألة بشكل منطقي. ومن خلال هذا التفكير نحدد المكونات الأساسية للتصميم، ثم نقسم التصميم إلى أقسام ونتعامل مع كل قسم على حدة بشرط أن يكون متوافقاً مع باقي الأقسام.

القسم الأول ويشكل الدخل بالنسبة لمقياس السرعة ووظيفة هذا القسم هي تحويل الإشارة غير الكهربائية المراد قياسها (عدها)، وهي عدد دورات المحرك، إلى إشارة كهربائية كي تتمكن باقي الدارات التكاملية من التعامل معها. وبعد المرحلة الأولى تأتي مرحلة العدادات Counters، والغاية من هذا القسم هي عد دورات المحرك revolutions of the engine، ويجب أن تستمر عملية العد لفترة محدودة (في هذا المشروع يجب أن تستمر عملية العد لمدة دقيقة واحدة) لأن المطلوب هو الحصول على عدد الدورات في الدقيقة. بالطبع يحتاج التصميم إلى مولد نبضات Clock. كي يكون الجهاز الجاري تصميمه مفيداً يجب أن يحوي على قسم لإظهار ناتج عملية العد، ولذلك نحتاج هنا إلى

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وحدات إظهار display units. من معلوماتك السابقة التي حصلت عليها من فصول هذا الكتاب تعلم أن وحدة الإظهار لا تربط مباشرة مع خرج العداد وإنما يوصل خرج العداد إلى كاشف decoder ويوصل خرج الكاشف مع وحدة الإظهار. من هذه المناقشة نلاحظ أن المسألة التصميمية قد تم تقسيمها إلى خمسة أقسام كما في المخطط الصندوقي التالي:



الشكل 18.7 المخطط الصندوقي للجهاز المطلوب تصميمه.

من خلال ما ذكرناه نكون قد برزنا الحاجة للمكونات الأساسية التالية:

1. مولد نبضات Clock generator.
2. عدادات Counters. .
3. كواشف BCD- to 7 segment decoders.
4. وحدات إظهار display units.
5. دارة دخل input circuit.

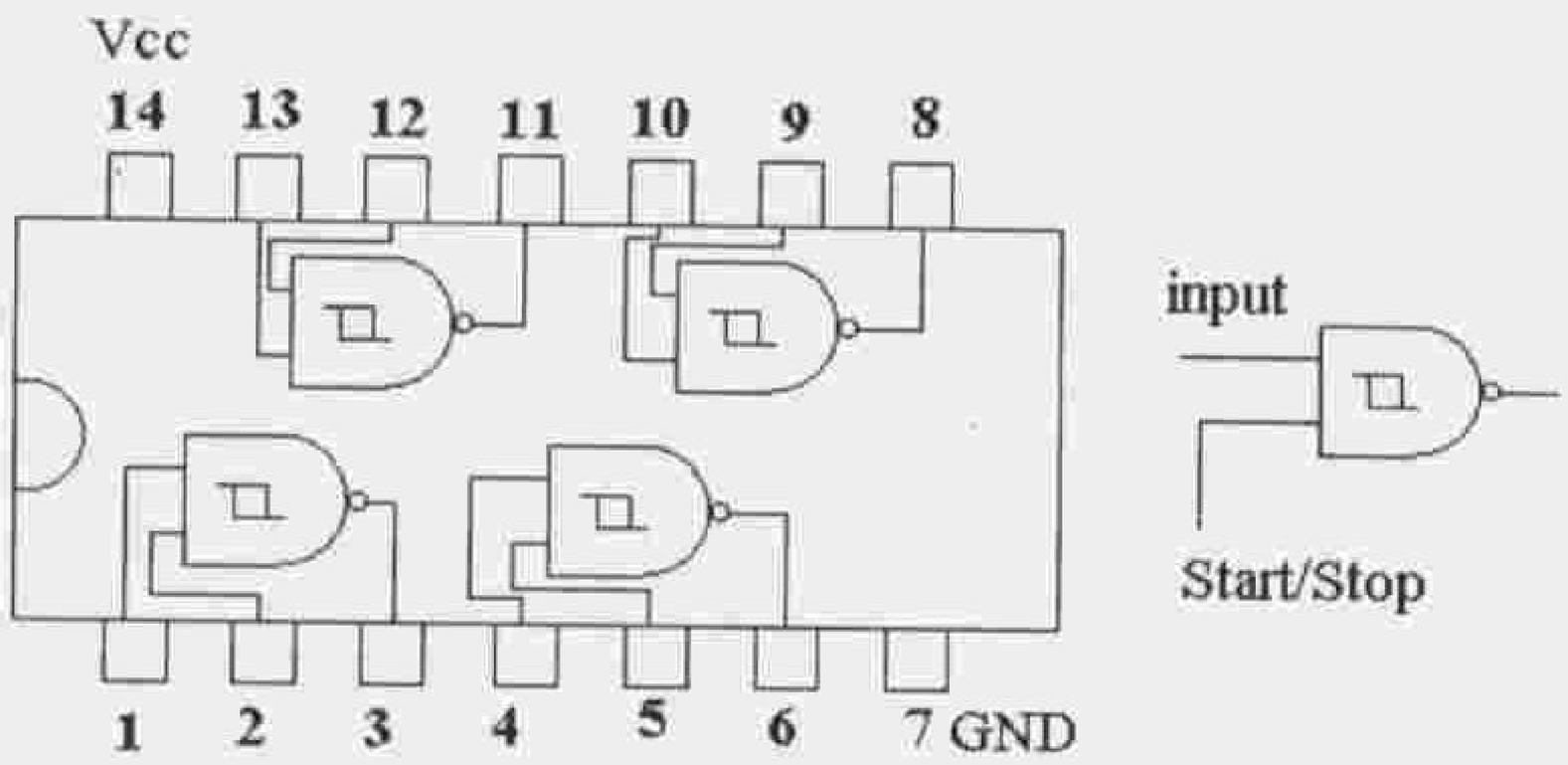
المرحلة الأولى

سوف ننطلق في بناء وحدة الدخل من نوع الإشارة التي يقدمها حساس transducer مركب على علبة المحرك، وهذه الإشارة مبينة في الشكل (19.7).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الشكل 19.7 إشارة خرج حساس السرعة.

وللاستفادة من هذه الإشارة لا بد من تحسينها قبل إدخالها إلى باقي مراحل الدارة، ومن أجل ذلك يتم استخدام قادح شميت Shmitt- trigger والذي يبدي مناعة عالية ضد الضجيج بسبب الطريقة التي يميز بها كلاً من الواحد والصفر منطق. ويكون خرج قادح شميت إشارة نبضية ذات مستويات (0V) و(5V)، تحوي الدارة المتكاملة 74132 على أربعة قوادح شميت بداخلها، الشكل (20.7).



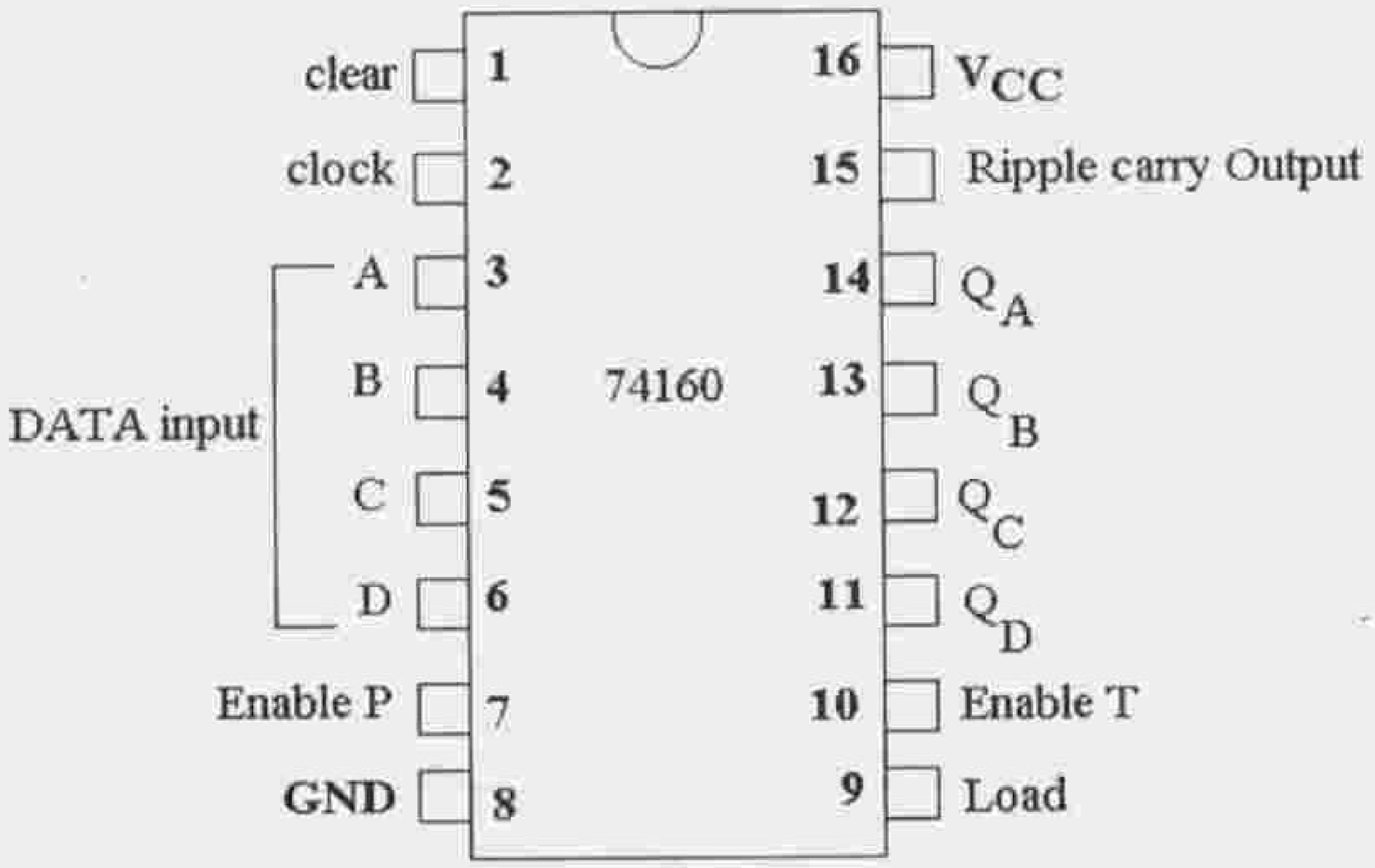
الشكل 20.7 الدارة المتكاملة 74132 وتحوي بداخلها أربع بوابات.

المرحلة الثانية (مرحلة العد)

يجب أن يعد العداد نبضات الدخل ويتم البدء بتشغيله بواسطة نبضة Clock وكذلك يتم إيقافه بواسطة نبضة Clock، ولذلك يجب الانتباه إلى ضرورة تزويد هذا العداد بمداخل Start, Stop وReset. يجب أن يكون ناتج العد قابلاً للقراءة كأرقام عشرية decimal numbers ولذلك يفضل استخدام عدادات عشرية. من كتالوج الدارات التكاملية نختار الدارة المتكاملة 74LS160 المزودة بمداخل Reset وStart/Stop. يستخدم العداد 74160 في التطبيقات عالية السرعة وهو من النوع القابل للبرمجة fully programmable (وهذا يعني أنه يمكن وضع الخرج وبشكل مسبق على أية قيمة مرغوبة). في الشكل (21.7) نبين وظائف أرجل الدارة المتكاملة المذكورة. عند تطبيق (L) على مدخل Load يلغى

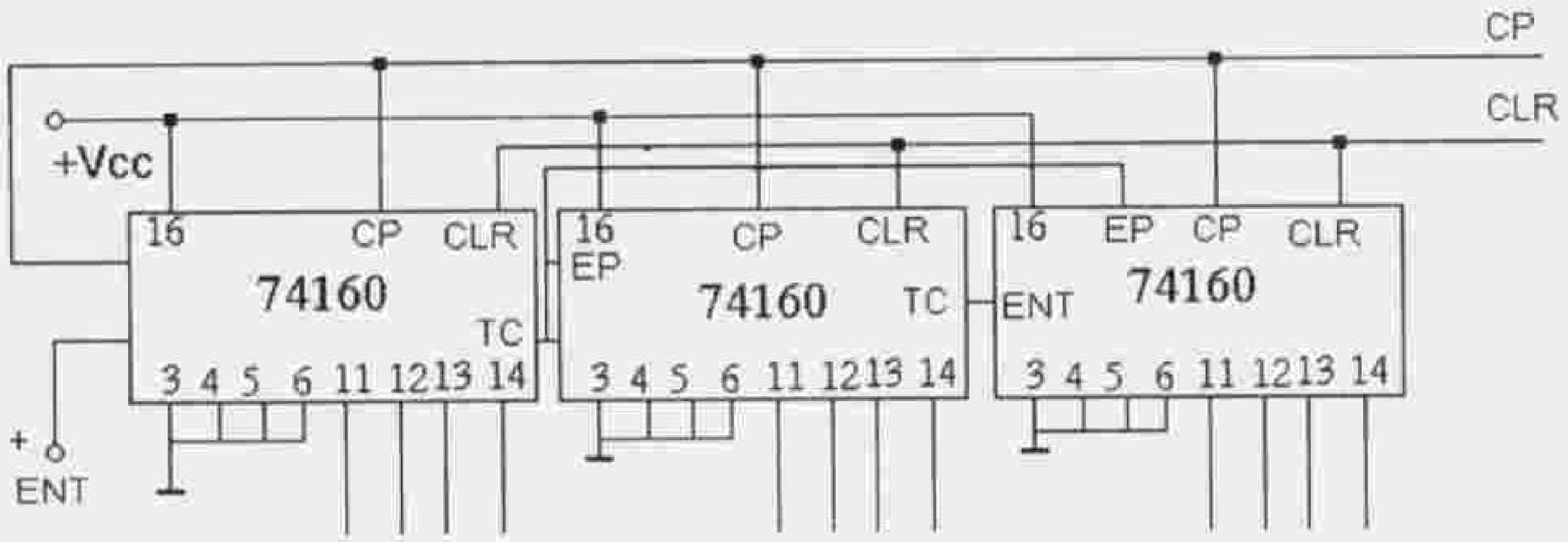
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

تفعيل العداد ويصبح الخرج متوافقاً مع معطيات الإعداد Setup Data بعد نبضة Clock التالية بغض النظر عن المستويات المنطقية لمداخل التمكين Enable inputs. في حال استخدام الدارة المتكاملة المعيارية 74160 يجب تجنب الانتقال من (L) إلى (H) على المدخل Load عندما تكون نبضة Clock في حالة (L)، وذلك إذا كانت مداخل التمكين في حالة (H). الدارة المتكاملة 74160 مبينة في الشكل (21.7) ومن أجل العد يجب أن يكون مدخلي Enable P و Enable T في حالة H.



الشكل 21.7 الدارة المتكاملة 74160.

من أجل عد حتى ثلاث خانات تستخدم ثلاث دارات 74LS160 وتوصل مع بعضها كما في الشكل (22.7).

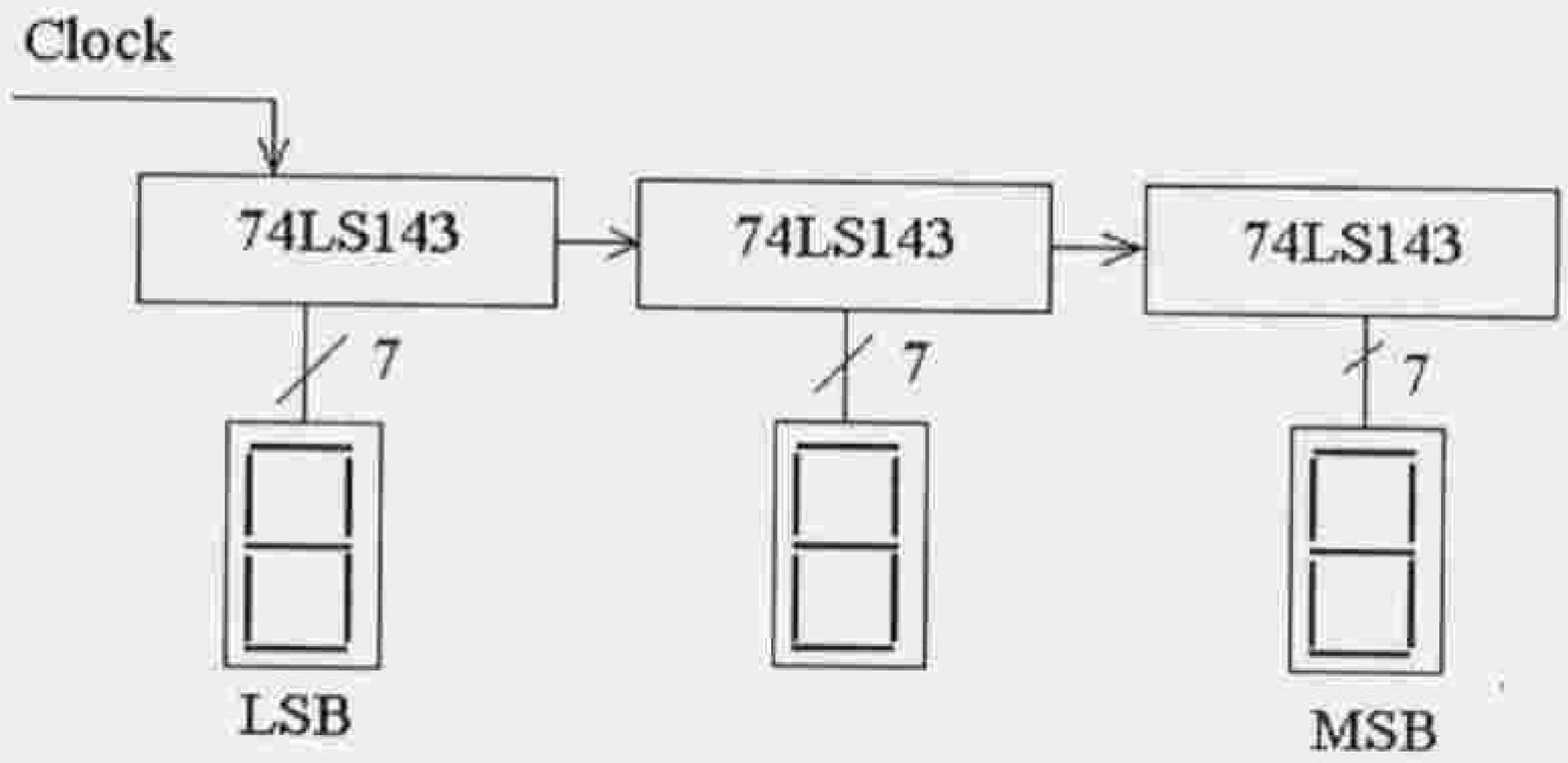


الشكل 22.7 توصيل ثلاث ICs من نوع 74LS160 لتكوين عداد لثلاث خانات.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

طبعاً يستخدم الكاشف BCD- to 7 segment decoder (الدارة المتكاملة 74LS47) لتحويل مخارج العدادات إلى شكل يمكن إظهاره على وحدات الإظهار.

تتوفر الدارة المتكاملة 74LS143 والتي تقوم بوظيفة عداد counter وماسك Latch وكاشف decoder، ويؤدي استخدام هذه الدارة المتكاملة إلى اختصار عدد الدارات اللازمة كثيراً حيث يبين الشكل (23.7) قسم العد والإظهار الذي يحتاج فقط إلى ثلاث دارات متكاملة Ics.

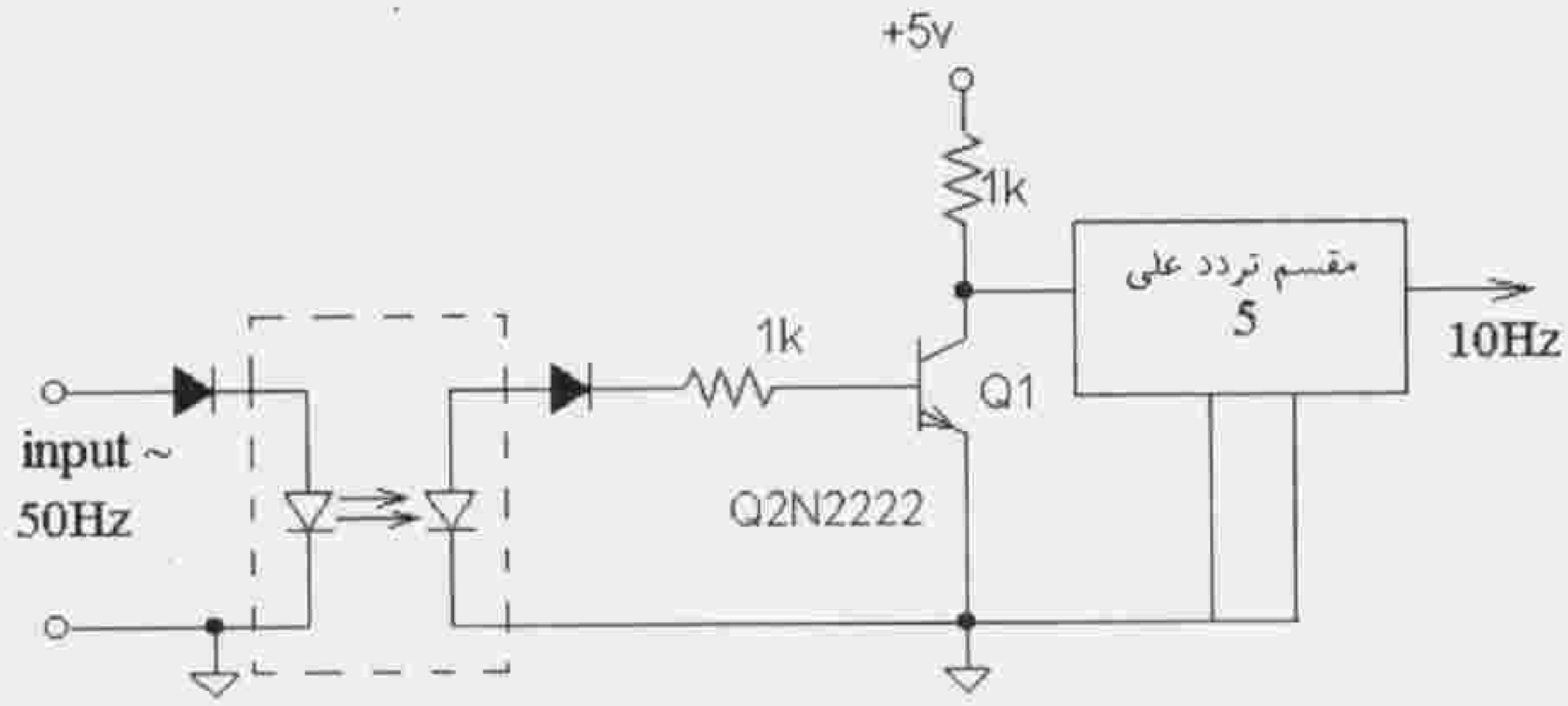


الشكل 23.7 دارة العداد مع وحدات الإظهار عند استخدام الدارة المتكاملة 74LS143.

مرحلة توليد نبضات Clock

يتم تقويم جهد شبكة المدينة ذي التردد 50Hz، ويستخدم لنقل الترانزيستور 2N2222 إلى حالة on وoff، وبذلك يتم الحصول على قطار من النبضات ذات المستوى المنطقي 5V ويتم تقسيم التردد على (5) من أجل الحصول على إشارة بتردد 10Hz. تستخدم دارة عزل ضوئية بين جهد شبكة المدينة والتجهيزات الإلكترونية، (الشكل 24.7).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 24.7 دارة للحصول على جهد نبضي بتردد 10Hz من جهد شبكة المدينة.

نحتاج إلى الإشارات التالية من أجل التوقيت:

- إشارة Start/Stop.
- إشارة توقيت Timing Signal.
- إشارة تصفير Reset signal.
- إشارة جاهزية المعطيات Data Ready signal.

كي يكون الإظهار مقروءاً بسهولة ينصح باستخدام وحدات إظهار من قياس ($\frac{3}{4}$inch) ويجب أن تكون إضاءته مناسبة.

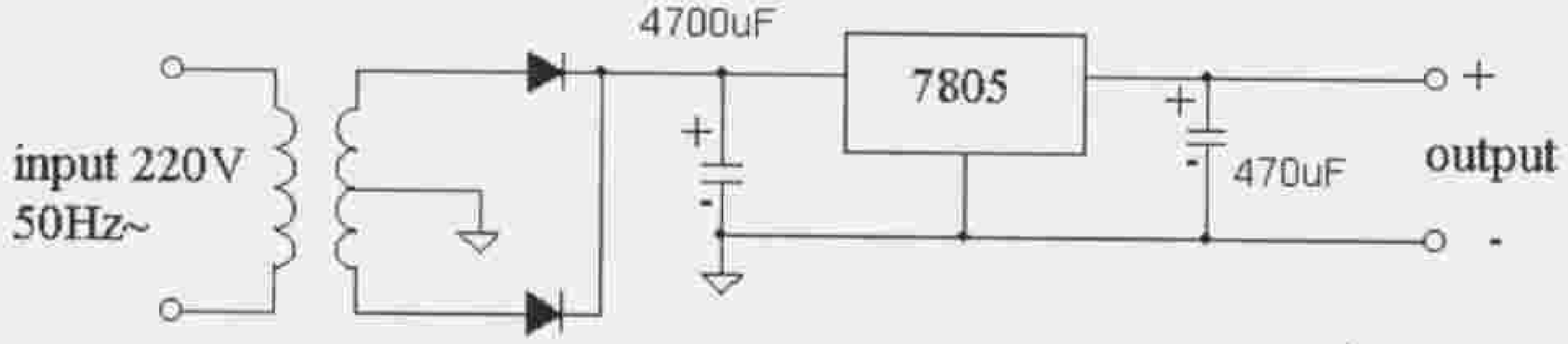
5.2.7 المشروع (5): تصميم منظومة منطقية لكشف المصباح المعطل على مدرج هبوط

تتوضع على جانبي مدرج الهبوط في مطار مدني مجموعة من المصابيح المضيئة التي تستخدم لإرشاد الطيار في عملية الهبوط، بفرض أن عدد هذه المصابيح هو (64) مصباحاً يطلب تصميم دارة منطقية لكشف المصباح المعطل بفرض أن الجهد على طرفي المصباح الذي يكون في حالة عمل هو +5V، أما المصباح المعطل فيكون الجهد على طرفيه 0V. يجب أن يكون خرج الدارة المنطقية وحدتي إظهار 7-segment display تدلان على رقم المصباح المعطل والذي يمكن أن يكون من (0) إلى (63)، وإذا وجدت لمبة معطلة يجب أن يضيء LED للدلالة على أن المصباح عند هذا الرقم معطل. اضبط الوقت بحيث يتم فحص كل مصباح لمدة دقيقة خلال دورة مكونة من 64 دقيقة. استخدم جهد شبكة المدينة 220V ذي التردد 60Hz للحصول على جهد التغذية المطلوب.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

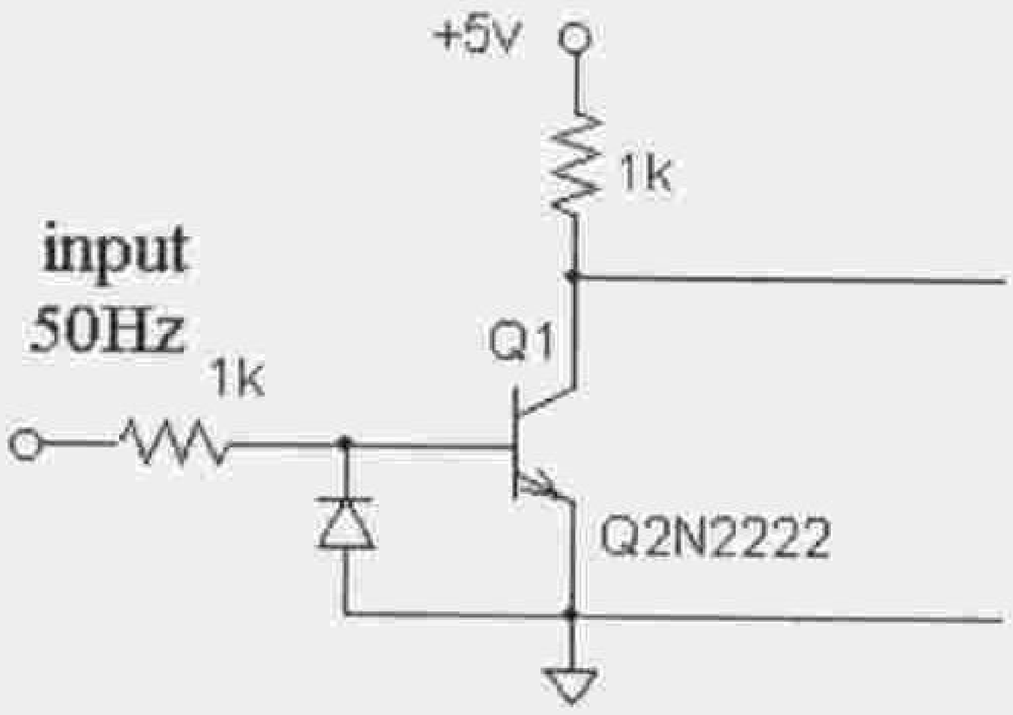
الحل:

سنبدأ بدارة التغذية التي تؤمن جهد التغذية اللازم للدارات التكاملية المكونة للمشروع. نحصل على جهد التغذية من تقويم وتنعيم وتنظيم جهد شبكة المدينة كما في الشكل التالي.



الشكل 25.7 دارة التغذية.

يتم الحصول على نبضات من جهد شبكة المدينة باستخدام الدارة التالية، حيث يطبق عليها جهد الدخل من أحد طرفي ثانوي المحول (الشكل 26.7).

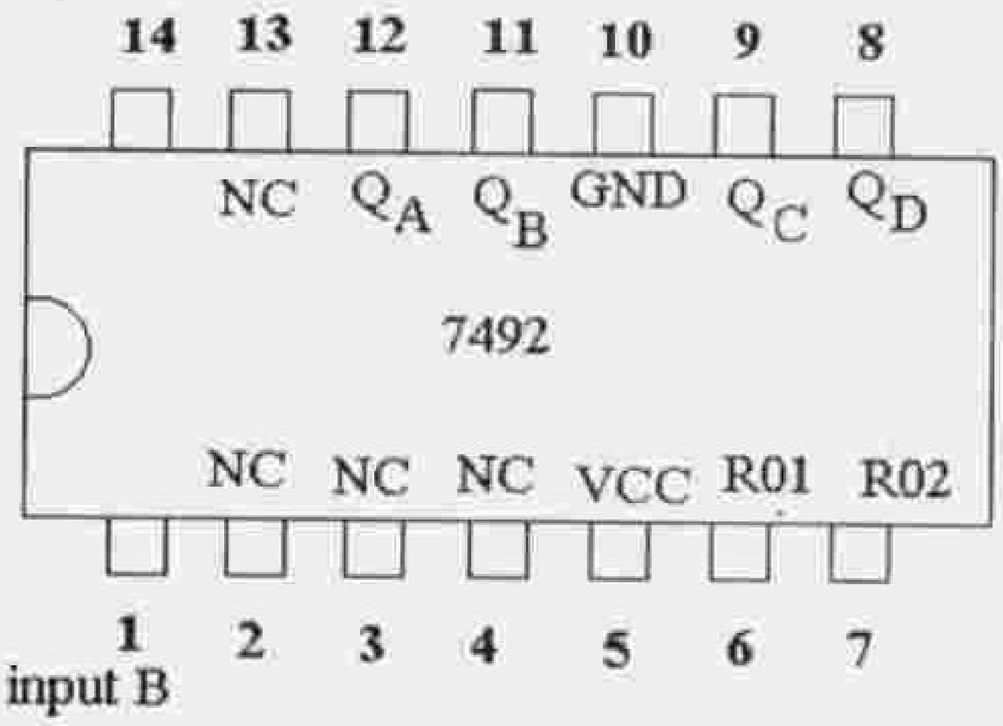


الشكل 26.7 دارة توليد نبضات بتردد يساوي تردد جهد الشبكة.

تؤدي إشارة الدخل المتناوبة خلال نصف الدور الموجب إلى نقل الترانزيستور Q2N2222 إلى الإشباع، ويكون جهد خرج الترانزيستور مساوياً الصفر. أما خلال نصف الدور السالب فيكون الترانزيستور قاطعاً، وجهد خرجه يساوي الـ +5V. وبذلك تعمل هذه الدارة البسيطة على تحويل إشارة الدخل المتناوبة الجيبية إلى إشارة نبضية بتردد يساوي تردد إشارة الدخل (60Hz).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

تطبق هذه النبضات على الرجل (1) للعداد 7492 الذي يعمل على تقسيم التردد على (6) فنحصل في خرجه على إشارة بتردد (10Hz)، يتكون العداد 7492 من أربع قلابات وفي هذا التطبيق يستخدم الجزء الثاني من هذه القلابات. يطبق خرج العداد على مدخل 7490 مستخدم كمقسم تردد على (10) فنحصل في خرجه على إشارة نبضية بتردد (1Hz). نقسم من جديد على (6) ثم على (10) فنحصل على إشارة بتردد (1/60 Hz) وهي توافق نبضة ذات استمرارية دقيقة واحدة، وبذلك نكون قد حصلنا على نبضة تتوافق مع فترة اختبار المصباح. الدارة المتكاملة 7492 هي دارة عداد متكاملة مكونة من 14 رجل ومبينة في الشكل (27.5) وفي نفس الشكل نبين جدول التشغيل.



R01	R02	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	Count			
X	L	Count			

الشكل 27.5 جدول الحقيقة ووظائف الأرجل للدارة 7492.

يبين الجدول التالي جدول وضعيات مخارج العداد.

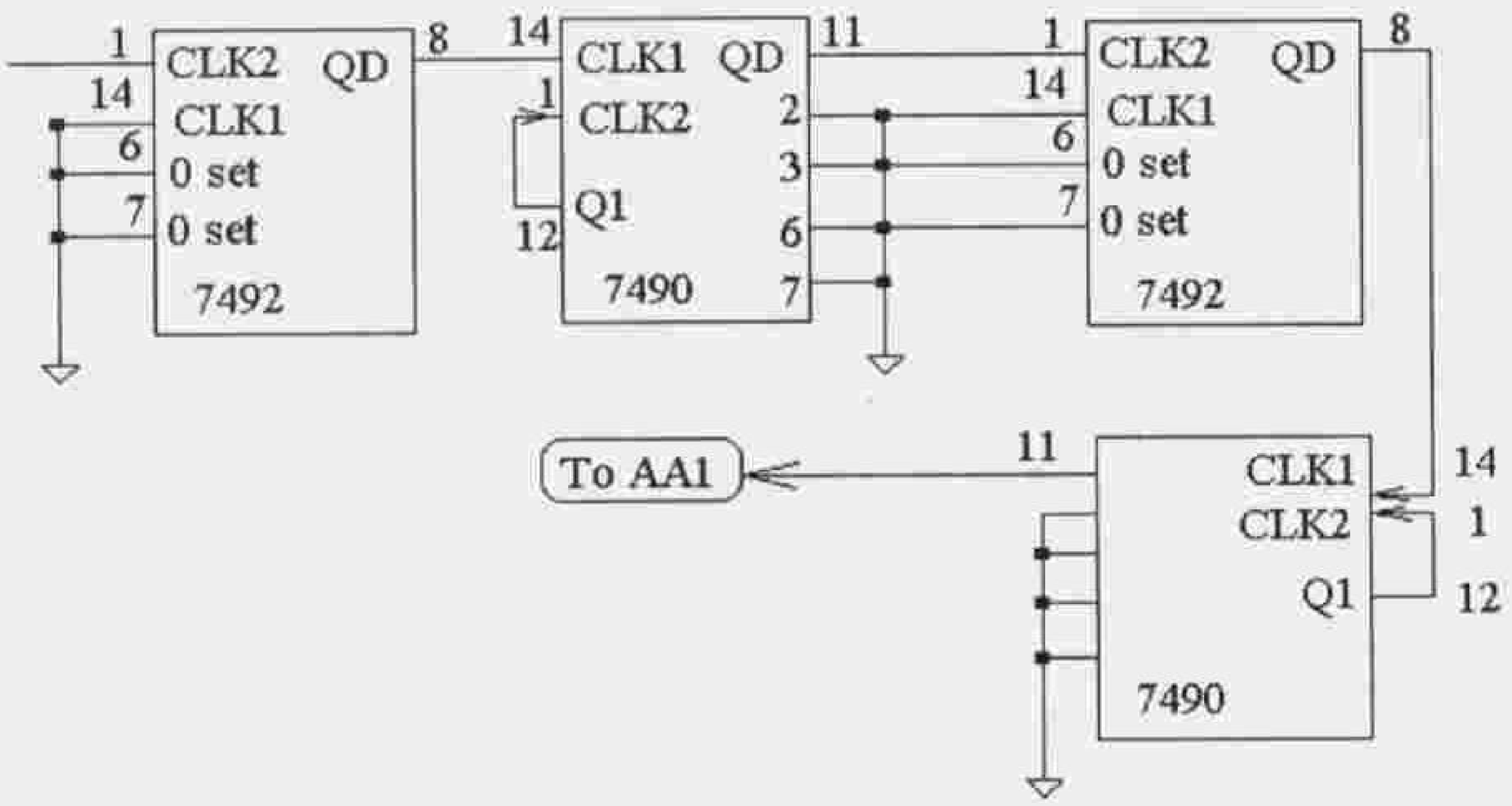
الجدول 5.7 تتابع العد في العداد 7492.

Clock	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

Clock	Q_D	Q_C	Q_B	Q_A
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
	H	H	L	H

نلاحظ من هذا الجدول أن الخرج Q_D يكون على حالة L إذا كان عدد النبضات أصغر من ستة وعلى حالة H إذا كان عدد النبضات من 6 إلى 11. يطبق هذا الخرج على المدخل (14) للعداد 7490 الذي يعمل كمقسم تردد على 10 ثم يعاد تقسيم التردد على 6 ثم على 10 مرة ثانية.



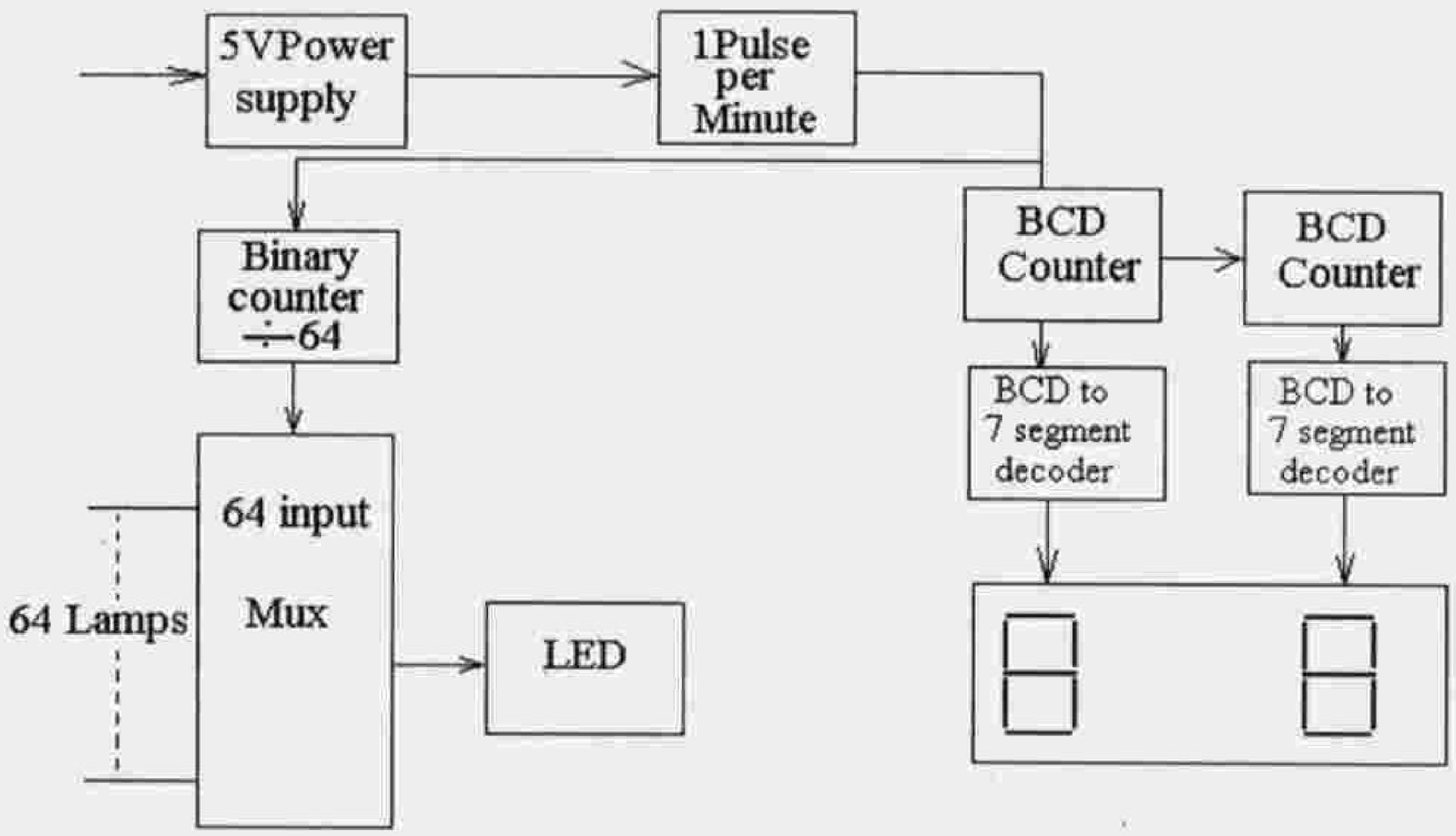
الشكل 28.7 توصيلات العدادات 7490 و7492 مع بعضها البعض كمقسمات تردد على 10 وعلى 6.

من المخرج المسمى TO AA1 نحصل على نبضات ذات استمرارية لمدة دقيقة واحدة.

يتم تحقيق المشروع عن طريق وصل المصابيح الأربعة والستين إلى دارة ناخب واختيار أحد هذه المصابيح لمدة دقيقة واحدة واختبار الوضع المنطقي للجهد عليه. فإذا كان 5V+ يكون المصباح في حالة عمل، أما إذا كان صفر فولت فيعتبر المصباح معطلاً. ويتحقق هذا الاختبار بتطبيق خرج الناخب على ديود ضوئي يبين حالة جهد المصباح، ويجب إظهار رقم المصباح الذي يجري اختباره. يمكن استخدام أربعة نواخب كل واحد منها له (16) مدخل لأنه لا يتوفر ناخب واحد بأربعة وستين مدخل. توصل مخارج النواخب الأربعة إلى ناخب جديد ذي ثمانية مداخل تستخدم أربعة

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

منها أما الأربعة الأخرى فتوصل مع الأرض. الآن وبعد أن أصبحت طريقة التحقيق واضحة ننتقل إلى تحقيق الدارات المنطقية للنواخب والدارة التي تؤمن إشارات عنونة النواخب. يمكن استخدام العدادات لتأمين إشارات الانتخاب. في الشكل (29.7) يعطى المخطط الصندوقي العام للدارة التي تحقق الوظيفة المطلوبة. يؤمن العداد المقسم على 64 عنونة الـ multiplexer ذي الـ 64 دخل، ويتم تكوين هذا الـ multiplexer من أربع وحدات 4x16 multiplexer (الدارة المتكاملة 74150). يستخدم زوج من عدادات BCD العشرية للعد من الرقم (0) وحتى الرقم (63)، ويطبق خرج العداد على كواشف ووحدات إظهار.

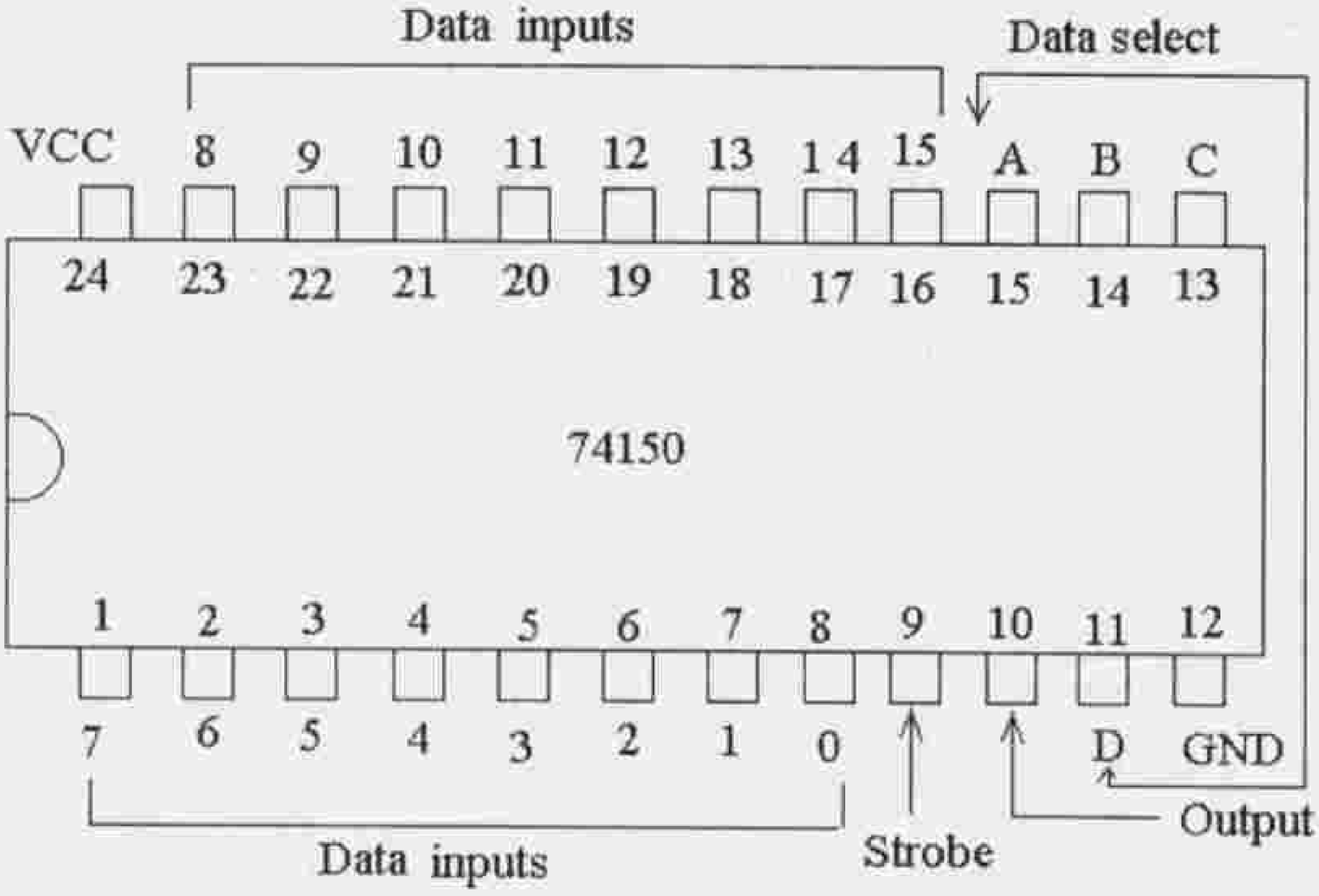


الشكل 29.7 المخطط الصندوقي لمبين المصباح المعطل.

الدارة المتكاملة 74150

وهي دارة ناخب (1) من (16) ووظائف الأرجل لهذه الدارة مبينة في الشكل (30.7).

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 30.7 وظائف الأرجل في دارة الناخب (1) من (16).

يبين الجدول التالي المخطط الوظيفي لهذه الدارة.

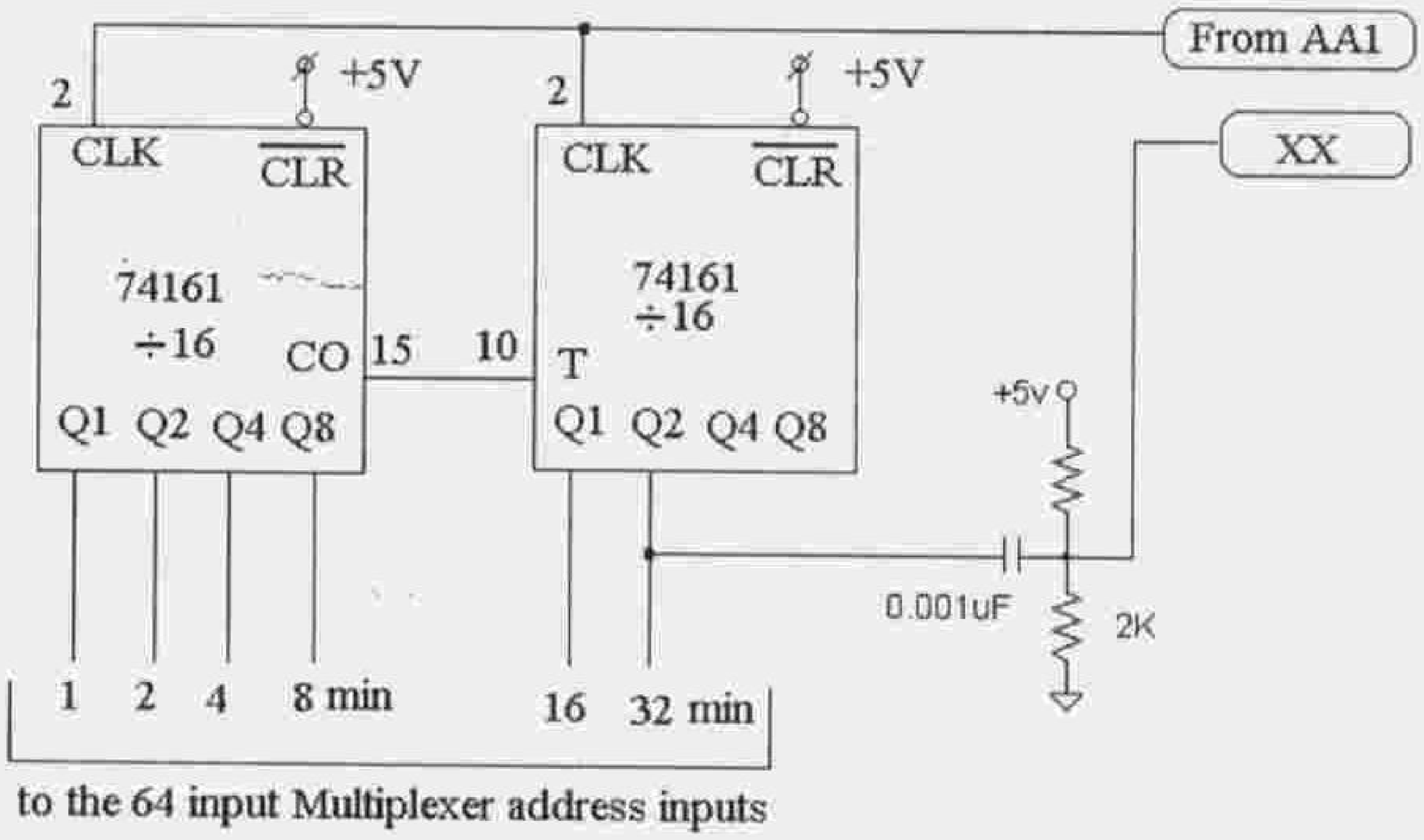
الجدول 6.7 جدول الوظيفة للناخب 74150.

Select				Strobe	Output
D	C	B	A		
X	X	X	X	H	H
L	L	L	L	L	$\overline{E_0}$
L	L	L	H	L	$\overline{E_1}$
L	L	H	L	L	$\overline{E_2}$
L	L	H	H	L	$\overline{E_3}$
L	H	L	L	L	$\overline{E_4}$
L	H	L	H	L	$\overline{E_5}$
L	H	H	L	L	$\overline{E_6}$
L	H	H	H	L	$\overline{E_7}$
H	L	L	L	L	$\overline{E_8}$
H	L	L	H	L	$\overline{E_9}$

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

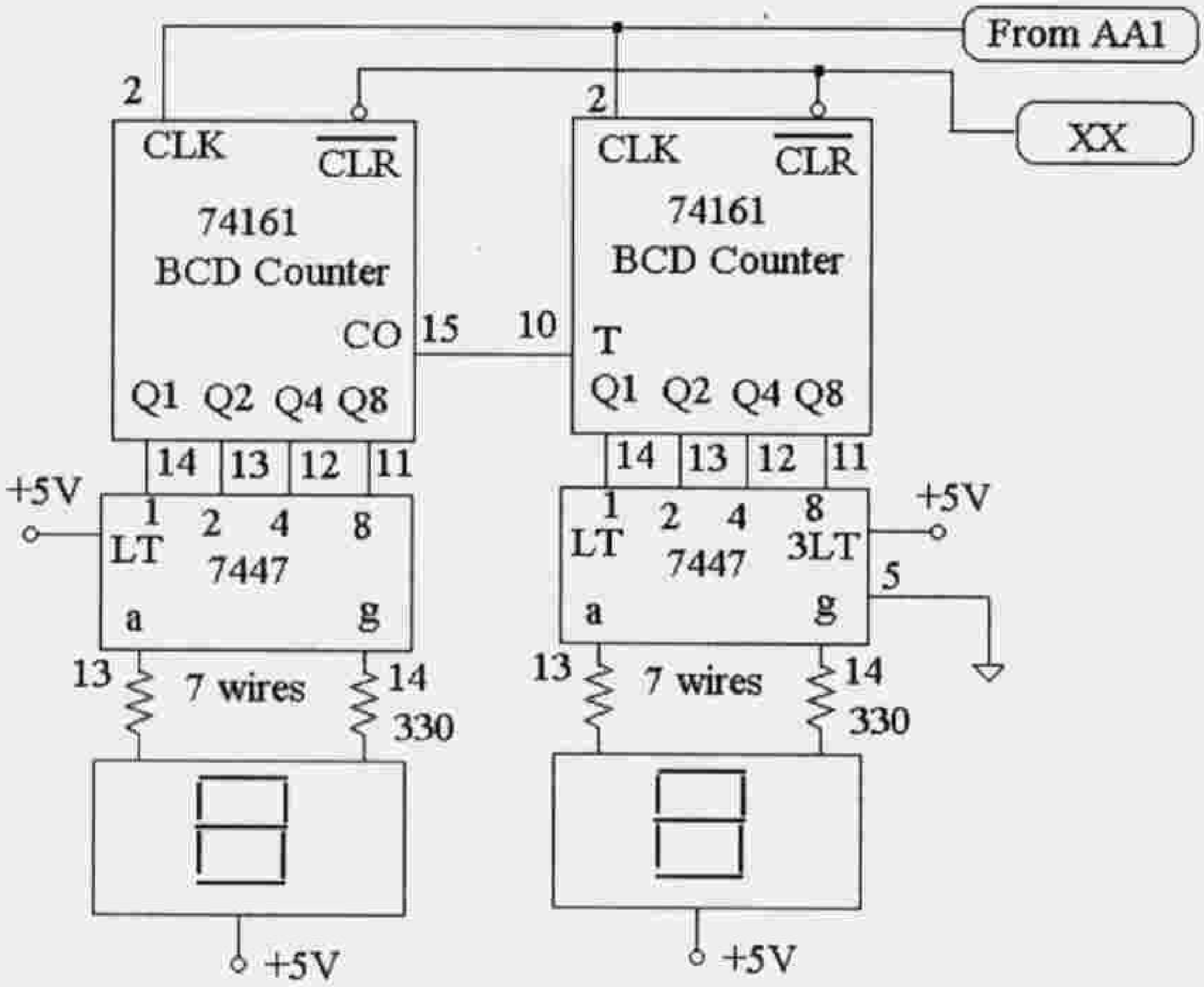
Select				Strobe	Output
D	C	B	A		
H	L	H	L	L	$\overline{E_{10}}$
H	L	H	H	L	$\overline{E_{11}}$
H	H	L	L	L	$\overline{E_{12}}$
H	H	L	H	L	$\overline{E_{13}}$
H	H	H	L	L	$\overline{E_{14}}$
H	H	H	H	L	$\overline{E_{15}}$

$\overline{E0}$ حتى $\overline{E15}$ هي المعكوسات المنطقية لإشارات المداخل والتي تمثل إشارات المصابيح هنا. ومن الجدول نلاحظ أن إشارة انتخاب المعطيات Data Select هي التي تحدد إشارة المدخل التي تظهر على الخرج. تؤخذ الإشارات A,B,C,D من عداد العنونة ومن المخارج 1min,2min,4min,8min على الترتيب حيث يتم تشكيل إشارات العنونة للنواخب بواسطة زوج من العدادات 74161 كما في الشكل (29.7)، وتوصل مخارج 1min,2min,4min,8min إلى مداخل العنونة للنواخب الأربعة (74151) ذات الـ 16 مدخل. أما مخرجي العنونة 16min و32min فيطبقان على مداخل العنونة للناخب الأخير 74150 والذي تطبق على مداخله الأربعة الأولى إشارات خرج النواخب الأربعة ذات الـ 16 مدخل، ومداخل العنونة 16min و32min هي التي تحدد الناخب المدخل الفعال للناخب الأخير.



الشكل 31.7 دارة تشكيل العناوين لدارات النواخب.

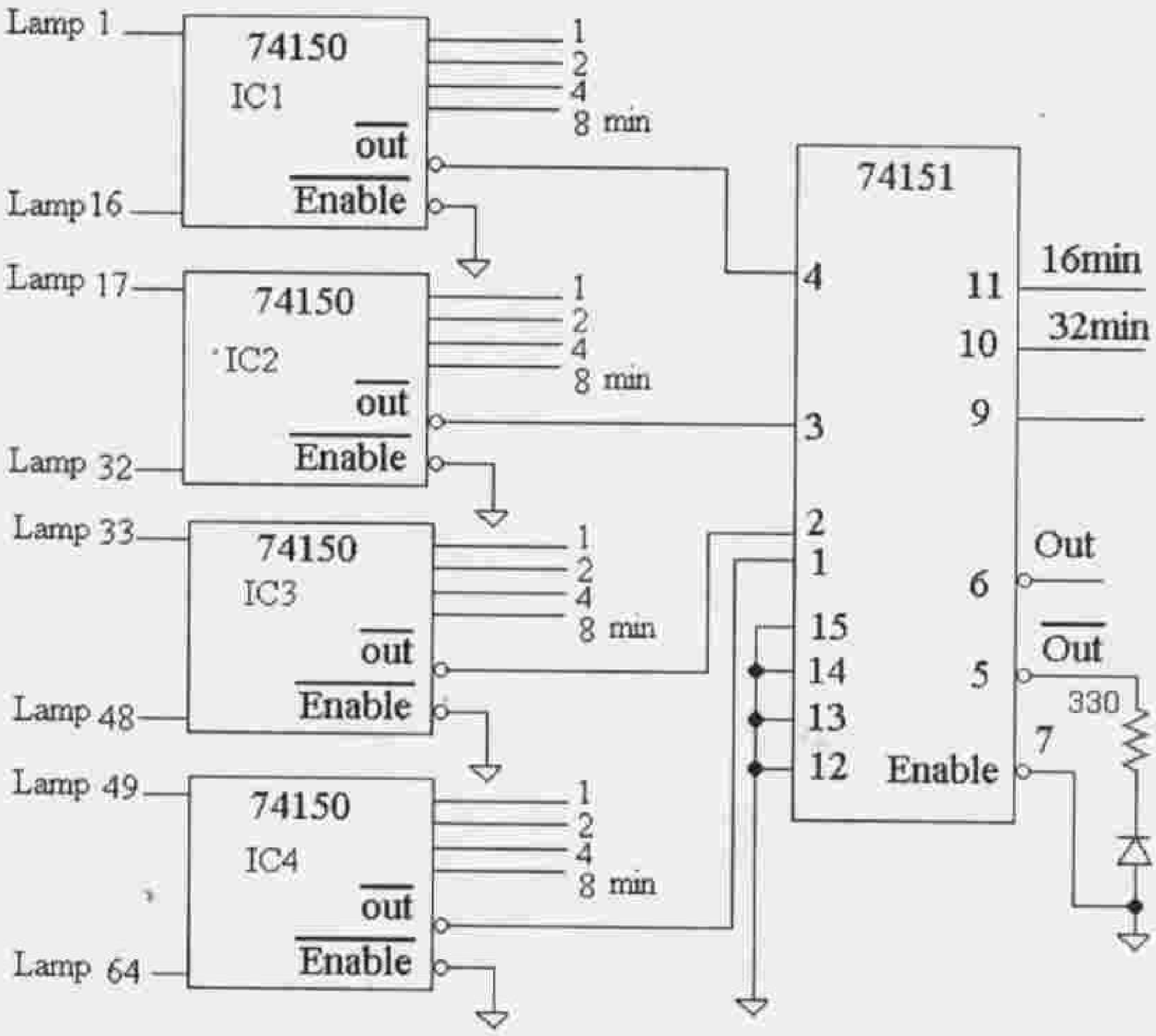
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 32.7 دارة العد التي تبين رقم المصباح الجاري اختباره.

في الشكل (33.7) تعطى دارة النواخب، وفيها نلاحظ استخدام أربع دارات تكاملية 74150 كل واحدة منها ذات 16 مدخل وحسب العنونة يتم اختيار واحد من هذه المداخل. توصل مخارج هذه النواخب إلى ناخب آخر له ثمانية مداخل ولكن توصل إليها فقط أربعة مداخل، وأيضاً هنا وحسب العنونة يكون الخرج موافقاً لأحد المداخل.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 33.7 توصيل المصابيح إلى دارة كشف العطل.

توصل مداخل الـــ Data input في الدارات المتكاملة 74150 إلى المصابيح، حيث يوصل كل (15) مصباح إلى دارة متكاملة ويطبق على الدخل 5V+ عندما يكون المصباح في حالة جيدة و صفر فولت عندما يكون المصباح معطلاً. توصل المصابيح إلى المداخل 8,7,6,5,4,3,2,1,23,22,21,20,19,18 17,16. أما إشارات العنونة 1min,2min,4min,8min فتطبق على الأرجل 15,14,13,11 على الترتيب. توصل أرجل التمكين $\overline{\text{Enable}}$ (9) كلها إلى الأرضي. تطبق إشارات $\overline{\text{Out}}$ الخرج التي تؤخذ من الرجل (10) لكل دارة متكاملة على مداخل المعطيات (الأرجل 4,3,2,1) للدارة المتكاملة 7451. عند اختبار أول 16 مصباح يكون الخرج 16min لعداد العنونة على وضع L أو صفر منطق، وبذلك تكون كافة مداخل العنونة للناخب الأخير على وضعيات LLL والدخل الفعال هو الخرج القادم من IC1. عند اختبار المصابيح ذوات الأرقام من 17 وحتى 32 يكون الخرج 16min على وضع واحد والمدخل الفعال هو الخرج القادم من IC2. ولدى اختبار المصابيح من 33 وحتى 48 يكون مدخل العنونة 32min على وضع H أما المدخل 16min فيكون على وضع L والمدخل الفعال هو الخرج القادم من IC3. وأخيراً عند اختبار المصابيح ذوات الأرقام من 49 وحتى 63 يكون مدخلي العنونة 16min و32min على حالة H والمدخل الفعال (في الناخب الأخير طبعاً) هو الخرج القادم من IC4. والجدول التالي يلخص هذا الكلام.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 7.7 جدول العمل للناخب 74151.

مداخل العنونة للناخب 74151			المدخل الفعال للناخب هو الخرج القادم من الدارة المتكاملة
16min	32min	مدخل مؤرض دوماً	
L	L	L	IC1 (اختبار المصابيح من 0 وحتى 15)
H	L	L	IC2 (اختبار المصابيح من 16 حتى 31)
L	H	L	IC3 (اختبار المصابيح من 32 حتى 48)
H	H	L	IC4 (اختبار المصابيح من 48 حتى 63)

من كتالوك TTL-Data-Book نحصل على التيارات التي تستهلكها الدارات التكاملية المستخدمة للتصميم، وذلك من أجل تحديد استطاعة مصدر التغذية الذي تم تصميمه.

الجدول 8.7 التيارات التي تستهلكها الدارات المتكاملة.

رقم الدارة التكاملية	العدد	التيار المستهلك	التيار الكلي mA
7492	2	31	62
7490	2	32	64
74161	2	34	68
74160	2	34	68
7447	2	43	86
74150	4	40	160
74151	1	29	29

من هذا الجدول نجد أن التيار الكلي الذي تستهلكه الدارات المتكاملة يساوي 537mA، وإذا أضفنا التيار الذي تستهلكه وحدات الإظهار والذي يساوي 120mA (تحتاج كل قطعة مضيئة في وحدة الإظهار segment إلى 10mA وعند الأرقام 28، 38 أو 58 تكون هناك 12 قطعة مضاءة). يحتاج LED الدلالة على وجود لمبة معطلة أيضاً إلى 10mA والترانزيستور Q2n2222 إلى 10mA والمفاضل في خط تصفير الـ BCD إلى 2mA، وبذلك يصبح التيار الكلي اللازم مساوياً 679mA، وهذا التيار واقع ضمن مجال الـ 750mA للمنظم 7805 وبذلك فإن التصميم الأولي يكون مكتملاً.

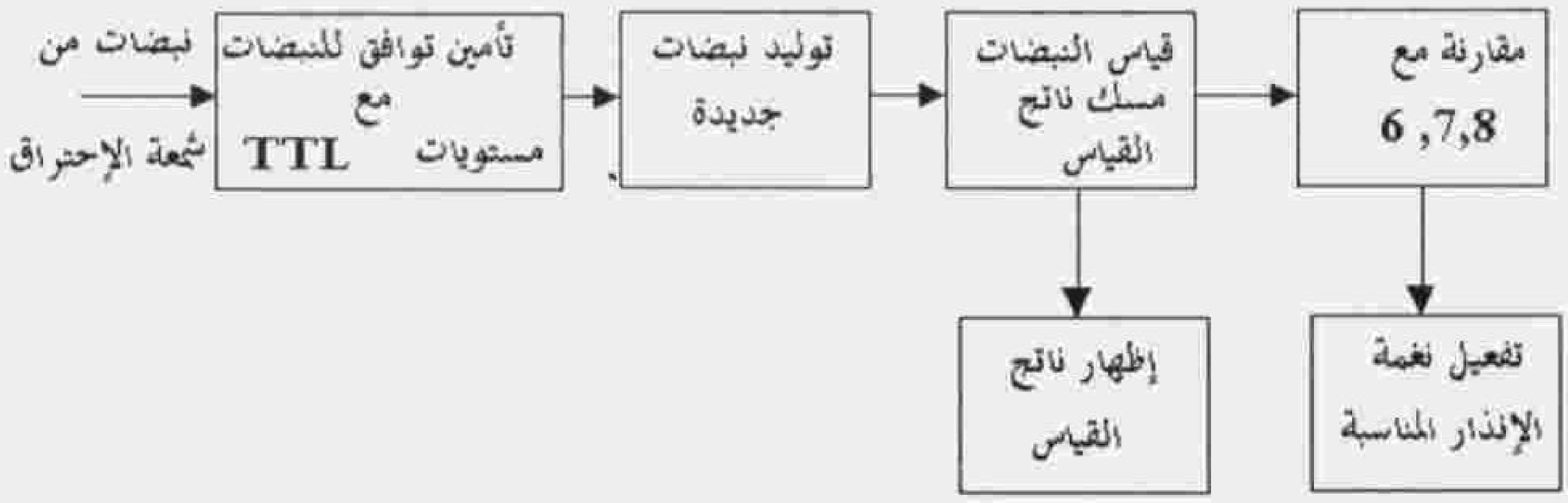
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

6.2.7 المشروع (6): تصميم مقياس سرعة تحذيري لسيارة

يطلب تصميم مقياس سرعة تحذيري لقياس سرعة سيارة وتحذير السائق عند تجاوز سرعات معينة. يؤخذ الدخل من إحدى شمعات الاحتراق ويفترض أن كل نبضة من نبضات شمعات الاحتراق ذات مطال يساوي 0.5V وتحدث بمعدل مرة لكل دورتين من دورات المحرك. افرض أن السرعة متناسبة مع عدد دورات المحرك. يطلب في المشروع إظهار عدد دورات المحرك على ثلاث وحدات إظهار و يطلب أن يكون الإنذار الصوتي بمعدل 10Hz وبتردد 500Hz عند السرعات 60mi/h وحتى 69.9mi/h وبتردد 2kHz للسرعات 70mi/h إلى 79.9mi/h وبتردد 5KHz للسرعات الأعلى من 80mi/h. سماعة جهاز الإنذار الصوتي ذات ممانعة 8Ω واستطاعتها (0.5W).

الحل:

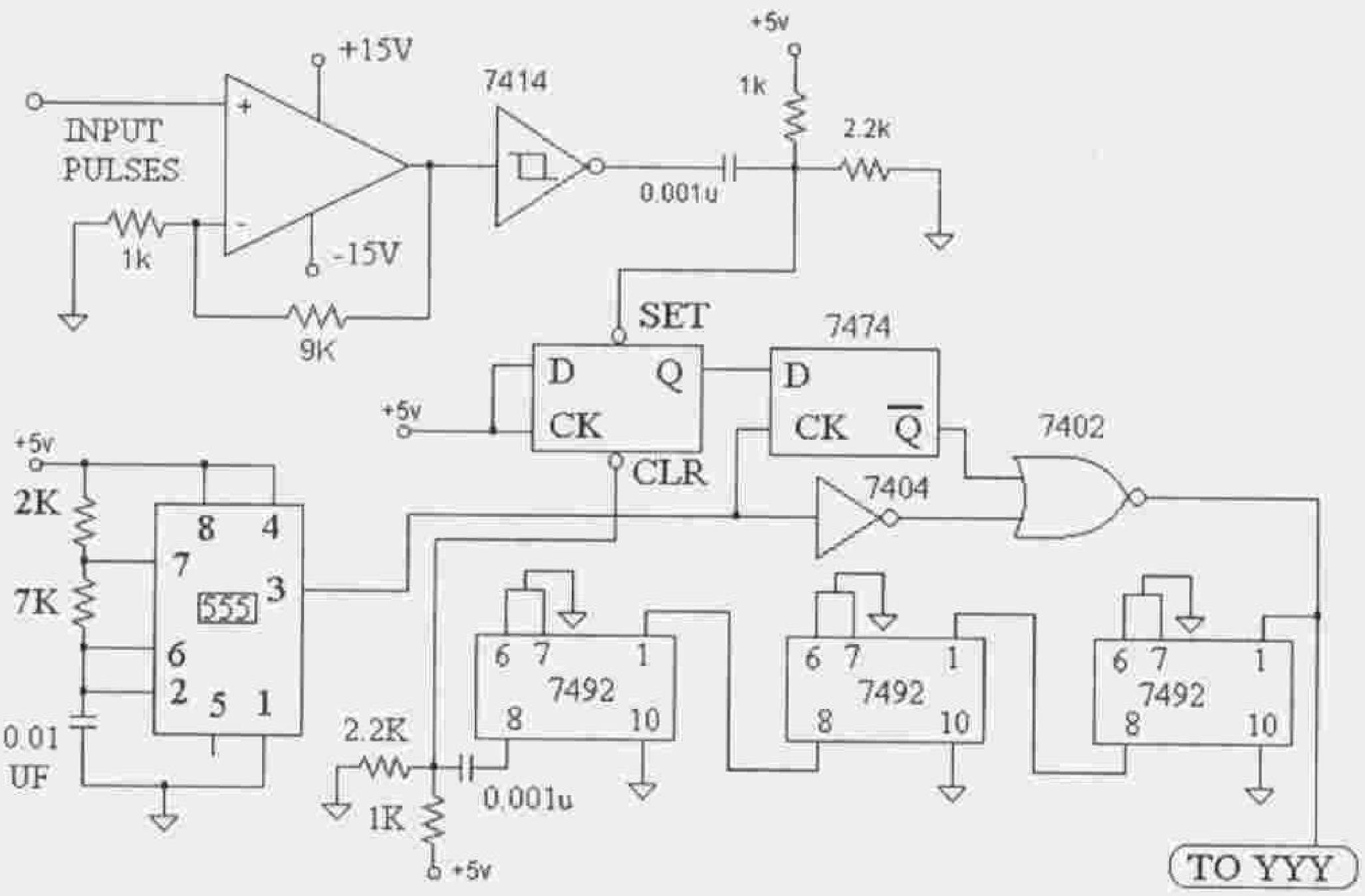
يتم أولاً جعل نبضات شمعات الاحتراق موافقة للعمل مع الدارات التكاملية من عائلة TTL بواسطة مضخم عمليات وقادح شميت. بما أن عدد نبضات الدخل قليل فإننا نلجأ إلى توليد عدد من النبضات من أجل كل نبضة دخل، وفي هذا المشروع سوف نقوم بتوليد 288 نبضة من أجل كل نبضة دخل. ووفقاً لهذا المعدل فإن 6000 نبضة في الثانية توافق سرعة 60mi/h وبذلك فإننا نحتاج وببساطة إلى تقسيم عدد نبضات الخرج في الثانية على 10 للحصول على السرعة مقدرة بالـــ mi/h. الخطوة الثانية في عملية التصميم هي عد النبضات بواسطة ثلاثة عدادات عشرية خلال فترة زمنية تساوي 0.1S (تسمى هذه الفترة نافذة العد) وبمجرد إغلاق النافذة يطبق ناتج العد على ثلاث ماسكات three latches ثم ينتقل ناتج القراءة في خطوة لاحقة إلى الكواشف decoders ومنها إلى وحدات إظهار. يتم إرسال الخانة الأكثر أهمية إلى مقارنات حيث تقارن خانة الـــ MSB مع 6,7,8 وتستخدم مخارج المقارنات من أجل تفعيل إشارة الإنذار المناسبة. ويبين المخطط الصندوقي التالي المراحل اللازمة لتحقيق المشروع.



الشكل 34.7 المخطط الصندوقي لمكونات المشروع.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

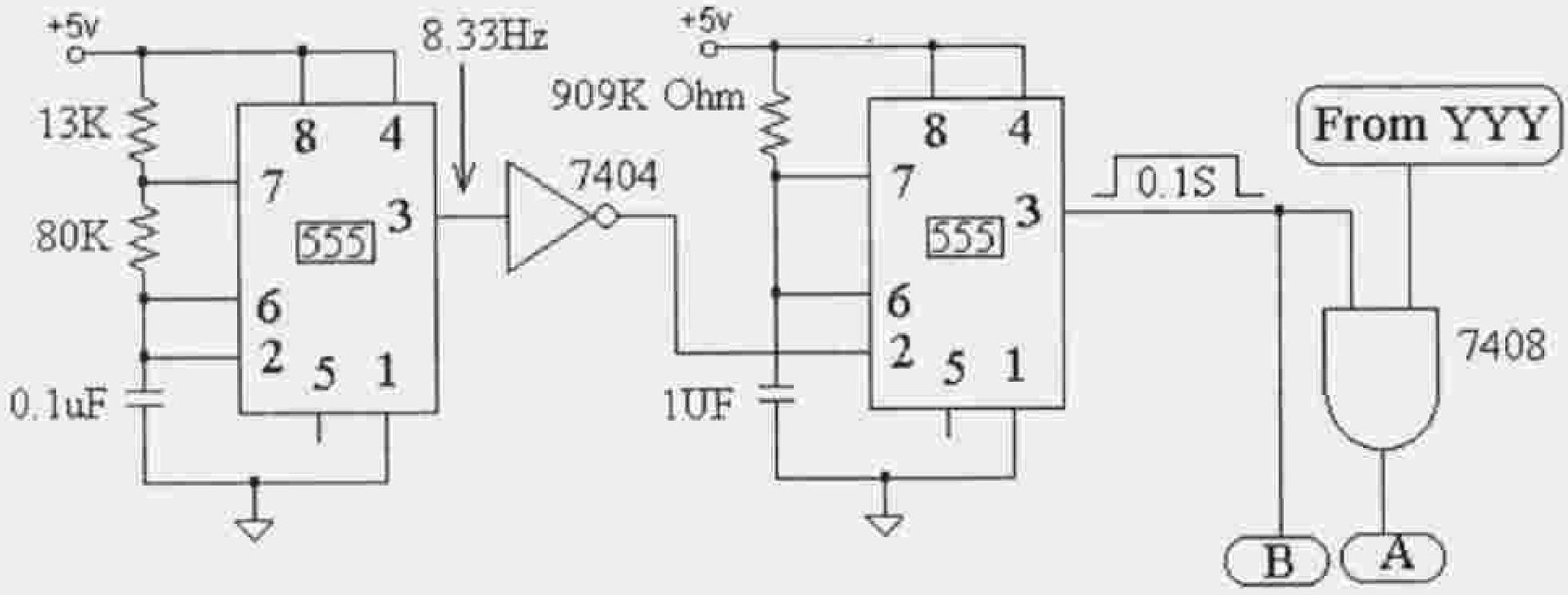
يتم تأمين توافق لنبضات الدخل مع المستوى المنطقي لعائلة TTL و توليد 288 نبضة من أجل كل نبضة دخل بواسطة الدارة المبينة في الشكل (35.7). وفي هذه الدارة يستخدم المضخم العملياتي وقادح شميت لتحقيق توافق بين المستوى المنطقي للنبضة والمستوى المنطقي المتعارف عليه في عائلة TTL. وفي الأشكال التالية يعطى المخطط التفصيلي الكامل لدارات المشروع.



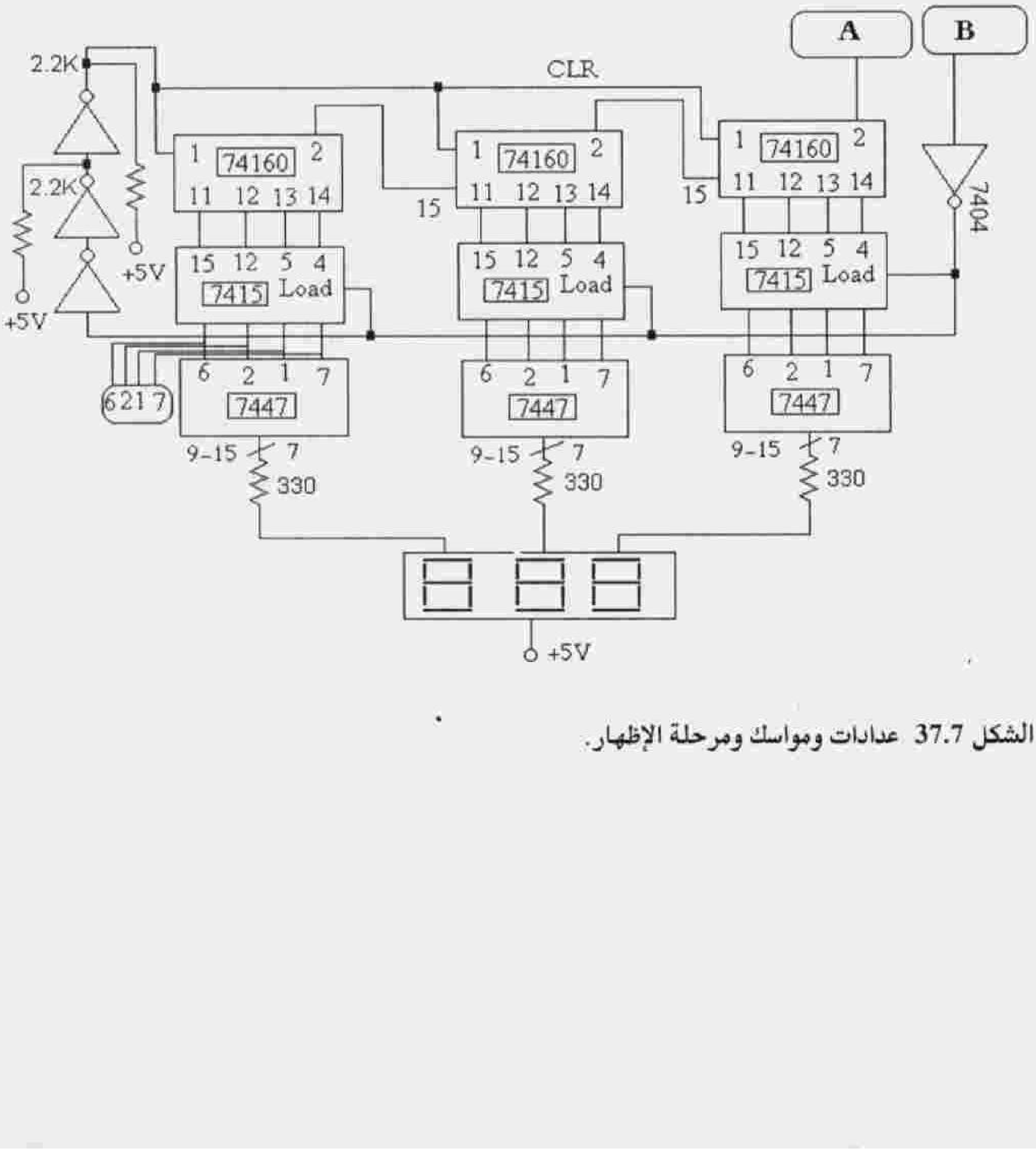
الشكل 35.7 قسم ملاءمة نبضات الدخل مع المستوى المنطقي لبوابات عائلة TTL وتوليد 288 نبضة لكل نبضة دخل.

يعطي المولد عدم الاستقرار الذي يعمل على دارة 555 الموجود في هذا الشكل تردداً قدره 9KHz.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

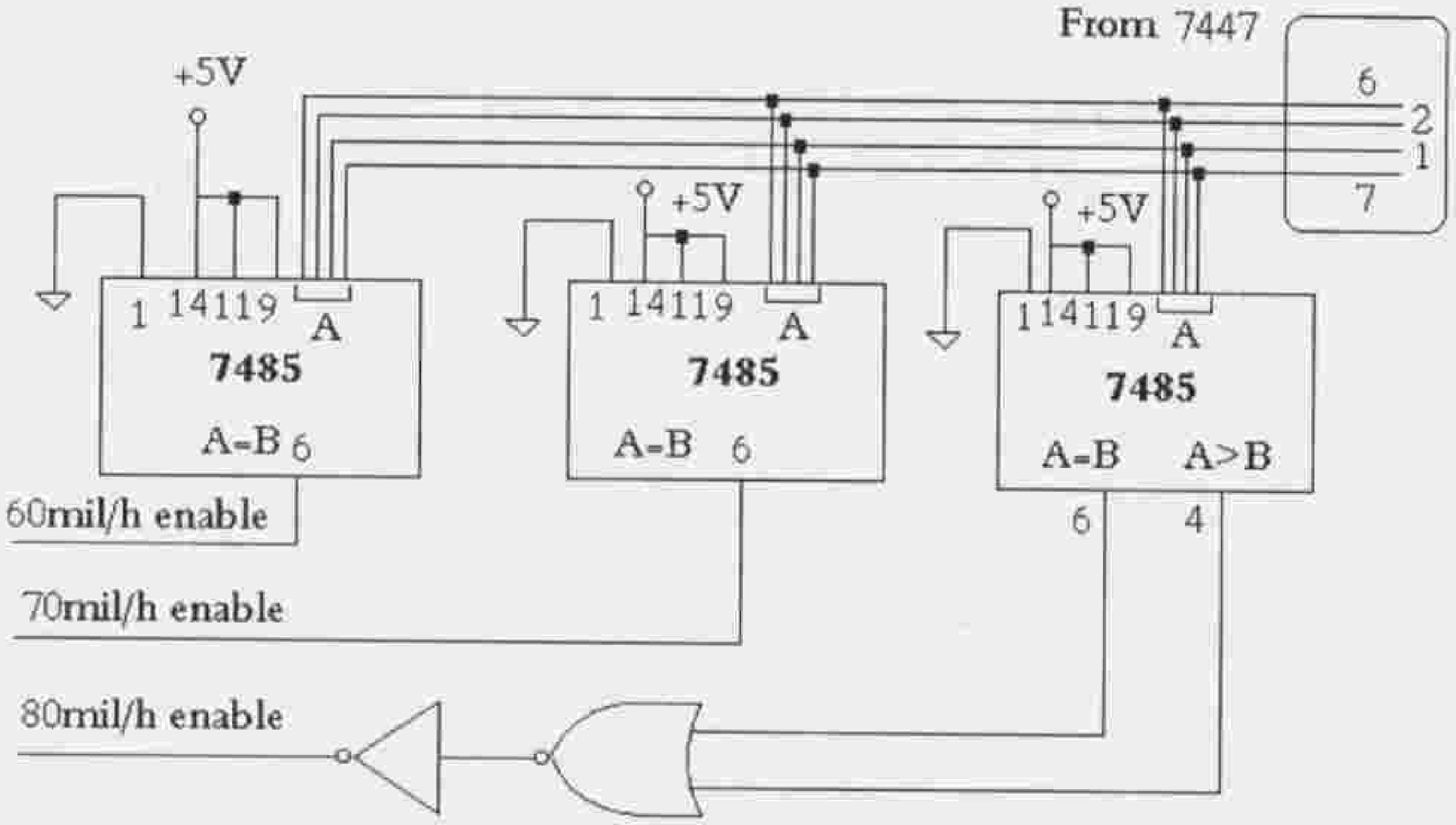


الشكل 36.7 دارة توليد النافذة 0.1S.

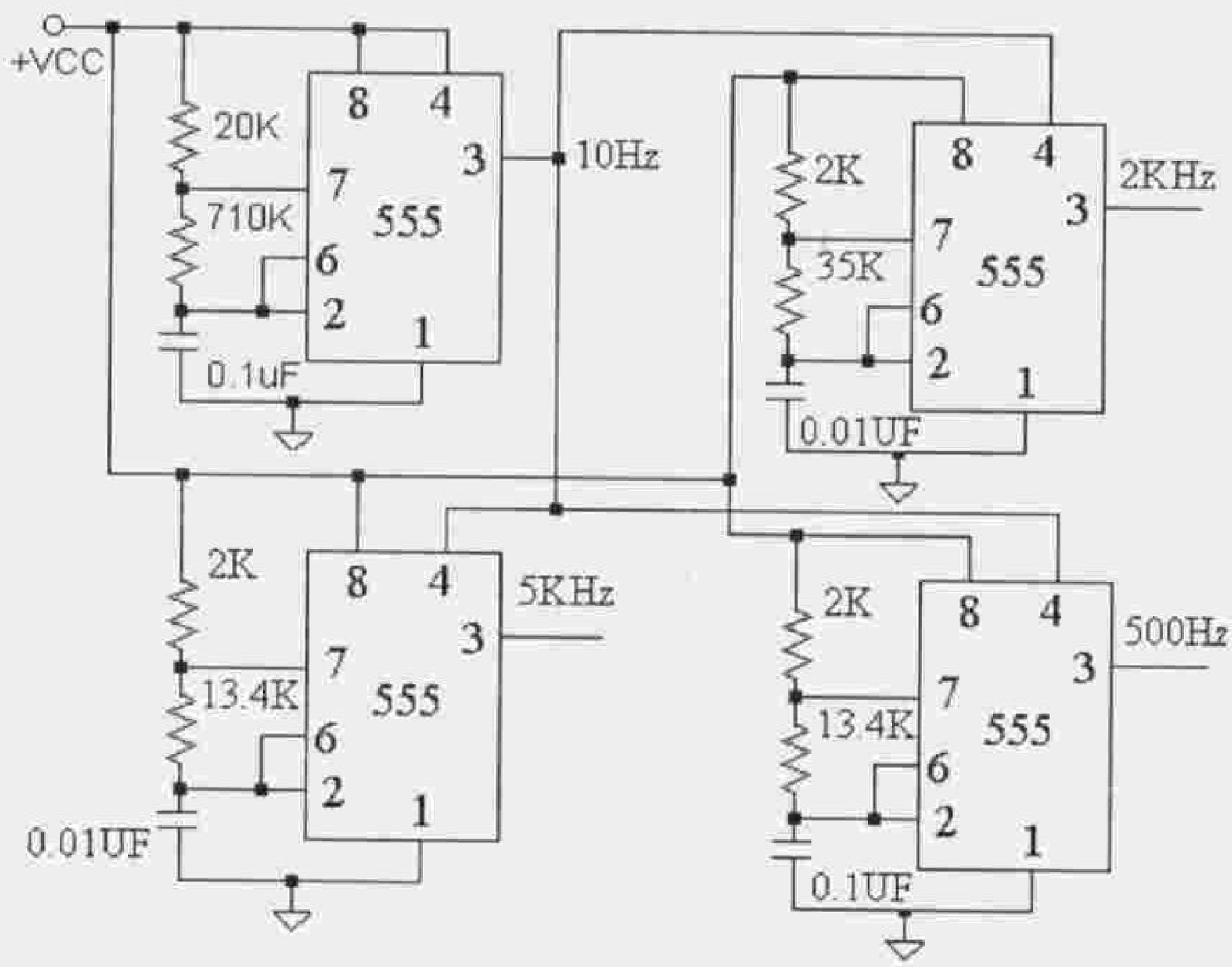


الشكل 37.7 عدادات ومواسك ومرحلة الإظهار.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

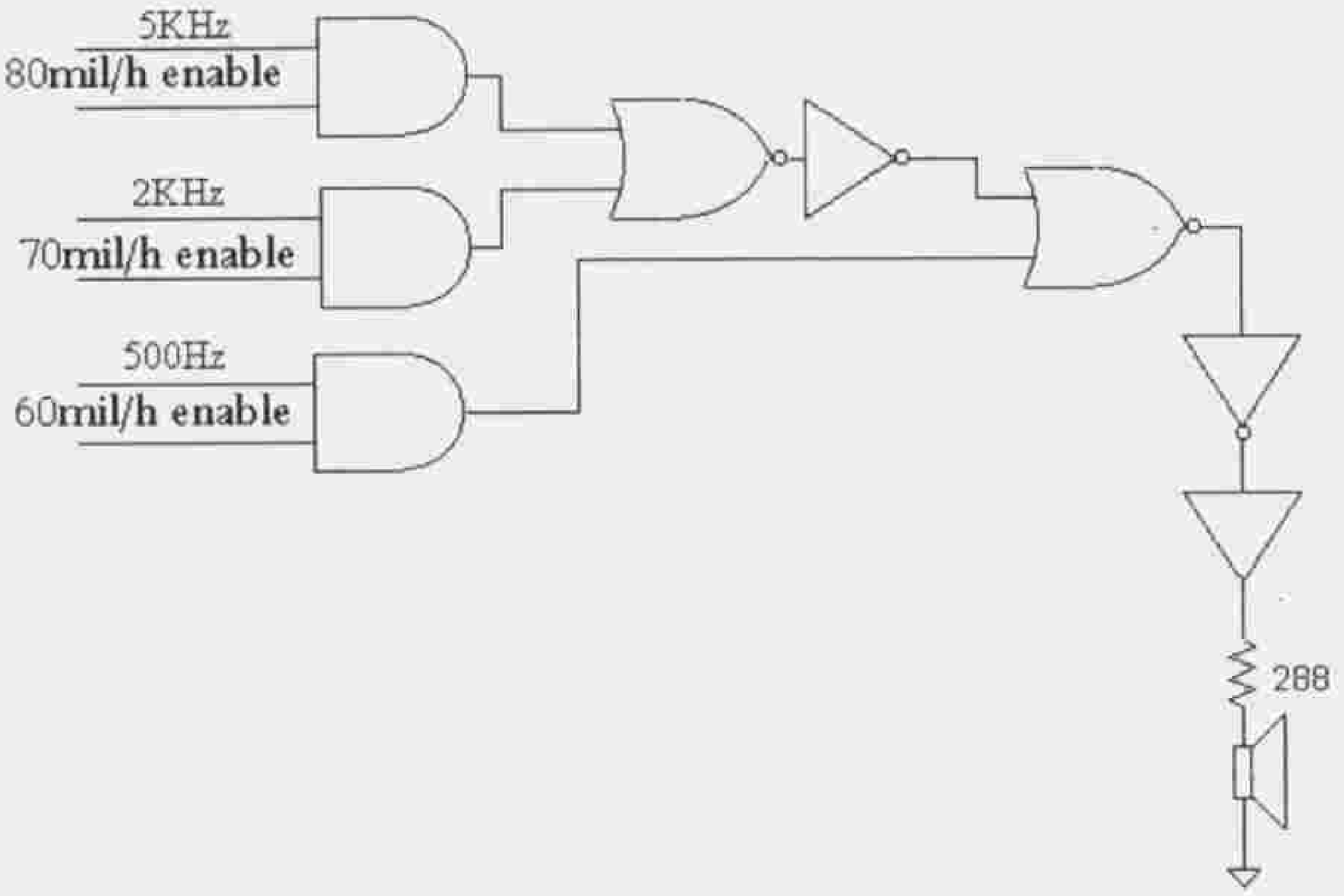


الشكل 38.7 دارة المقارنات وإشارات تفعيل دارات الإنذار.



الشكل 39.7 مولدات نغمات الإنذار.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 40.7 دارة تنفيذ الإنذار.

لن نتعرض هنا لآلية عمل هذه الدارات لأنها بسيطة وتتلخص في العد والإظهار والمقارنة، أما دارات توليد نغمات الإنذار فقد تم شرحها في فصل مولدات النبضات. ويبين هذا المشروع مدى أهمية الفصول النظرية الواردة في بداية هذا الكتاب من أجل حل المشاريع والمسائل التصميمية. فيما يلي نبين الجدول الذي يوضح عدد وأنواع القطع الإلكترونية اللازمة لتنفيذ هذا المشروع.

الجدول 9.7 القطع الإلكترونية اللازمة لتنفيذ المشروع.

مسلسل	رقم القطعة	وصفها	العدد المطلوب
1	7447	كاشف من BCD إلى إظهار سباعي القطع	3
2	74175	قلاب D	3
3	74160	عداد قابل للتصفير	3
4	7485	مقارن مطالي 4bit	3
5	7492	عداد	2
6	7493	عداد ثنائي أربع خانات	1

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

مسلسل	رقم القطعة	وصفها	العدد المطلوب
7	74132	قادح شميت	1
8	7474	قلاب D	1
9	7402	بوابات NOR	1
10	7404	عواكس	1
11	7408	بوابة AND	1
12	7417	مكبر قائد Driver	1
13	UA741	مضخم عملياتي	1
14		سماعة ذات مقاومة 8 أوم	1
15	LRT73	وحدات اظهار سباعية القطع	3
16		مقاومات مختلفة القيم	44
17		مكثفات مختلفة القيم	44

7.2.7 المشروع (7): تصميم دارة إلكترونية للتحكم بحركة وإضاءة لوحة إعلان

يطلب تصميم الدارة المنطقية والإلكترونية اللازمة للتحكم بإضاءة لوحة الإعلان المبينة في الشكل (39.7) حيث يوجد (64) مصباح على محيط اللوحة وتضاء (4) مصابيح مع بعض وفق التسلسل الدوراني التالي:

في الثانية الأولى تضاء المصابيح ذوات الأرقام 0,16,32,48، أما في الثانية الثانية فتضاء المصابيح ذوات الأرقام 1,17,33,49، وفي الثانية الثالثة المصابيح 2,18,34,50 وهكذا حتى انتهاء كافة المصابيح مع ملاحظة أن كل مصباح يجب أن يبقى مضاء لمدة ثانية واحدة. تشكل الأحرف الموجودة داخل الإطار من مصفوفة من الأضواء وتضاء وفق التسلسل المبين في الجدول (10.7).

الجدول 10.7 تسلسل إضاءة الأحرف الموجودة داخل الإطار.

المجال الزمني	الأحرف المضاءة	زمن المجال بالثانية
المجال الأول	C	4
المجال الثاني	CA	4

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

المجال الزمني	الأحرف المضاءة	زمن المجال بالثانية
المجال الثالث	CAS	4
المجال الرابع	CASI	4
المجال الخامس	CASIN	4
المجال السادس	CASINO	4
المجال السابع		4
المجال الثامن	تتكرر آلية العمل من جديد	4

الشكل 41.7 لوحة الإعلان.

الحل:

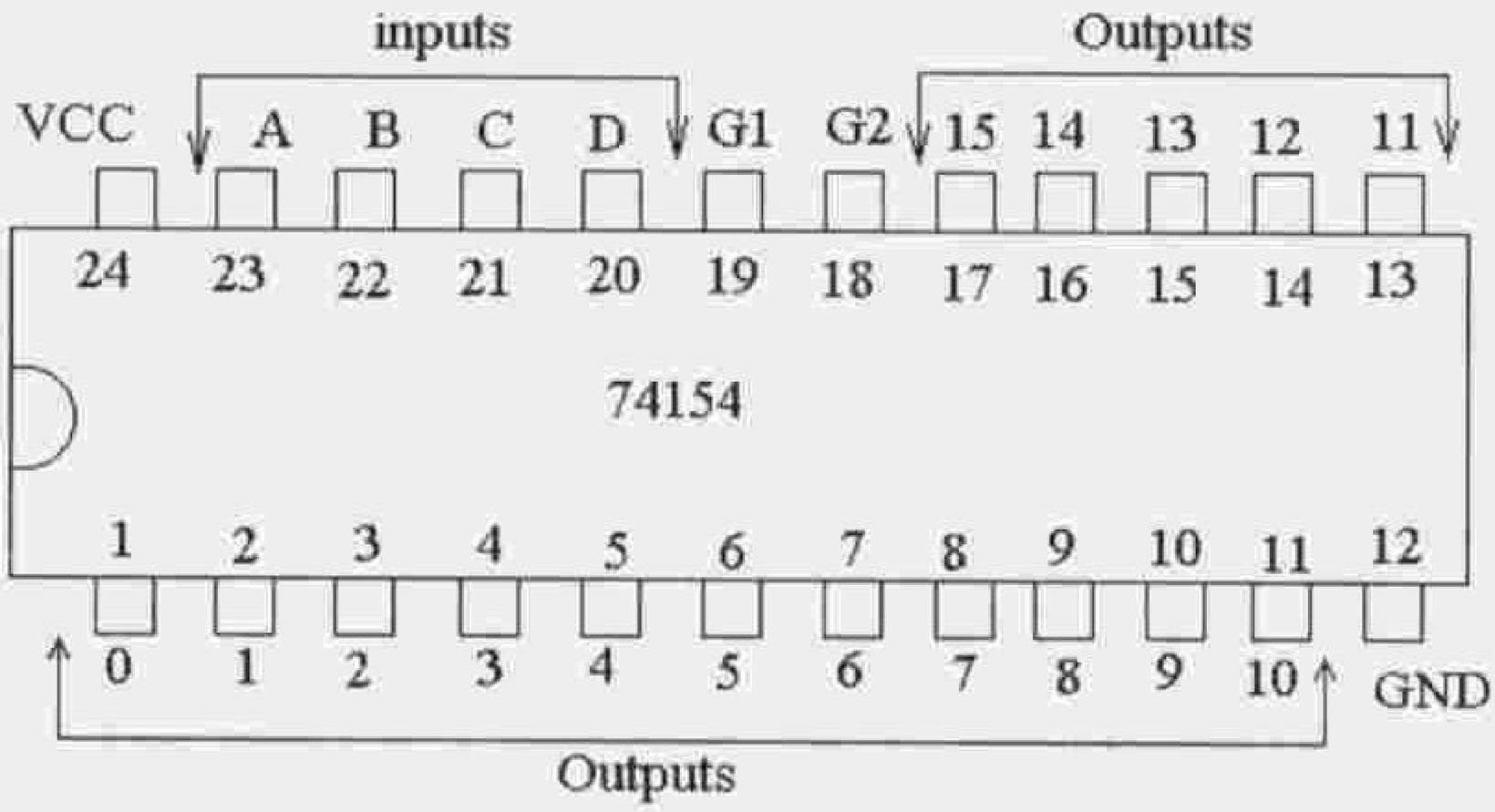
يتم تقسيم مجموعة المصابيح الموجودة على محيط اللوحة إلى 16 مجموعة تتكون كل واحدة منها من أربعة مصابيح وهذه المصابيح تضاء وفق التسلسل المبين في الجدول (11.7)، وسوف نعتبر لسهولة التصميم أن كل واحد من هذه المصابيح هو عبارة عن LED. يمكن استخدام الدارة المتكاملة 74154 (4 line - to 16 line demultiplexer) لتأمين تفعيل مجموعات الثنائيات المشعة للضوء. في الصفحة التالية سوف يعرض شكل هذه الدارة المتكاملة الذي يوضح وظائف الأرجل، وجدول الحقيقية.

الجدول 11.7 مجموعات المصابيح.

رقم المجموعة	أرقام المصابيح المكونة للمجموعة			
1	0	16	32	48
2	1	17	33	49
3	2	18	34	50
4	3	19	35	51

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

رقم المجموعة	أرقام المصابيح المكونة للمجموعة			
5	4	20	36	52
6	5	21	37	53
7	6	22	38	54
8	7	23	39	55
9	8	24	40	56
10	9	25	41	57
11	10	26	42	58
12	11	27	43	59
13	12	28	44	60
14	13	29	45	61
15	14	30	46	62
16	15	31	47	63



الشكل 42.7 الدارة 74154 ووظائف الأرجل.

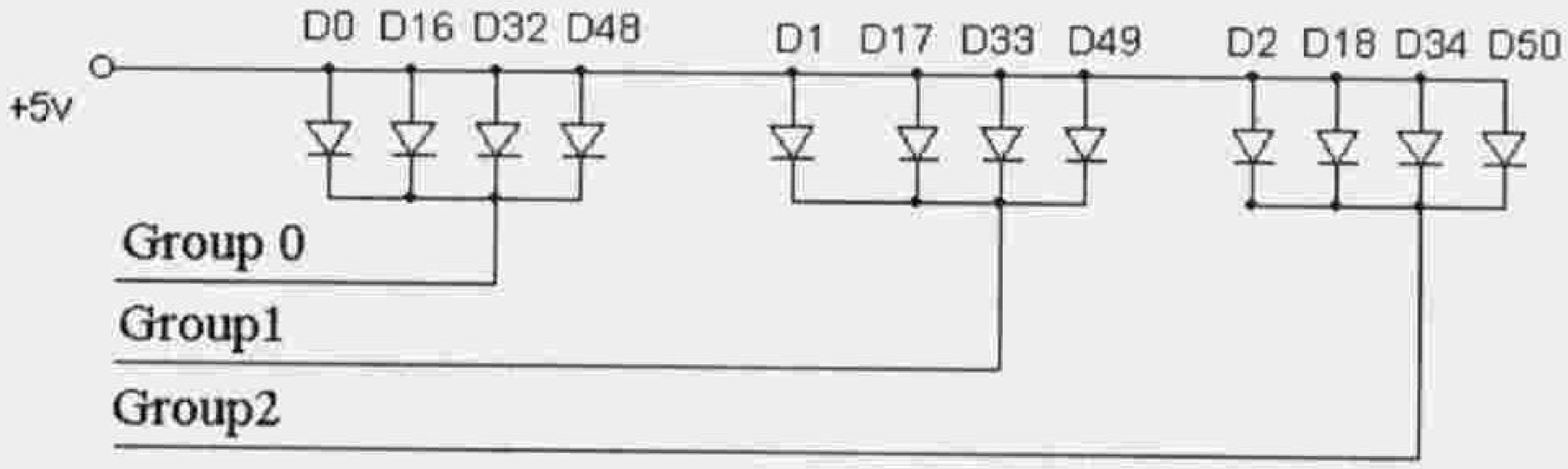
نلاحظ من جدول الحقيقة لهذه الدارة أن المخارج تكون فعالة في حالة low، ولذلك يتم وصل كافة مصاعد الديودات المشعة للضوء إلى مصدر التغذية، في حين توصل مهابط كل مجموعة مكونة من أربع ديودات مع بعض ووفق الترقيم الوارد في الجدول السابق (توصل مهابط الديودات 0,16,32,48 معاً)، وتوصل النقطة المشتركة إلى خرج الدارة المتكاملة 74154 المناسب بشرط مراعاة عدم تجاوز حدود التيارات المسموحة لهذه الدارة.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

الجدول 12.7 جدول الحقيقة للدارة 74154.

		مداخل العنونة				المخارج															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

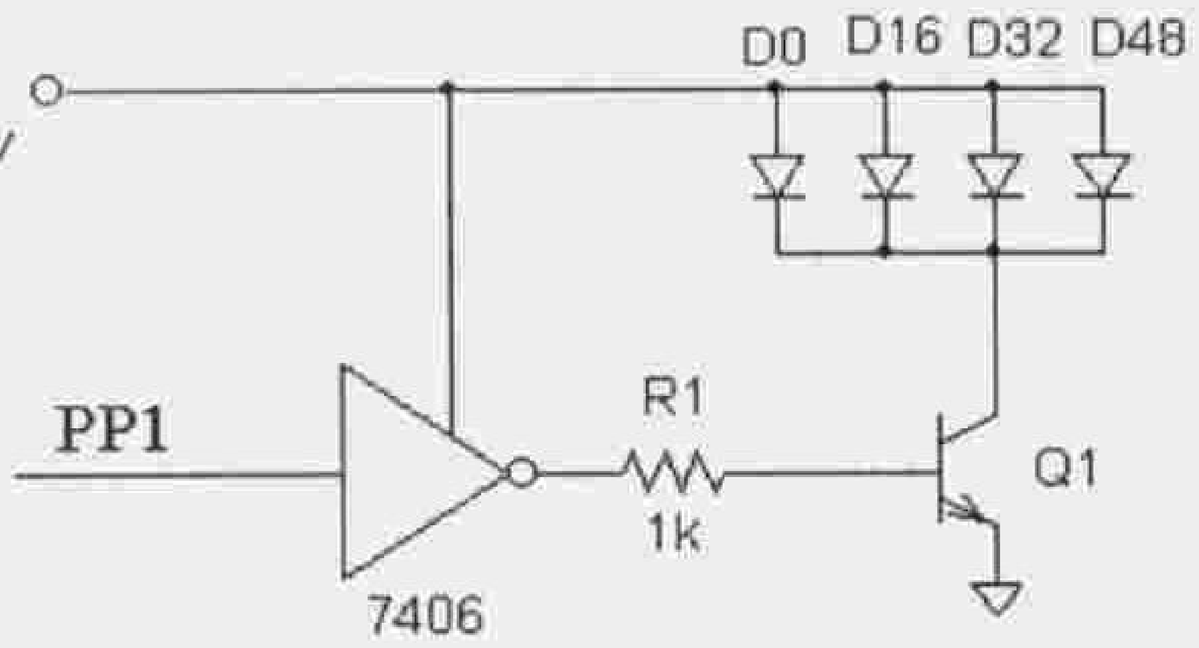
في الشكل التالي نبين كيفية وصل مجموعات الديودات مع بعضها ووصلها إلى مخارج الموزع.



الشكل 43.7 توصل الديودات المشعة للضوء المجودة على المحيط الخارجي للإعلان.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

في هذا الشكل رسمت فقط ثلاث مجموعات، توصل المجموعة Group0 إلى الخرج (0) في الدارة 74154، أما المجموعة Group1 فتوصل إلى الخرج (1) والمجموعة (2) إلى الخرج (2) وهكذا حتى المجموعة الأخيرة (مع مراعاة التيارات)، ويقصد بذلك أن التيار الذي يمر عبر الدارة المتكاملة أو يسحب منها يجب أن لا يتجاوز الحد المسموح المعطى في كتالوك الدارة المتكاملة، ومن مواصفات الدارة 74154 نجد أن $I_{OL} = 16mA$، وكل مجموعة ديودات تتكون من أربع ديودات، فإذا كان تيار الديود الواحد يساوي 10mA فإن التيار الكلي الذي سوف يمر عبر الدارة المتكاملة يساوي 40mA وهو أكبر من $I_{OL} = 16mA$، ولذلك لا يجوز وصل نقطة وصل مهابط الديودات مباشرة إلى أحد مخارج الدارة لأنها سوف تتعطل حتماً. يمكن التخلص من هذه المشكلة باستخدام دارة Buffer غير عاكس أو باستخدام ترانزستور لقيادة الحمل (الحمل هنا هو مجموعة الديودات)، وفي هذه الحالة تصبح دارة كل أربع ديودات كما في الشكل التالي حيث توصل النقطة PP1 إلى الخرج (0) للدارة 74154.



الشكل 44.7 قيادة الديودات بواسطة ترانزيستور.

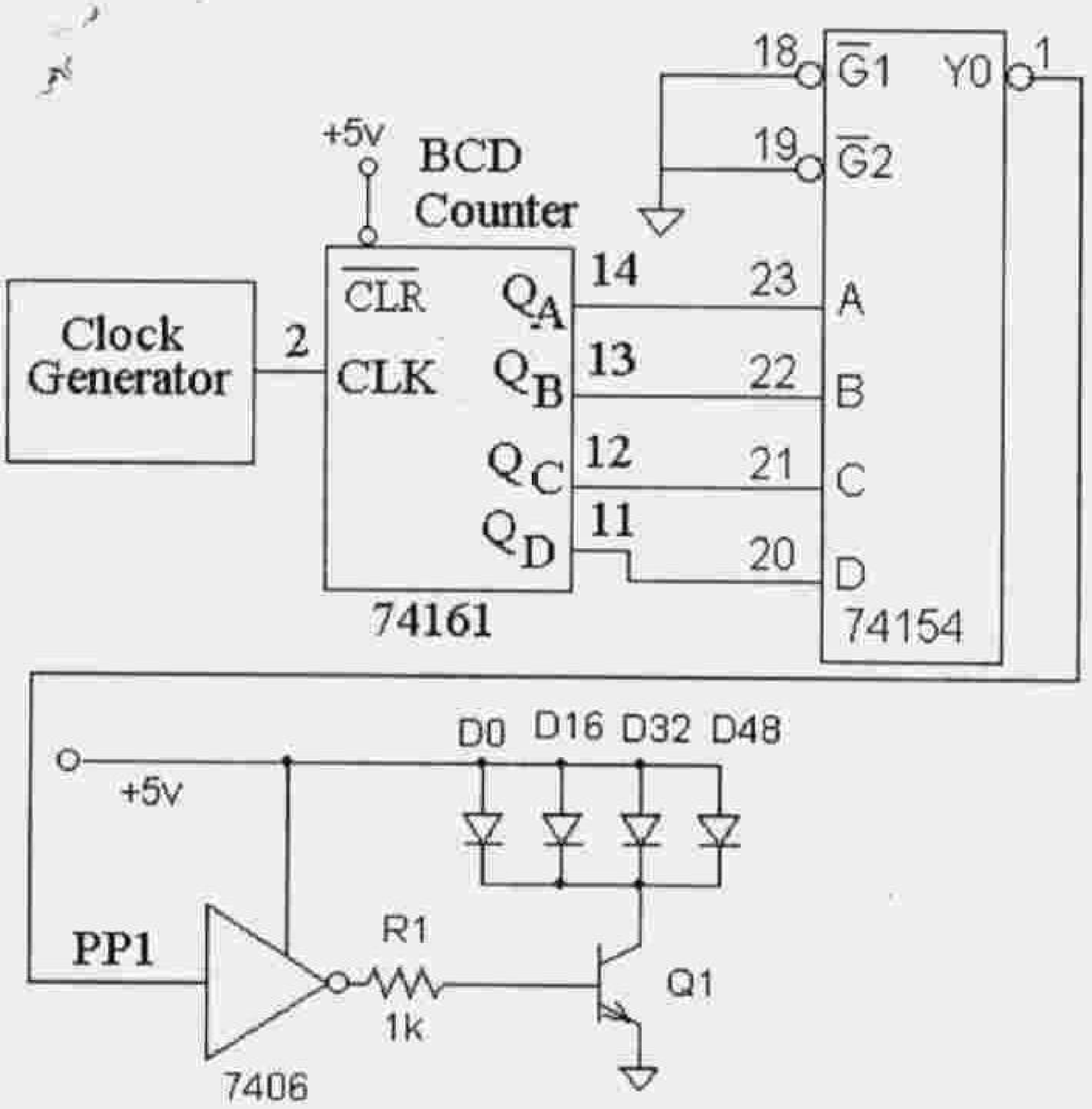
لتأمين العنونة لا بد من عداد ثنائي ذي خرج مكون من أربع خانات (يمكن تشكيل هذا العداد بواسطة الدارة المتكاملة 74161) وهذا العداد يحتاج إلى مولد نبضات Clock بحيث تكون استمرارية النبضة 1S كي تكون إضاءة كل مجموعة من المصابيح هي 1S، ويتم تصميم هذا المولد بإحدى الطرق التي مرت معنا في فصل مولدات النبضات.

تصميم الدارة التي تؤمن حركة الأحرف

سوف نعتبر مؤقتاً أن إضاءة كل حرف تتم بواسطة مصباح واحد ونركز على تصميم الدارة التي تحقق التتابع الزمني المطلوب، وكما هو واضح من الطلب يجب أن تضاء الأحرف وفق التسلسل التالي:

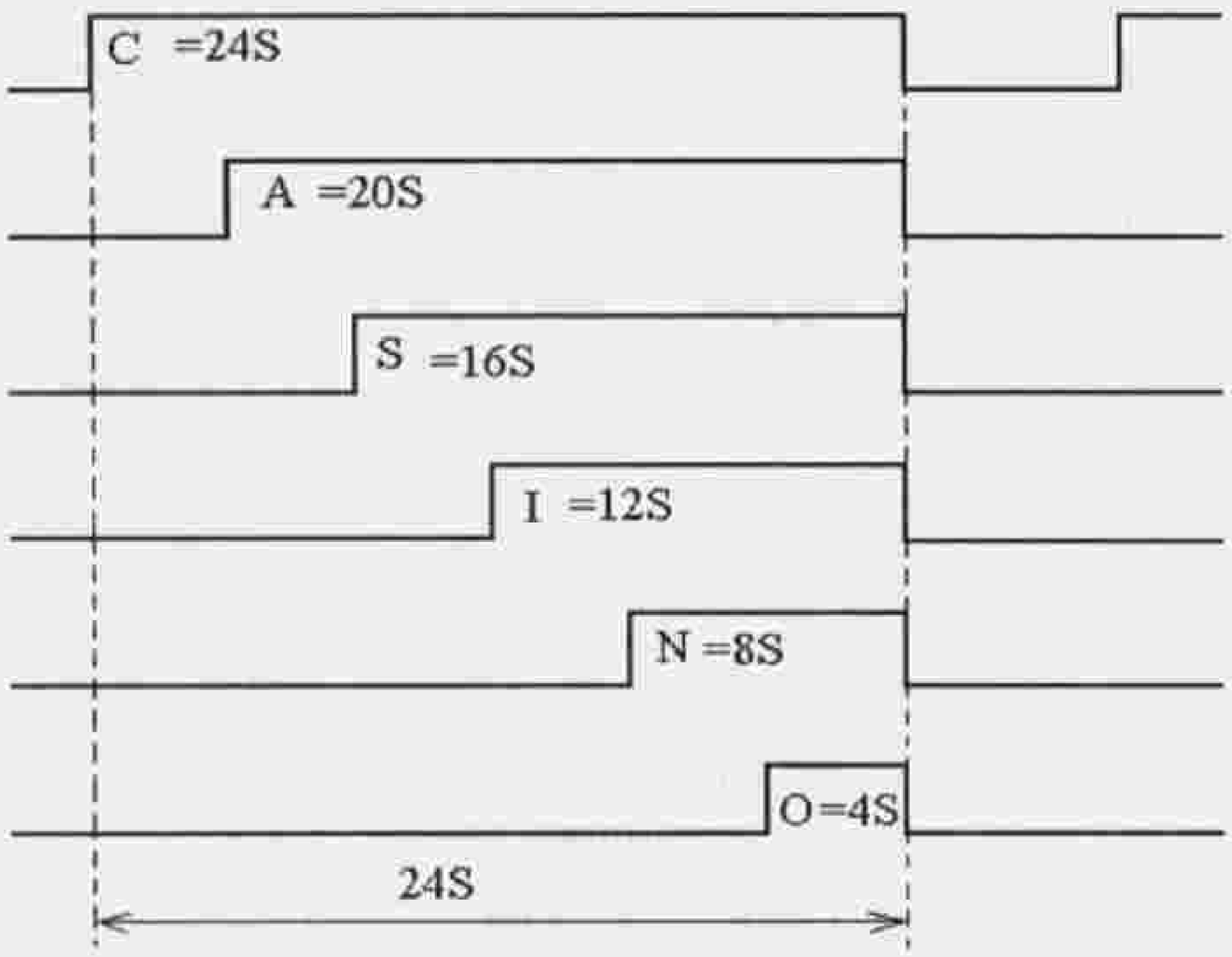
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

C → CA → CAS → CASI → CASIN → CASINO وعدد مراحل الإضاءة هذه ست مراحل تستمر كل واحدة منها أربع ثوان، حيث نبدأ بالحرف الأول ثم الثاني والثالث وهكذا حتى الحرف السادس ثم يتم قطع الإضاءة وتتكرر الدورة من جديد. الزمن الكلي للدورة 24S. ومن أجل تصميم الدارة الإلكترونية اللازمة لتحقيق تسلسل واستمرارية الإضاءة المطلوبة نرسم في البداية المخطط النبضي للإضاءة كما في الشكل (46.7) ومن الشكل نفكر بالدارة التي يمكن أن تحقق المطلوب.



الشكل 45.7 دارة إضاءة المصابيح الموجودة على الإطار.

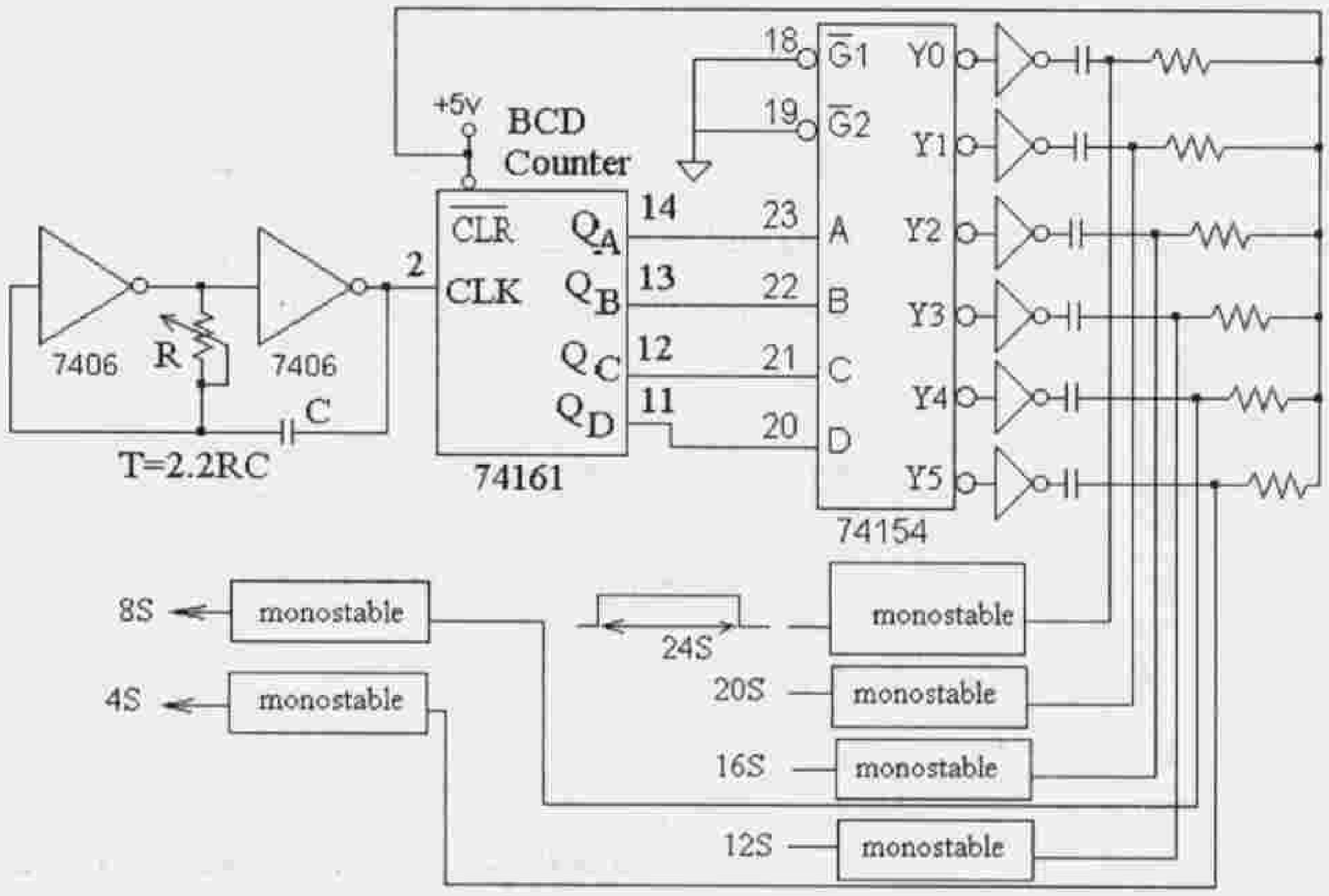
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



الشكل 46.7 المخطط النبضي لإضاءة الأحرف الداخلية.

سوف نتعرف فيما يلي على طريقة تحقيق التسلسل المطلوب لإضاءة الأحرف وذلك باستخدام دارة مولد نبضات تعمل كمولد نبضات عدم الاستقرار مبني على بوابتي عواكس ليعطي نبضات ذات دور يساوي 8S. يطبق خرج مولد النبضات على عداد BCD –Counter مستخدم من أجل توليد العنونة المناسبة لمداخل الدارة 74154، وبعكس إشارات مخارج الدارة 74154 نحصل على نبضات تتأخر كل واحدة عن الثانية مدة 4S وبمفاضلة هذه النبضات بواسطة دارة CR يتم توليد نبضات شوكية، تستخدم النبضة السالبة منها (والتي تحدث على الجبهة الهابطة لنبضة معكوس خرج الدارة 74154) من أجل قدح دارة مولد وحيد الاستقرار.بهذه الطريقة نحصل على مجموعة من النبضات التي توافق تماماً المخطط النبضي المعطى في الشكل (46.7). يتم تصميم دارات وحيد الاستقرار إما بواسطة دارة 555 أو بواسطة بوابتي NOR ومقاومة ومكثف كما ورد في بحث مولدات النبضات (الفصل الثالث) في هذا الكتاب. تطبق نبضات خرج المولدات وحيدة الاستقرار على مداخل ترانزستورات قيادة مجموعة المصابيح التي تضيئ الأحرف C، A، S، I، N، O، ودارات القيادة هذه مطابقة تماماً للدارة المعطاة في الشكل (48.7). يبين الشكل (47.7) دارة التحكم بحركة إضاءة الأحرف.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



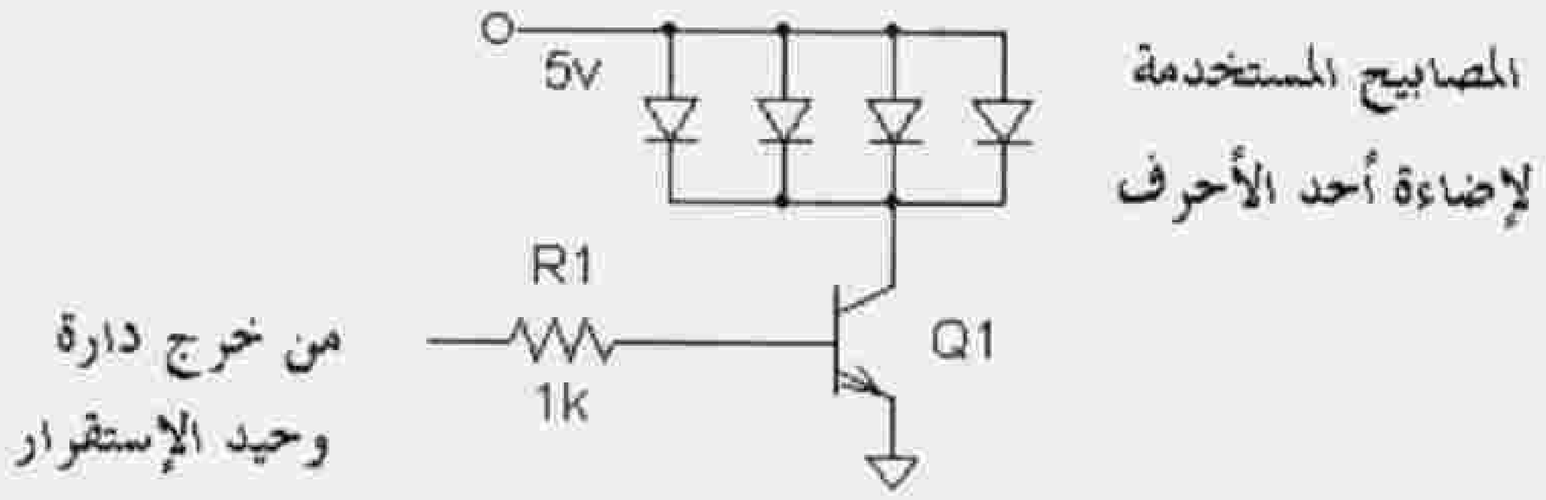
الشكل 47.7 دارة التحكم بحركة إضاءة الأحرف.

يستطيع القارئ من خلال هذه المشاريع المحلولة أن يتعلم طريقة حل مشاريع التصميم الرقمي وتزداد خبرة المصمم أكثر فأكثر كلما تعامل أكثر مع الدارات العملية ويفيده كثيراً في هذا المجال المعرفة بأنواع ووظائف الدارات التكاملية المتوفرة تجارياً، لأن هذه المعرفة قد توفر عليه تصميم دارة معينة بواسطة المكونات الرقمية الأساسية (بوابات وقلابات) في حين تكون هناك دارة تكاملية جاهزة تقوم بالوظيفة المطلوبة. لا ندعي لأنفسنا الإحاطة من خلال هذا الكتاب بكل أفكار التصميم المنطقي ولكن نتمنى أن نكون قد قدمنا ما هو مفيد للقارئ الكريم وأن تكون طريقة التعامل مع المسألة التصميمية قد أصبحت واضحة لديه، ومن خلال تجربتنا الذاتية ننصح باتباع الخطوات التالية عند التعامل مع المسائل التصميمية:

1. تفهم المسألة المطروحة بشكل جيد (حيث يجب أن نفهم ماهي المعطيات وماهي الأمور المطلوب تحقيقها أو الحصول عليها).
2. تقسيم المسألة إلى مسائل جزئية أبسط وحل كل مسألة جزئية على حدة.
3. التأكد من صحة حل كل جزء وعدم التسرع في إعطاء القرار النهائي بذلك.
4. إعداد جدول بالعناصر الإلكترونية اللازمة لتنفيذ التصميم المطلوب

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

5. رسم الدارة المطبوعة اللازمة
6. تنفيذ التصميم مرحلة مرحلة والتأكد من صحة عمل كل مرحلة قبل تنفيذ المرحلة التالية باستخدام أجهزة القياس المناسبة DVM أو راسم إشارة أو وحدات إظهار.
7. من الضروري دوماً حساب الاستطاعة التي تحتاجها الدارة المصممة من أجل اختيار منبع التغذية المستمر المناسب القادر على تغذية الدارة دون حدوث مشاكل.



الشكل 48.7 دارة قيادة الأضواء التي تضيء الأحرف.

نقدم الآن بعض المشاريع غير المحلولة للقارئ ليتمرن على حلها بنفسه.

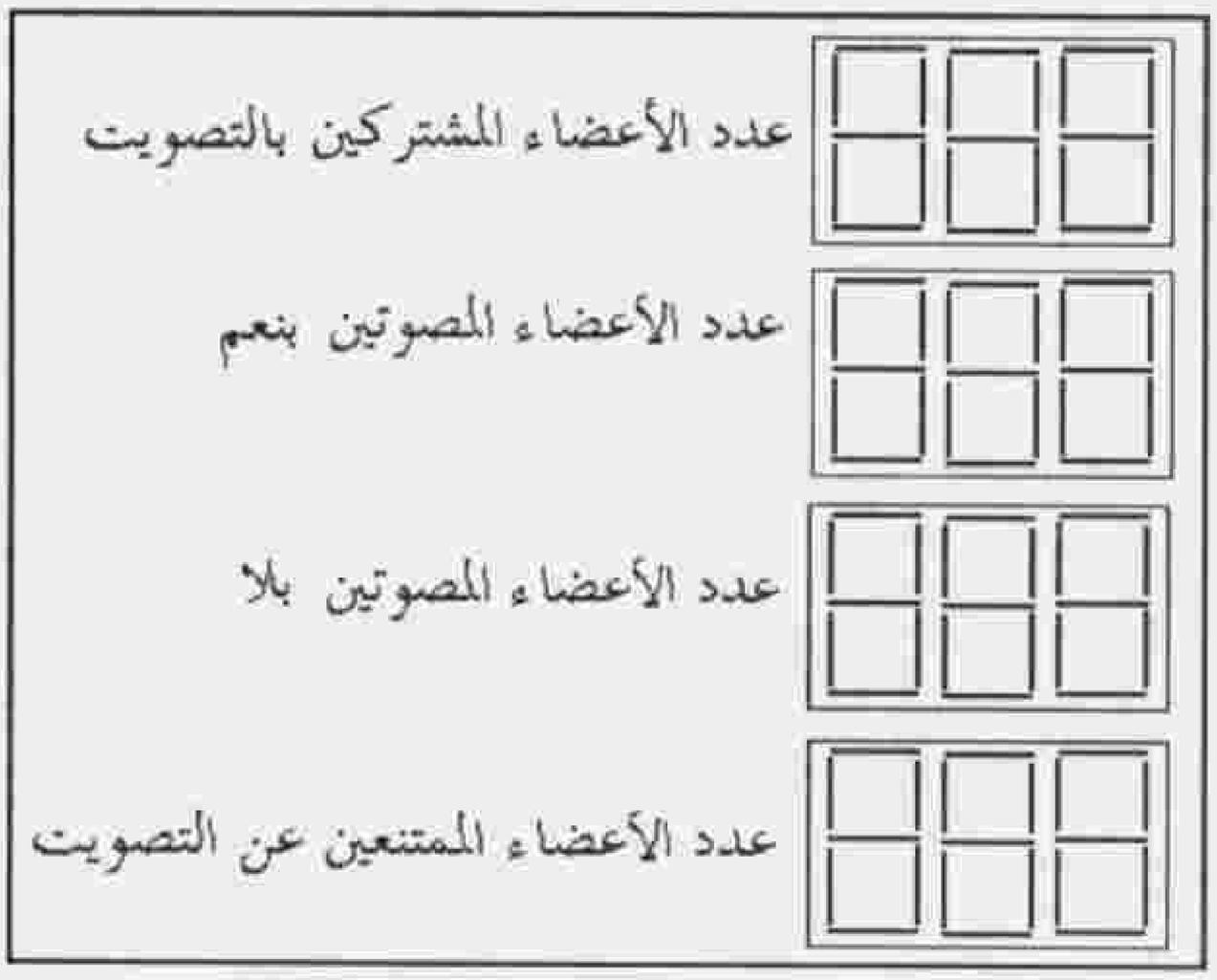
8.2.7 المشروع (8): تصميم نظام تصويت إلكتروني لبرلمان (تمرين للقارئ)

يطلب تصميم نظام تصويت إلكتروني لبرلمان مكون من 256 عضو بحيث تعطى لكل عضو إمكانية التصويت بنعم (Yes)، أو لا (No) أو امتناع عن التصويت، ويعطى رئيس البرلمان إمكانية إظهار النتائج بعد انتهاء عملية التصويت، وبمجرد عرض النتائج لا يمكن لأحد تغيير صوته. يجب أن يظهر على لوحة النتائج عدد الأعضاء الكلي المشتركين في التصويت، عدد الأعضاء الذين صوتوا بنعم، عدد الأعضاء الذين صوتوا بلا، وعدد الأعضاء الممتنعين عن التصويت. عند كل عضو يوجد إلى جانب أزرار التصويت ضوء أخضر، وأحمر، وأصفر تضاء عند وصول صوت العضو إلى الرئاسة بحيث يضيء الضوء الأخضر إذا كان العضو قد صوت بنعم والأحمر إذا صوت بلا والأصفر إذا امتنع عن التصويت. وفي الشكل (46.7) تعطى لوحة إعلان النتائج ولوحة التصويت الموجودة لدى النائب.

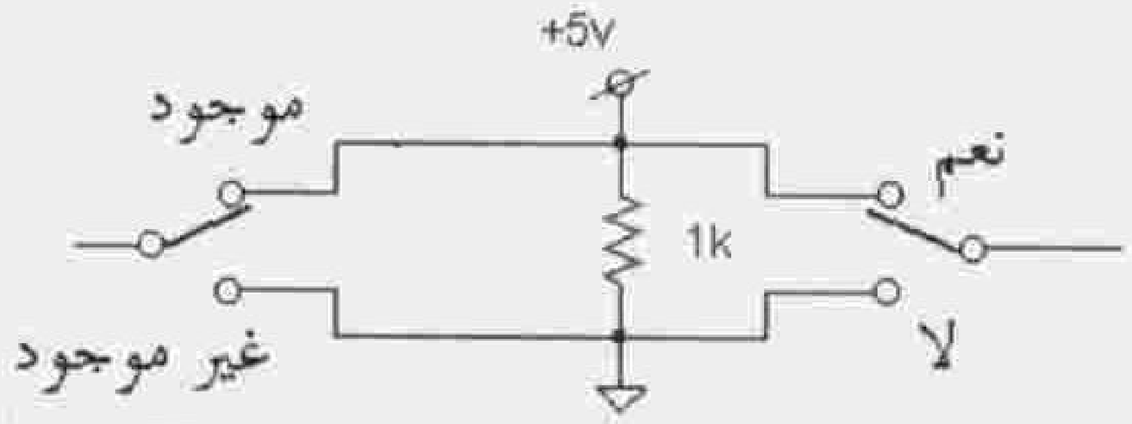
يمكن الحصول على الإشارات الكهربائية التي تدل على وجود العضو في الجلسة وتصويته بنعم أو لا من الدارة الكهربائية البسيطة المبينة في الشكل (47.7). وفيها نلاحظ أن وضعية موجود توافق

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

5V+ على الخط وغير موجود 0V وكذلك الأمر بالنسبة لإشارة التصويت حيث يتم تأمين 5V+ عند التصويت بنعم وصفر فولت عند التصويت بلا.



الشكل 49.7 لوحة إظهار النتائج ولوحة التصويت عند النائب.



الشكل 50.7 دارة كهربائية بسيطة لتأمين إشارات تواجد النائب وتصويته بنعم أو لا.

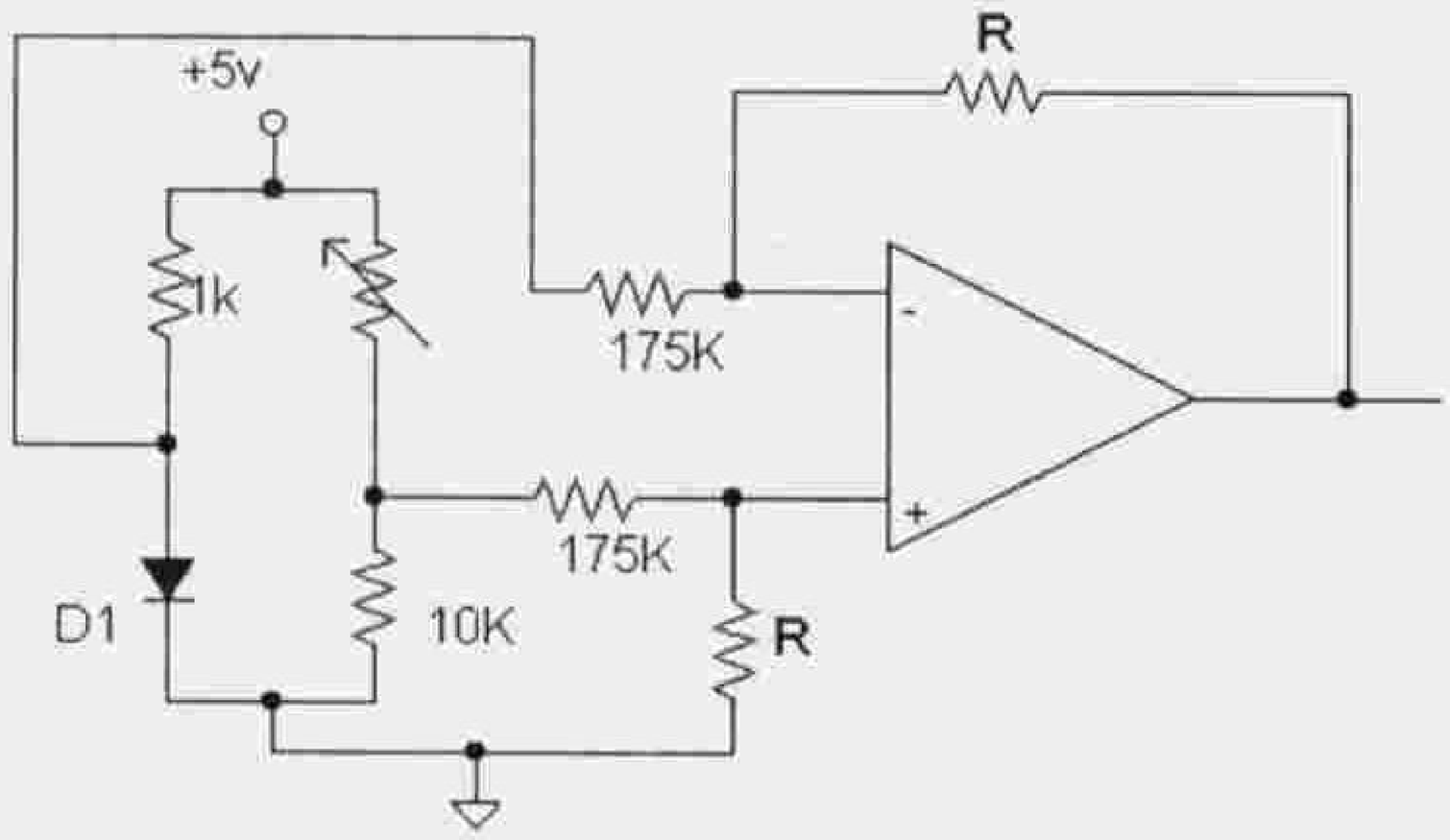
9.2.7 المشروع (9): تصميم نظام مراقبة لدرجة حرارة سبع نقاط منفصلة في مصنع

يطلب تصميم نظام لمراقبة درجة الحرارة لسبع نقاط في أماكن مختلفة ضمن مصنع بحيث يتم إظهار حرارة النقطة الجاري اختبارها على ثلاث وحدات إظهار 7segment. تستخدم ديودات

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

لقياس درجة الحرارة ويطبق جهد خرج كل ديود، والذي يتناسب مع درجة الحرارة، على مضخم عملياتي. عند معايرة المضخم العملياتي بشكل جيد يتم الحصول في خرجه على جهد يتراوح بين 0.25V عند درجة الحرارة 25 درجة مئوية و1.25V عند درجة الحرارة 125 درجة مئوية. يجب أن يراعي التصميم مراقبة كل واحدة من النقاط السبع على التوالي وبحالتي عمل: آلي حيث تراقب كل نقطة لمدة دقيقة واحدة ثم يتم الانتقال آلياً إلى النقطة التالية، وحالة العمل اليدوي حيث يتم إظهار حرارة أول نقطة ويستمر إظهارها حتى يضغط المستخدم على زر advanced لرؤية حرارة النقطة التالية. يمكنك استخدام الدارة التالية كدارة تحسس بدرجة الحرارة.

عند ضبط هذه الدارة نحصل على جهد خرج يساوي 0.25V عند درجة حرارة 25 درجة مئوية و1.25V عند درجة حرارة 125 درجة مئوية.



الشكل 51.7 دارة تحسس بدرجة الحرارة بواسطة ديود.

10.2.7 المشروع (10): تصميم ساعة رقمية

صمم ساعة رقمية ذات إظهار للساعات والدقائق والثواني وللأجزاء المئوية للثانية مع نظام إلكتروني لتشغيل وإيقاف الفعاليات التالية (يجب أن يراعي التصميم إمكانية ضبط الدقائق والساعات):

- تشغيل أضواء حديقة البيت الساعة 18 وإيقاف تشغيلها الساعة 21.
- تشغيل جهاز تسجيل موسيقي الساعة 09 و إيقافه الساعة 21.
- تشغيل عشر نوافير مياه موزعة في الحديقة بحيث تعمل كل نافورة لمدة 10 دقائق ثم تتوقف عن العمل وتعمل النافورة التالية، وذلك يومياً من الساعة 11 وحتى الساعة 18.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

11.2.7 المشروع (11)

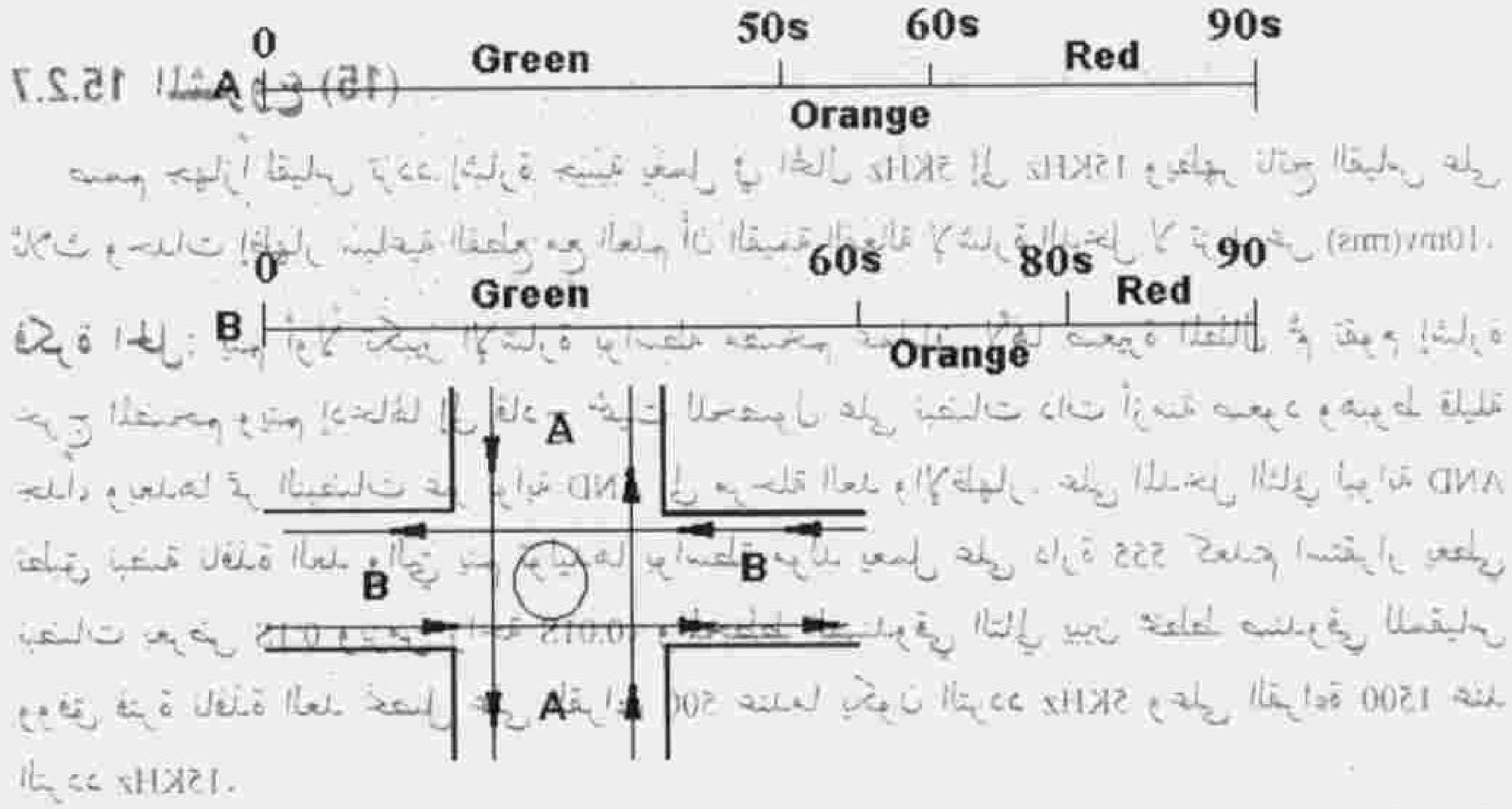
صمم منظومة إلكترونية لتشغيل إضاءة صالة عند دخول أول شخص إليها وإطفاء الإضاءة مع خروج آخر شخص، علماً أن الصالة تتسع لـ 99 وأن باب الدخول وكذلك باب الخروج لا يسمحان إلا بمرور شخص واحد في كل مرة.

12.2.7 المشروع (12)

صمم نظام إلكتروني لعد الداخلين إلى ملعب كرة قدم وإظهار العدد الإجمالي على لوحة إظهار مكونة من مجموعات سباعية القطع، علماً أن المدرج يتسع لستين ألف متفرج وأن للملعب سبعة مداخل.

13.2.7 المشروع (13)

صمم نظام إلكتروني للتحكم بإشارات مرور على تقاطع طرق، علماً أن للإشارة على كل اتجاه ثلاثة أضواء هي الأخضر (السماح بمرور السيارات) والأحمر (توقيف السيارات) والبرتقالي (حالة انتظار وتفريغ الدوار من المارة والسيارات). في الشكل (52.7) يعطى مخطط التقاطع والمخطط الزمني لتشغيل الإشارات.

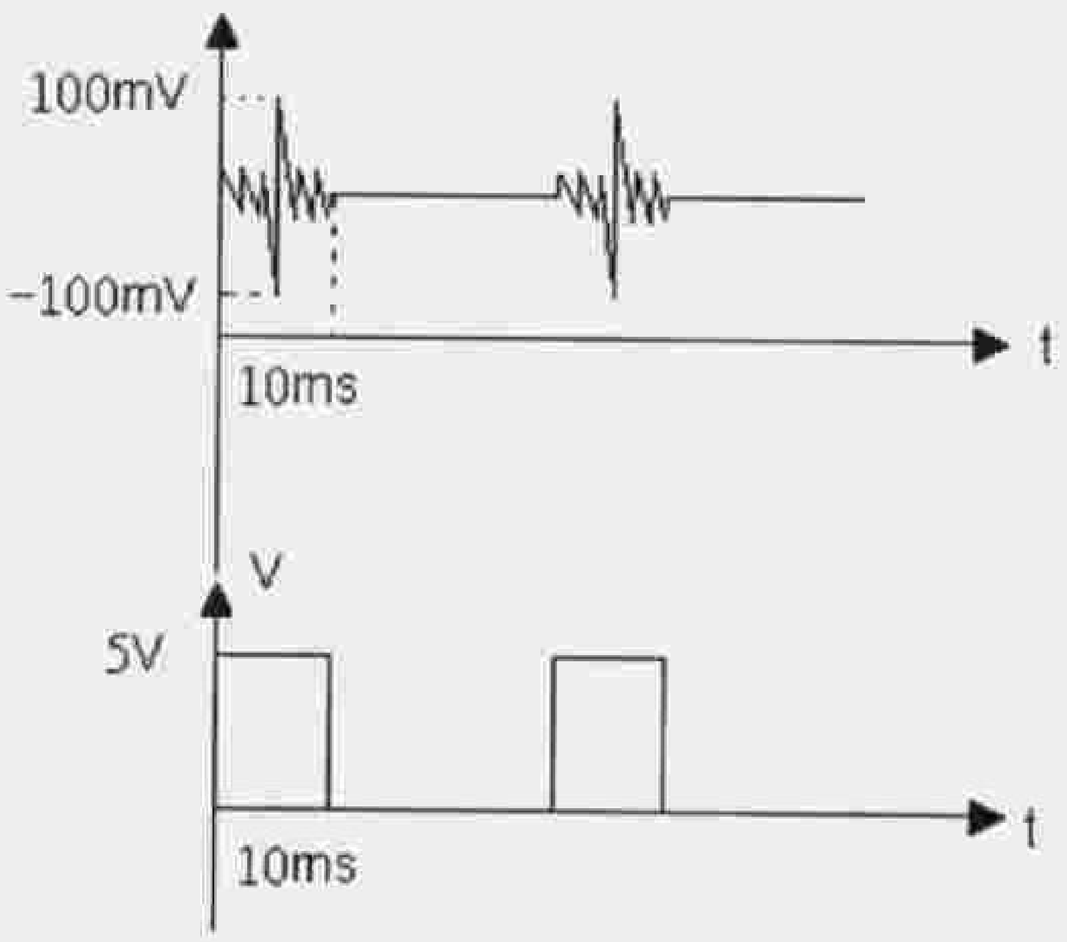


الشكل 52.7 مخطط التقاطع والمخطط الزمني لعمل الإشارات.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

14.2.7 المشروع (14)

عند تصميم عداد سرعة محرك تم تشكيل مائة لفة من سلك حول كابل تغذية إحدى شمعات الإشعال، وعلى طرفي السلك تم الحصول علىالنبضات المبينة في الشكل (49.7). يطلب تصميم دارة إلكترونية تعمل على مضخمات عمليات ودارات 555 لتحويل هذه النبضات إلى نبضات تصلح لقيادة دارات تكاملية من عائلة TTL كما في الشكل.



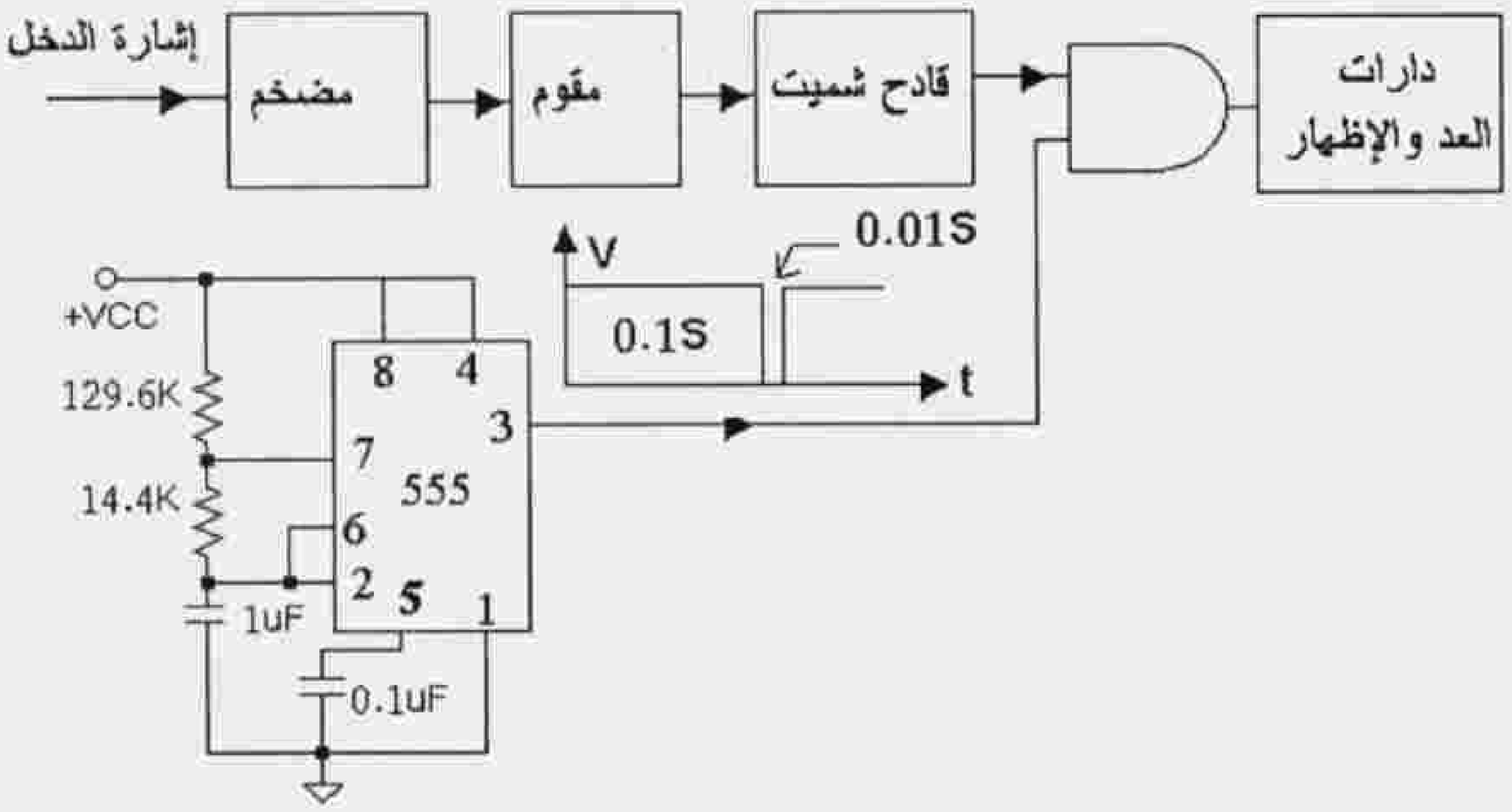
الشكل 53.7 أشكال الإشارات قبل وبعد التحويل.

15.2.7 المشروع (15)

صمم جهازاً لقياس تردد إشارة جيبية يعمل في المجال 5KHz إلى 15KHz ويظهر ناتج القياس على ثلاث وحدات إظهار سباعية القطع مع العلم أن القيمة الفعالة لإشارة الدخل لا تزيد عن 10mv(rms).

فكرة الحل: يتم أولاً تكبير الإشارة بواسطة مضخم عملياتي لأنها صغيرة المطال ثم تقوم إشارة خرج المضخم ويتم إدخالها إلى قادح شميت للحصول على نبضات ذات أزمنة صعود وهبوط قليلة جداً، وبعدها تمر النبضات عبر بوابة AND إلى مرحلة العد والإظهار. على المدخل الثاني لبوابة AND تطبق نبضة نافذة العد والتي يتم توليدها بواسطة مولد يعمل على دارة 555 كعديم استقرار يعطي نبضات بعرض 0.1S وبزمن راحة 0.01S، والمخطط الصندوقي التالي يبين مخطط صندوقي للمقياس ووفق فترة نافذة العد نحصل على القراءة 500 عندما يكون التردد 5KHz وعلى القراءة 1500 عند التردد 15KHz.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



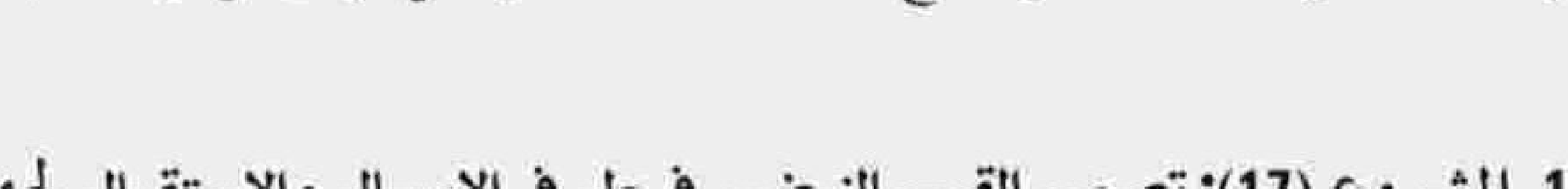
الشكل 54.7 المخطط الصندوقي للمقياس.

16.2.7 المشروع (16)

صمم نظام إلكتروني لقياس وإظهار معدل نبضات القلب في الدقيقة عند الإنسان علماً أن النبض يقاس بواسطة حساس أشعة تحت حمراء ينتج نبضة بقيمة 100mV في كل مرة ينبض فيها القلب.

17.2.7 المشروع (17): تصميم القسم النبضي في طرفي الإرسال والاستقبال لجهاز تحكم عن بعد لا سلكي

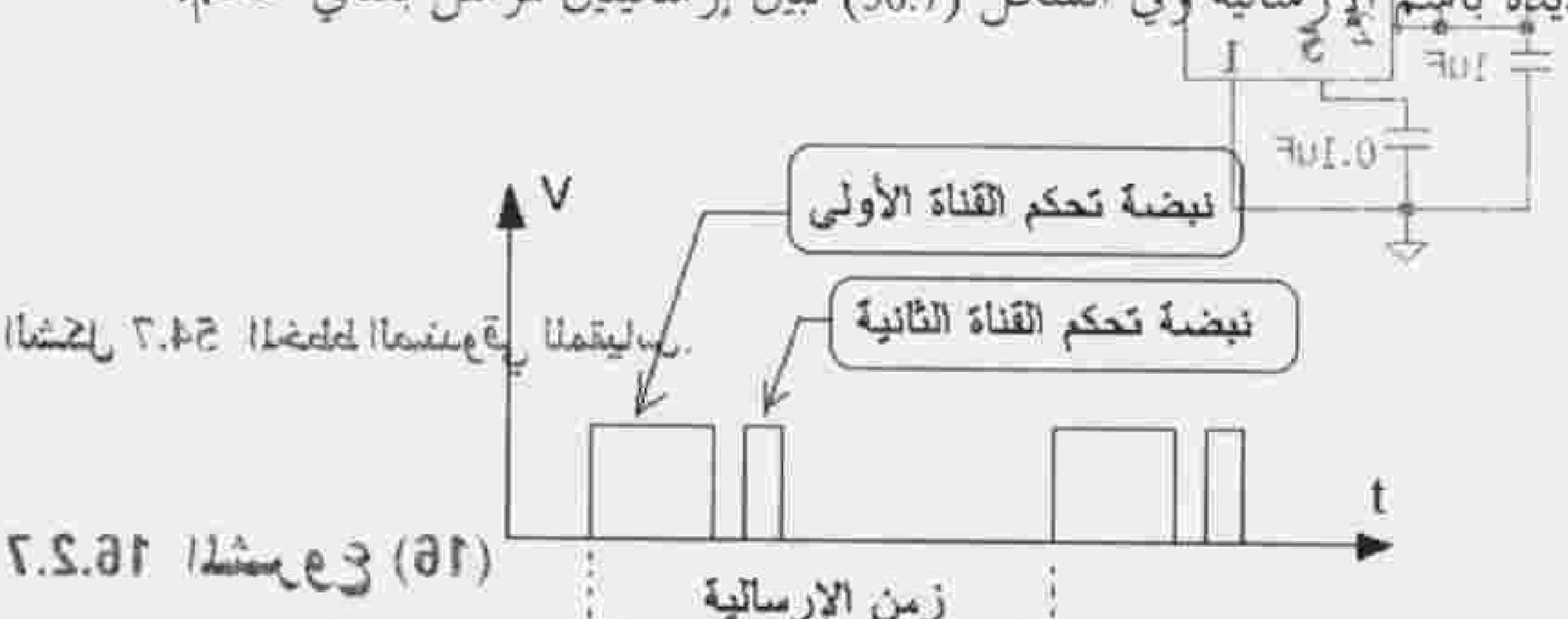
يتكون قسم الإرسال في جهاز تحكم لاسلكي عن بعد من قسم نبضي لتشكيل أوامر التحكم ومن قسم التردد العالي ومكبر الاستطاعة الذي يقوم بتحميل الأوامر على تردد عالي ويضخم استطاعتها وبثها عبر الهوائي في الجو. وفي المخطط الصندوقي المعطى في الشكل (55.7) نرى مكونات القسم النبضي لمرسل يعمل بقناتي تحكم فقط.



الشكل 55.7 القسم النبضي لمرسل تحكم عن بعد.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

قد يظن البعض أن أوامر التحكم كلها يمكن أن ترسل مع بعض في نفس الوقت، فمثلاً عند التحكم بحركة سيارة نرى أنه يمكن التحكم بسرعة واتجاه السيارة في آن واحد. ولكن هذا لا يعني أن الأوامر ترسل مع بعض، لأنها في الواقع ترسل بشكل متتابع وبسرعة تجعل المراقب يعتقد أن الأوامر ترسل مع بعض. ففي مثال التحكم بالسيارة ترسل نبضات التحكم بالسرعة أولاً إلى عنصر التنفيذ، ثم أوامر التحكم بالاتجاه وبعدها يعاد إرسال أمر التحكم بالسرعة وهكذا تتكرر العملية، ويدعى هذا النوع من البث بالتعدد في المجال الزمني، وتسمى مجموعة النبضات الحاملة للأوامر والتي تتكرر مرات عديدة باسم الإرسالية وفي الشكل (56.7) نبين إرساليتين لمرسل بقناتي تحكم.



الشكل 56.7 إرساليتي تحكم.

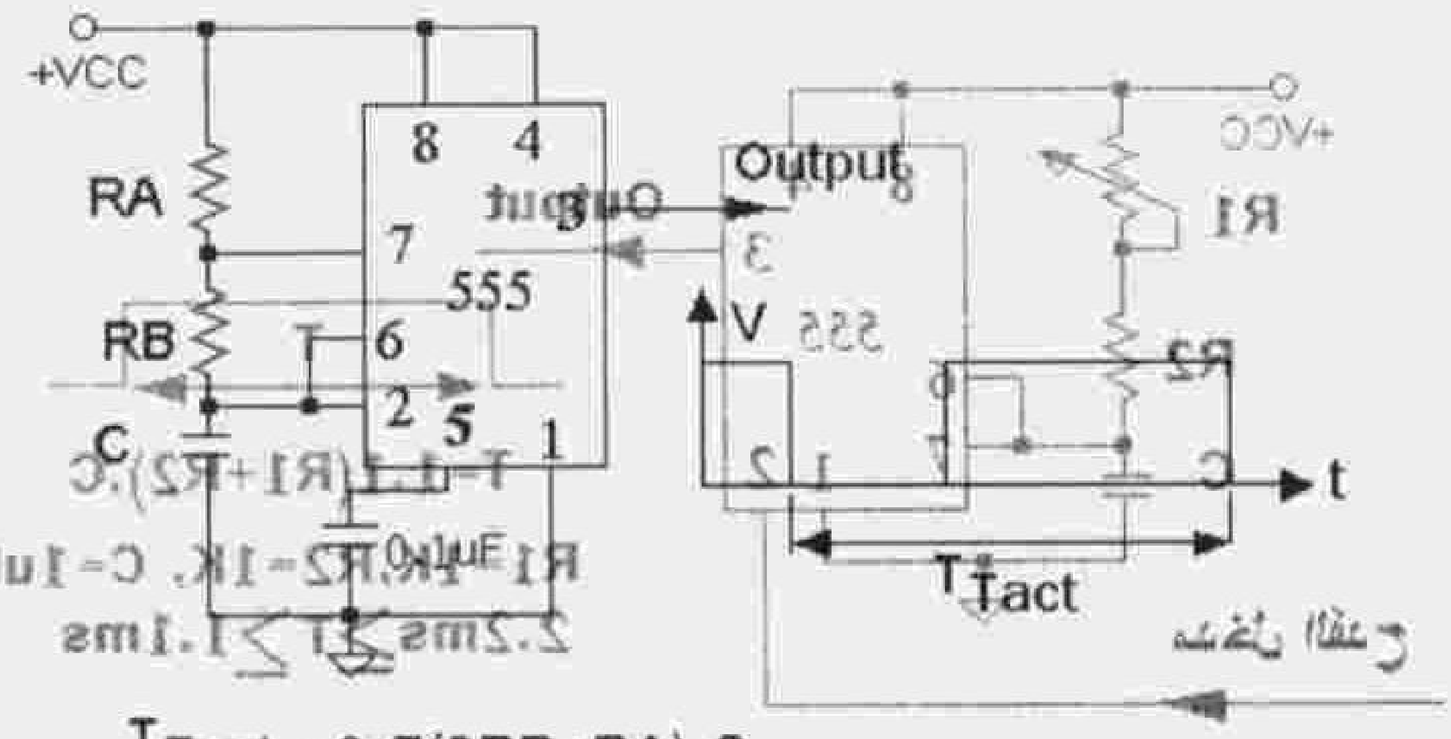
لاحظ أن الإرسالية كما يسمى كل إرسالية أو حزمة الإطار وتتضمن (الإطار) نبضة الحافة الأمامية لأول نبضة تحكم في الإرسالية إلى الحافة الأمامية لنفس النبضة في الإرسالية التالية. تعرف الزمن الفاصل بين الجبهة الأمامية لنبضة تحكم القناة الأولى والجبهة الأمامية لنبضة تحكم القناة الثانية بزمن القناة T_{Chan}، وهنا سوف نأخذ هذا الزمن كقيمة متغيرة وسوف نعتبر أن أمر التحكم معبر عنه في عرض النبضة. في مثل التحكم ذي القناتين اخترنا زمن القناة الواحدة (1.6ms) ويجدر التنويه في زمن النبضة بمقدار $\Delta t_{Chan} = \pm 0.6ms$ أي أن زمن النبضة يمكن أن يتراوح بين 1ms و 2.2ms ونختار زمن الإطار بحيث يساوي $T_{Tact} = 25ms$، وتعليل ذلك هو أن مثل هذه المنظومة تصمم عادة لسبع أقنية تحكم وبذلك فإن هذه الأقنية السبعة سوف تحتاج إلى ($7 \times 2.2ms = 15.4ms$)، وتبقى بذلك فاصلة نبضية قدرها (25ms-15.4ms=9.6ms). ويستفاد من هذه الفاصلة في تأمين التزامن، لأن عملية التزامن ضرورية لضمان بث نبضة القناة الأولى في بداية كل إرسالية، ويجب مراعاة ترتيب تسلسل الأقنية في كل من المرسل والمستقبل. يتم في طرف الإستقبال بواسطة كاشف فرز نبضات الأقنية من الإرسالية ويحتاج المستقبل في عملية الفرز هذه إلى التحديد الدقيق لترتيب الأقنية ضمن الإرسالية لذلك يستفاد من الفاصلة النبضية كعلام لتحديد ترتيب الأقنية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

إن إختيار $T_{Tact} = 25ms$ يعني أنه يتم بث 40 إرسالية في الثانية الواحدة، ومن الناحية النظرية يمكن تغيير أمر التحكم في كل إرسالية، وفي المستقبل يتم فرز نبضات الأقنية وتطبيقها على عناصر التنفيذ 40 مرة في الثانية، والزمن الفاصل بين لحظة إعطاء الأمر وظهور تأثيره على عناصر التنفيذ هو (1/40) من الثانية. وهذا الزمن عملياً غير محسوس من قبل المراقب لأن عناصر التنفيذ ذات عطالة أكبر، ولذلك يحس المراقب أن التحكم بعدة أغراض يتم في وقت واحد.

توليد نبضات الإطار

بما أن دور نبضات الإطار ثابت وليس له علاقة بزمن نبضات الأقنية، فإنه يتم توليد نبضات الإطار بواسطة مولد عدم الاستقرار astable، ويمكن كما شاهدنا في الفصل الخامس من هذا الكتاب توليد نبضات بواسطة بوابتي عاكس أو بواسطة دارة 555. في الشكل(57.7) تعطى دارة مولد إطار باستخدام دارة 555 مع قيم عناصر الدارة.



$$T_{Tact} = 0.7(2RB+RA).C$$

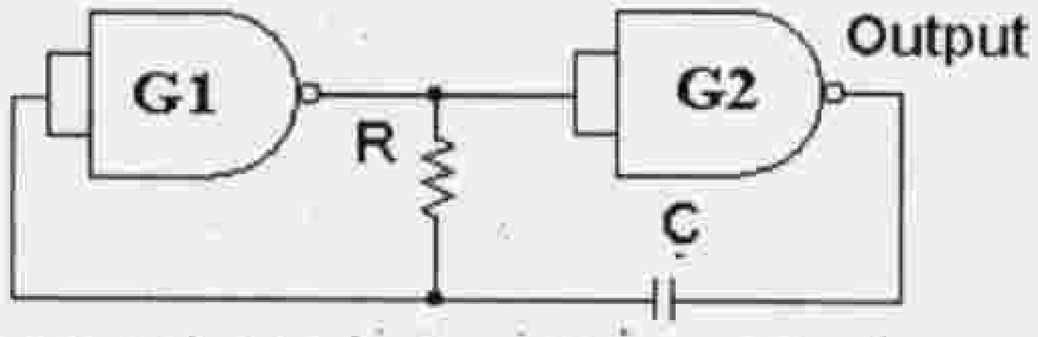
$$RA=1K; RB=18K, C=1uF,$$

$$T_{Tact} = 25.9ms$$

الشكل 57.7 تعطى دارة مولد إطار باستخدام دارة 555.

وفي الشكل (58.7) تعطى دارة مولد نبضات الإطار باستخدام بوابتي عواكس.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



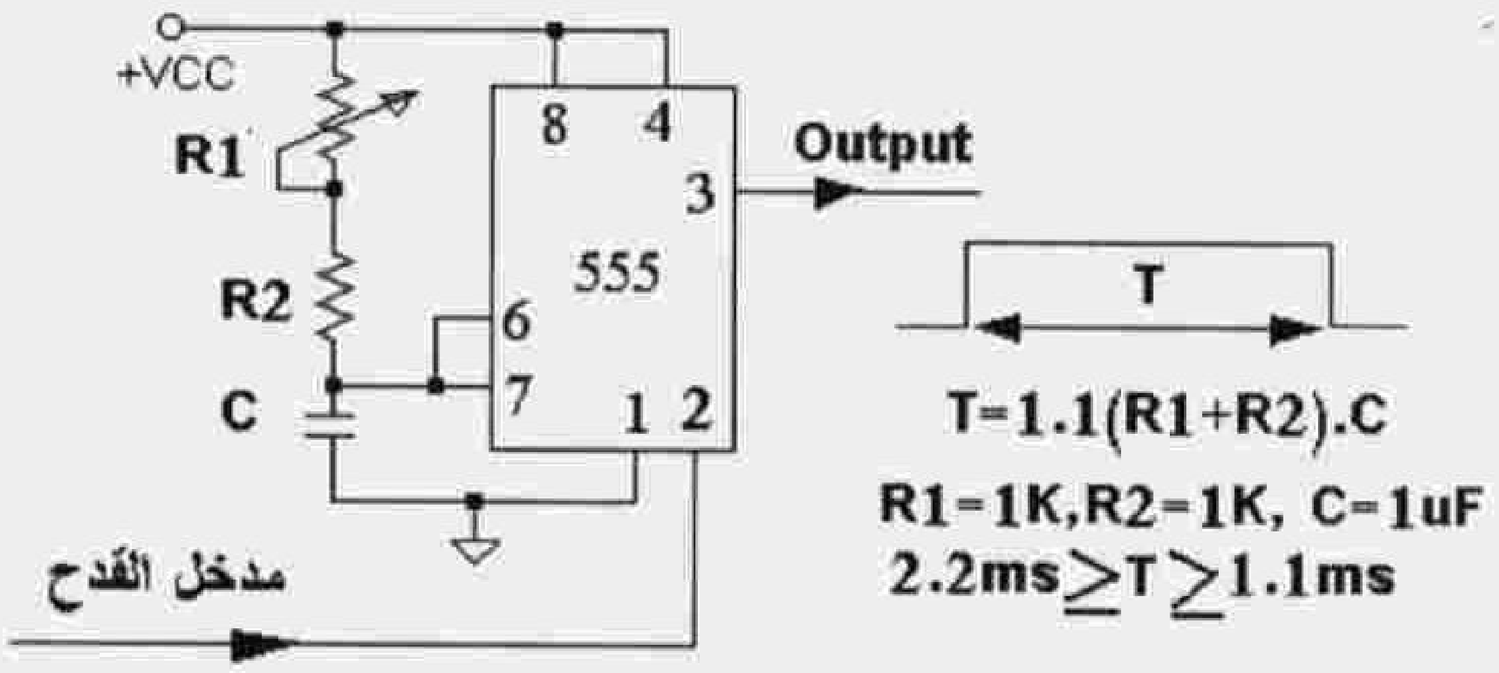
$T=2.2RC$

T_{Tact} =25ms,C=47uF,R=241.8 Ohm

الشكل 58.7 دارة مولد نبضات الإطار باستخدام بوابتي عواكس.

مولد نبضة إحدى الأقنية

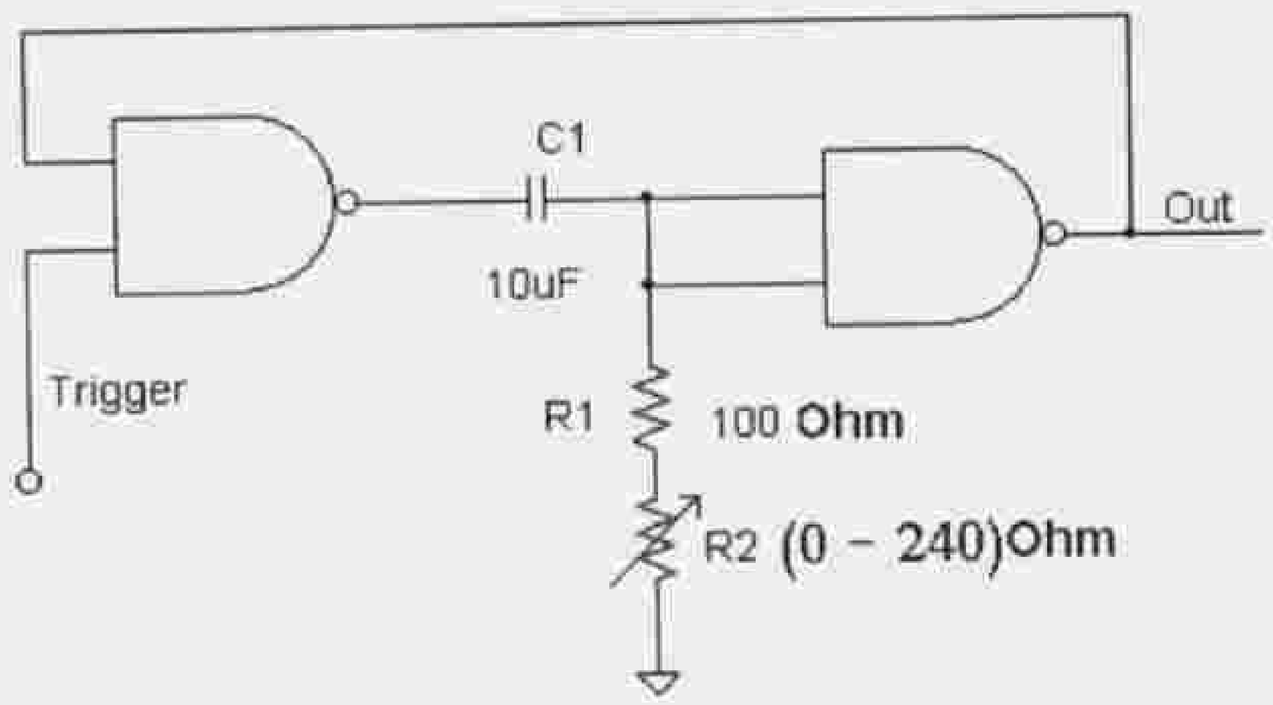
يتم توليد نبضات الأقنية بواسطة مولدات وحيدة الاستقرار، ويمكن أن يبنى وحيد الاستقرار على دارة 555 أو على بوابات. في الشكل (59.7) تعطى دارة مولد قناة باستخدام دارة 555 مع قيم العناصر التي تحقق أزمنة الأقنية المطلوبة.



الشكل 59.7 دارة مولد نبضة القناة باستخدام دارة 555.

يمكن أيضاً توليد نبضة كل قناة بواسطة دارة وحيد استقرار تعمل على بوابات منطقية كما في الشكل التالي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

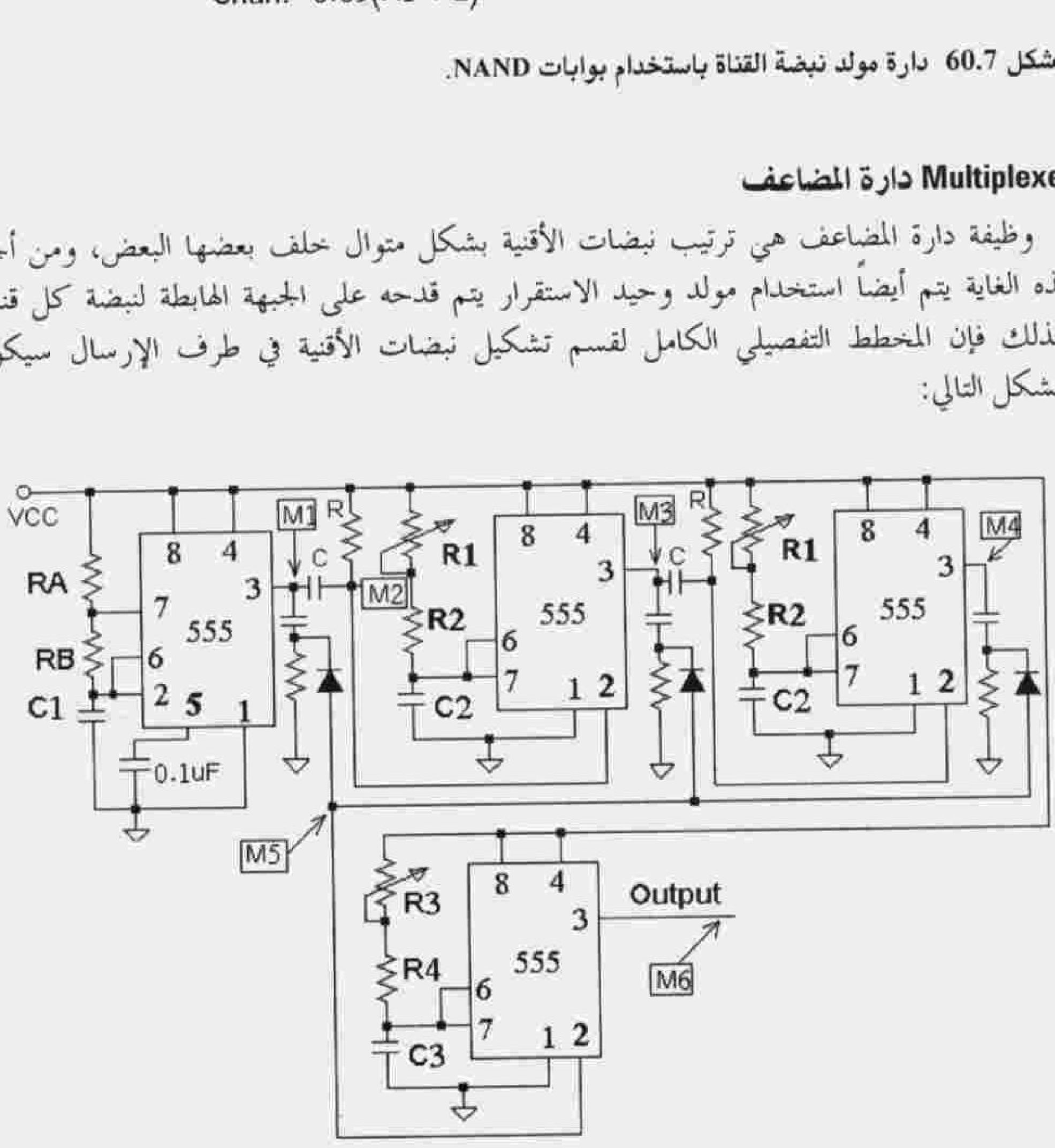


$T_{Chan.} = 0.69(R1+R2).C$

الشكل 60.7 دارة مولد نبضة القناة باستخدام بوابات NAND.

Multiplexer دارة المضاعف

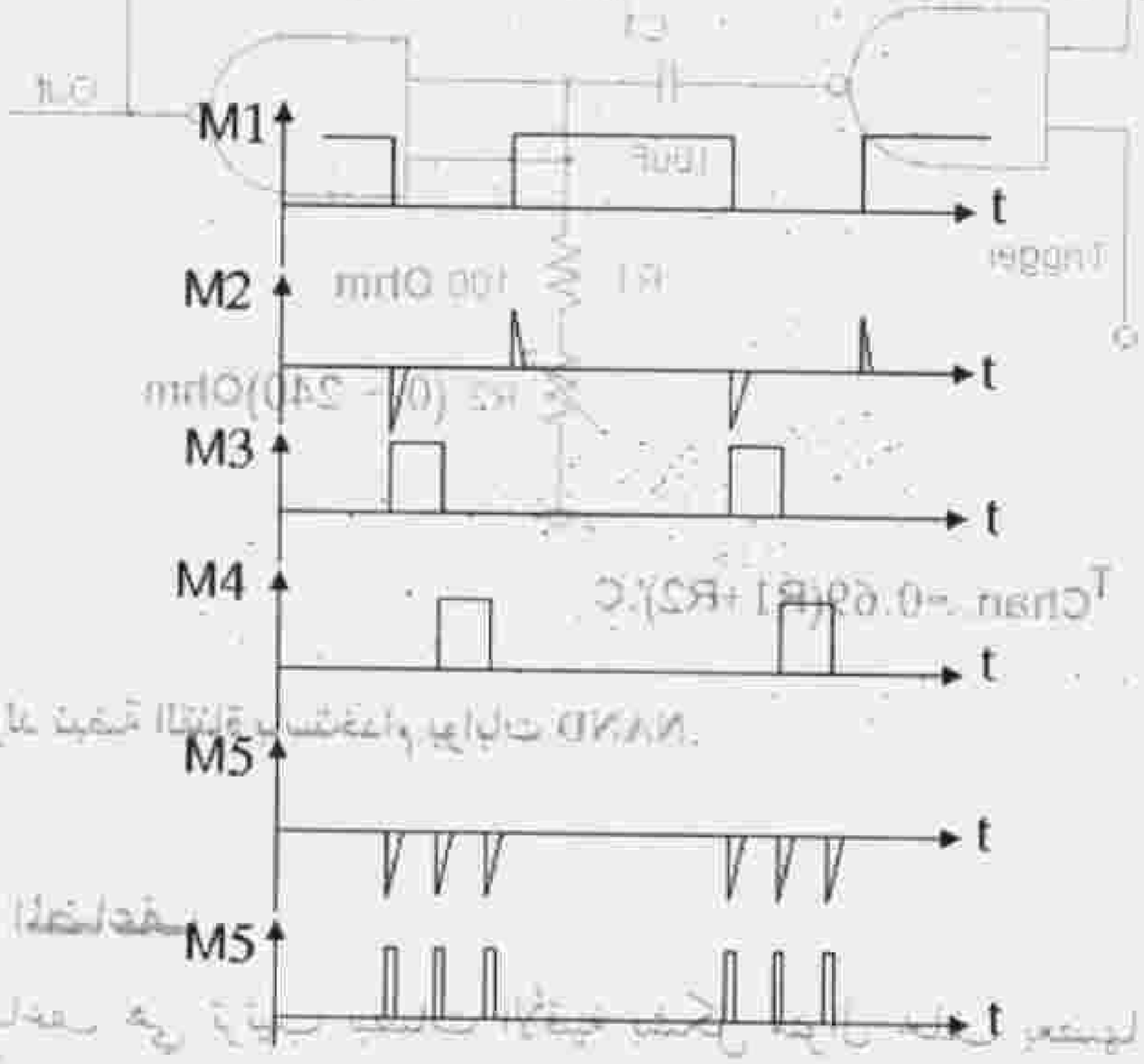
وظيفة دارة المضاعف هي ترتيب نبضات الأقنية بشكل متوال خلف بعضها البعض، ومن أجل هذه الغاية يتم أيضاً استخدام مولد وحيد الاستقرار يتم قدحه على الجبهة الهابطة لنبضة كل قناة. وبذلك فإن المخطط التفصيلي الكامل لقسم تشكيل نبضات الأقنية في طرف الإرسال سيكون بالشكل التالي:



الشكل 61.7 دارة توليد الأوامر في طرف الإرسال باستخدام دارات 555.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وفي الشكل التالي نرى أشكال الإشارات التي يولدها قسم النبضات في طرف الإرسال.



الشكل 62.7 النبضات التي يتم توليدها في طرف الإرسال.

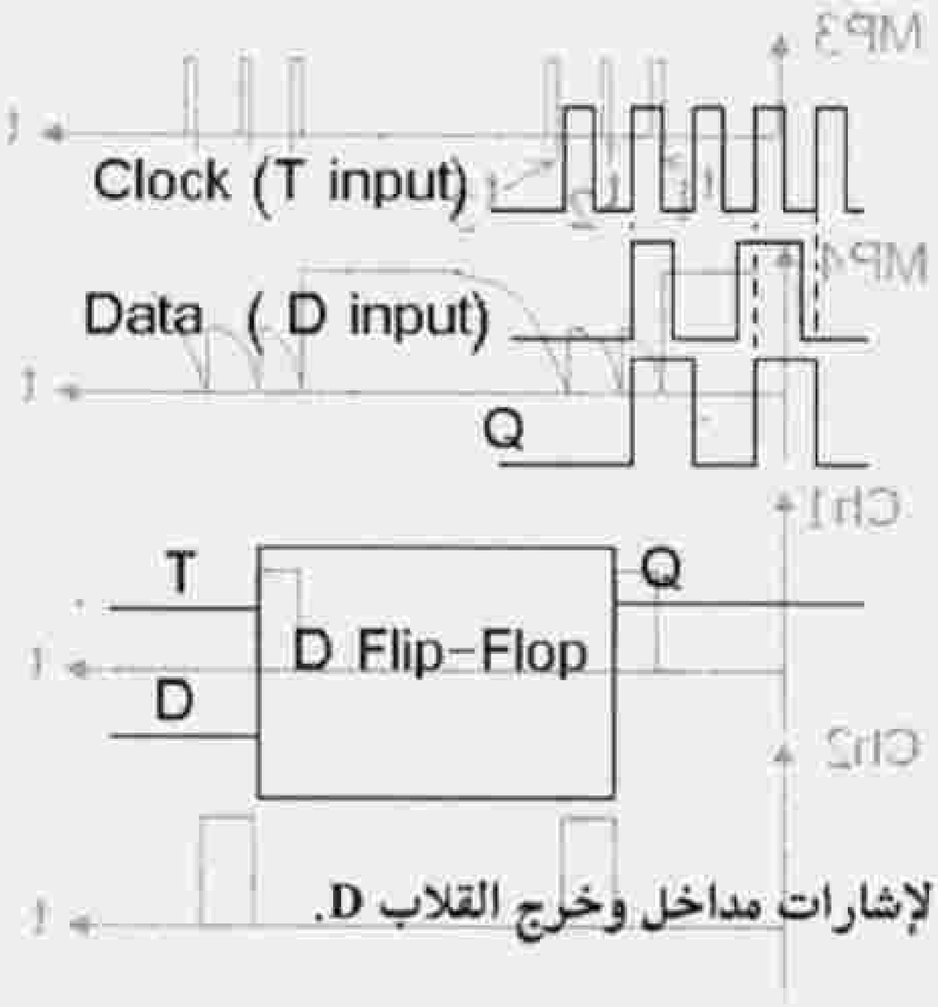
يتم تصميم الـ multiplexer بحيث يعطي نبضات ضيقة ذات عرض يساوي (0.18ms) ومن المعادلة التي تبين علاقة عرض نبضة الخرج بكل من R و C لدينا T=0.69 RC فإذا اخترنا C=10nF نحصل على R=26K. ويمكن إذا لزم الأمر عكس هذه النبضات قبل مرحلة التعديل.

القسم النبضي في طرف الإستقبال

وظيفة هذا القسم هي استعادة نبضات الأقنية (القناة الأولى والثانية) وسنعتمد في استعادة هذه النبضات على فكرة توليد نبضة القناة الأولى مع الحافة الأمامية لأول نبضة في الإرسالية البرقية، وتتحدد نهاية هذه النبضة بالحافة الأمامية لنبضة القناة الثانية. من أجل هذه الغاية نحتاج إلى دارة إلكترونية تحفظ المعلومات بين لحظات الحواف الأمامية لنبضات الأقنية الأولى والثانية. ويمكن استخدام القلاب نوع D لهذه الغاية، وسوف نستخدم هذا القلاب بحيث أن الحافة الأمامية في الإرسالية (الجبهة الصاعدة، أو الانتقال من L إلى H) تنقل القلاب إلى وضع SET، أما الحافة الأمامية لنبضة القناة الثانية فتعيد القلاب إلى وضع RESET وبنفس الوقت تنقل قلاباً D2 آخر إلى وضع SET، وتتكفل الجبهة الصاعدة لنبضة القناة التالية في الإرسالية بإعادة القلاب D2 إلى حالة RESET. وبذلك نحصل على نبضتي القناتين الأولى والثانية، في الشكل (63.7) نرى المخططات

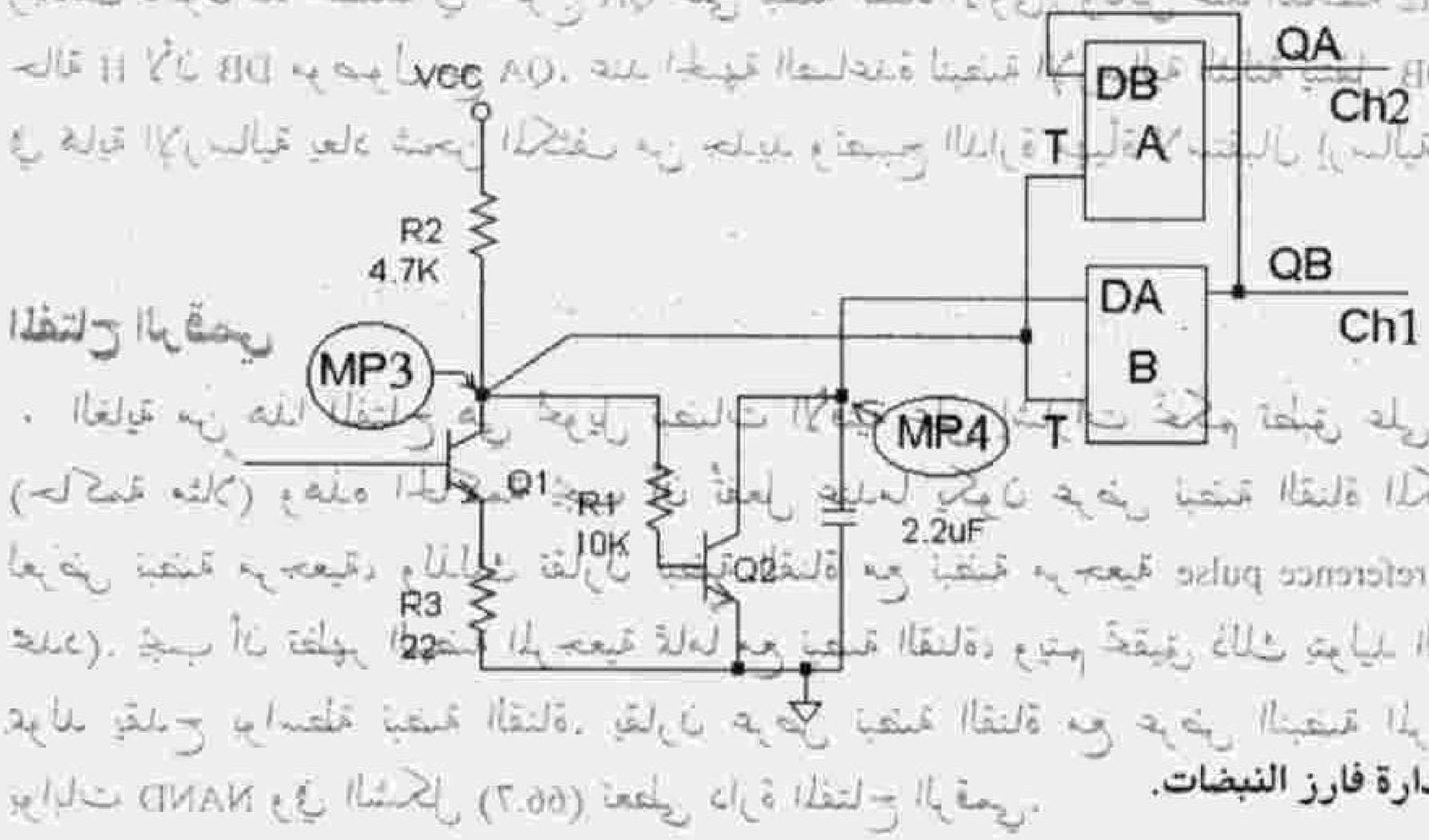
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

النبضية لخرج ومداخل القلاب D ومن هذه المخططات نلاحظ أن المعطيات الموجودة على الدخل D للقلاب تنتقل إلى الخرج Q مع الحافة الأمامية لنبضات Clock.



الشكل 63.7 المخطط النبضي لإشارات مداخل وخرج القلاب D.

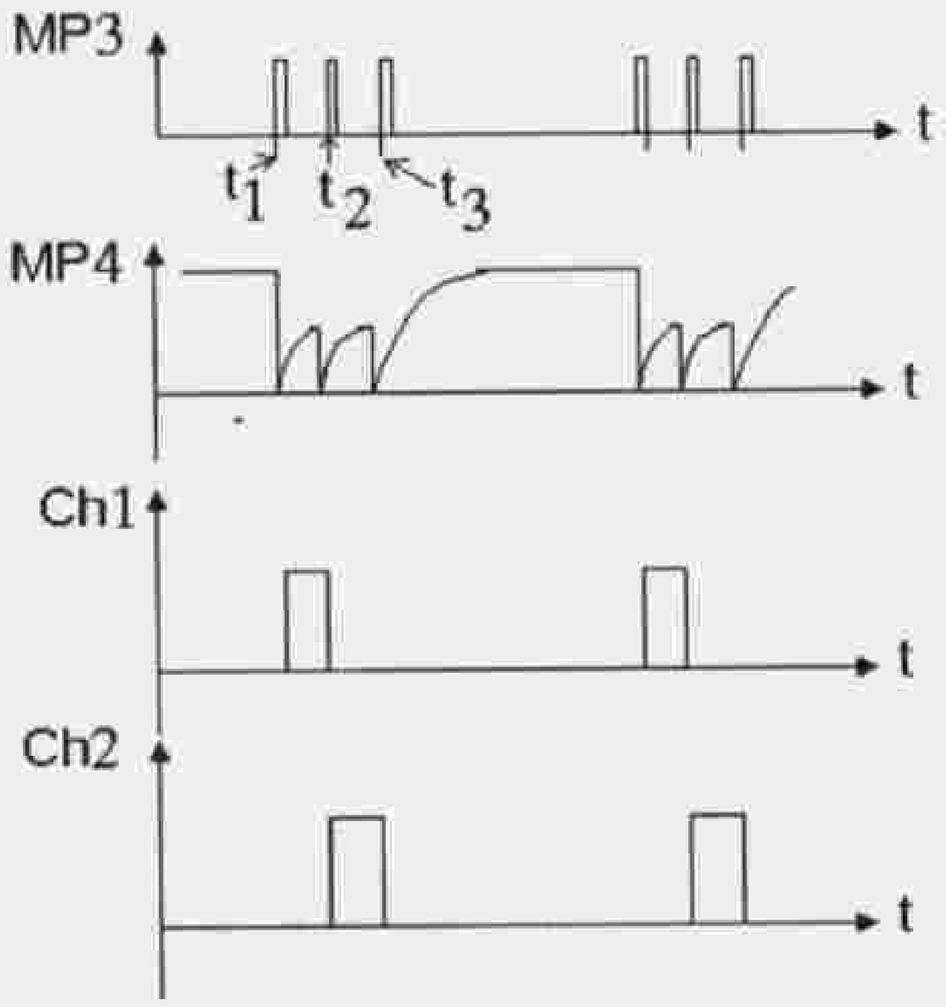
بالعودة إلى شكل نبضات الإرسالية نلاحظ أن الحواف الأمامية للنبضات تحصر فيما بينها زمنا يساوي عرض نبضة القناة (الأولى والثانية مثلاً تحصران زمناً يساوي عرض نبضة القناة الأولى، والثانية والثالثة تحصران زمناً يساوي عرض نبضة القناة الثانية وهكذا)، وبتطبيق هذه النبضات على المدخل T للقلاب D يمكن إعادة تشكيل نبضة القناة المطلوبة إذا تم تأمين مستوى H على المدخل D للقلاب بين الجبهتين الصاعدتين لنبضتي الإرسالية. في الشكل التالي نتعرف على الدارة الإلكترونية المستخدمة للحصول على نبضات الأقنية الأولى والثانية.



الشكل 64.7 دارة فارز النبضات.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

وفي الشكل (65.7) نبين أشكال الإشارات MP3 و MP4 و إشارات القنوات الأولى والثانية.



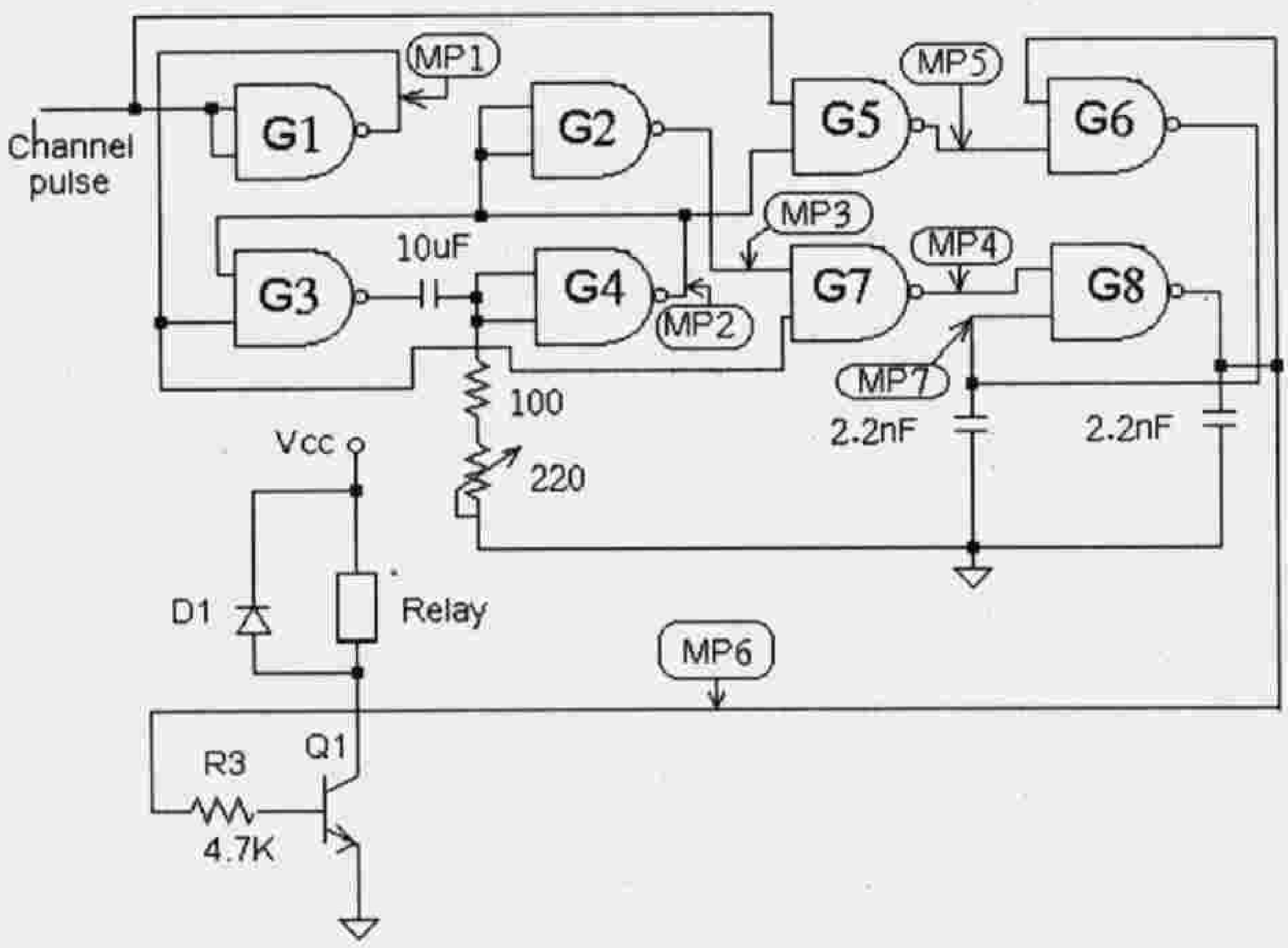
الشكل 65.7 أشكال الإشارات في دارة فارز النبضات.

يطبق قطار النبضات MP3 على قاعدة الترانزيستور Q2، يكون المكثف الموصول بين باعث ومجمع Q2 مشحوناً والجهد عليه يكافئ H ومع ورود أول نبضة ضيقة ينتقل الترانزيستور Q2 إلى حالة on وينتقل الجهد H إلى الخرج QA ويفرغ المكثف شحنته عبر الترانزيستور، وعند انتهاء فترة النبضة الإبرية يحاول المكثف الشحن من جديد ولكن الفترة بين نبضتين ضيقتين (والتي تساوي عرض نبضة القناة) لا تكفي لإعادة شحن المكثف إلى جهد H. وعند t2 يعود QA إلى حالة L وبذلك نكون قد حصلنا في الخرج QA على نبضة القناة الأولى. ولكن عند اللحظة t2 ينتقل QB إلى حالة H لأن DB موصول مع QA. عند الجبهة الصاعدة لنبضة الإرسالية الثالثة ينتقل QB إلى حالة L. في نهاية الإرسالية يعاد شحن المكثف من جديد وتصبح الدارة مهيأة لاستقبال إرسالية جديدة.

المفتاح الرقمي

الغاية من هذا المفتاح هي تحويل نبضات الأقنية على إشارات تحكم تطبق على عناصر تنفيذ (حاكمة مثلاً) وهذه الحاكمة يجب أن تُفعل عندما يكون عرض نبضة القناة المكشوفة مطابقاً لعرض نبضة مرجعية، ولذلك تقارن نبضة القناة مع نبضة مرجعية reference pulse (ذات عرض محدد). يجب أن تظهر النبضة المرجعية تماماً مع نبضة القناة، ويتم تحقيق ذلك بتوليد النبضة المرجعية بمولد يقدح بواسطة نبضة القناة. يقارن عرض نبضة القناة مع عرض النبضة المرجعية بواسطة بوابات NAND وفي الشكل (66.7) تعطى دارة المفتاح الرقمي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



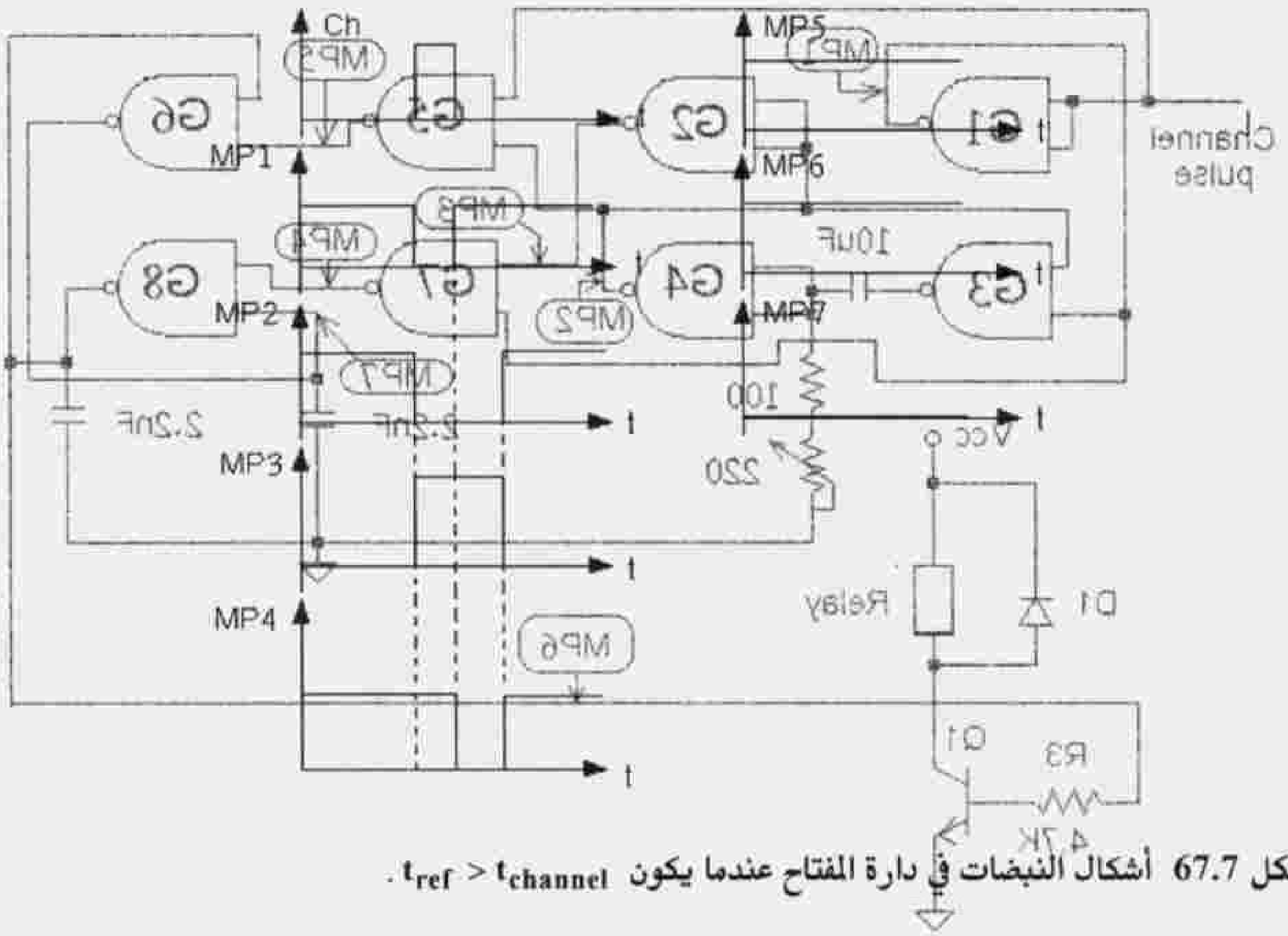
الشكل 66.7 دارة المفتاح الرقمي.

آلية عمل الدارة

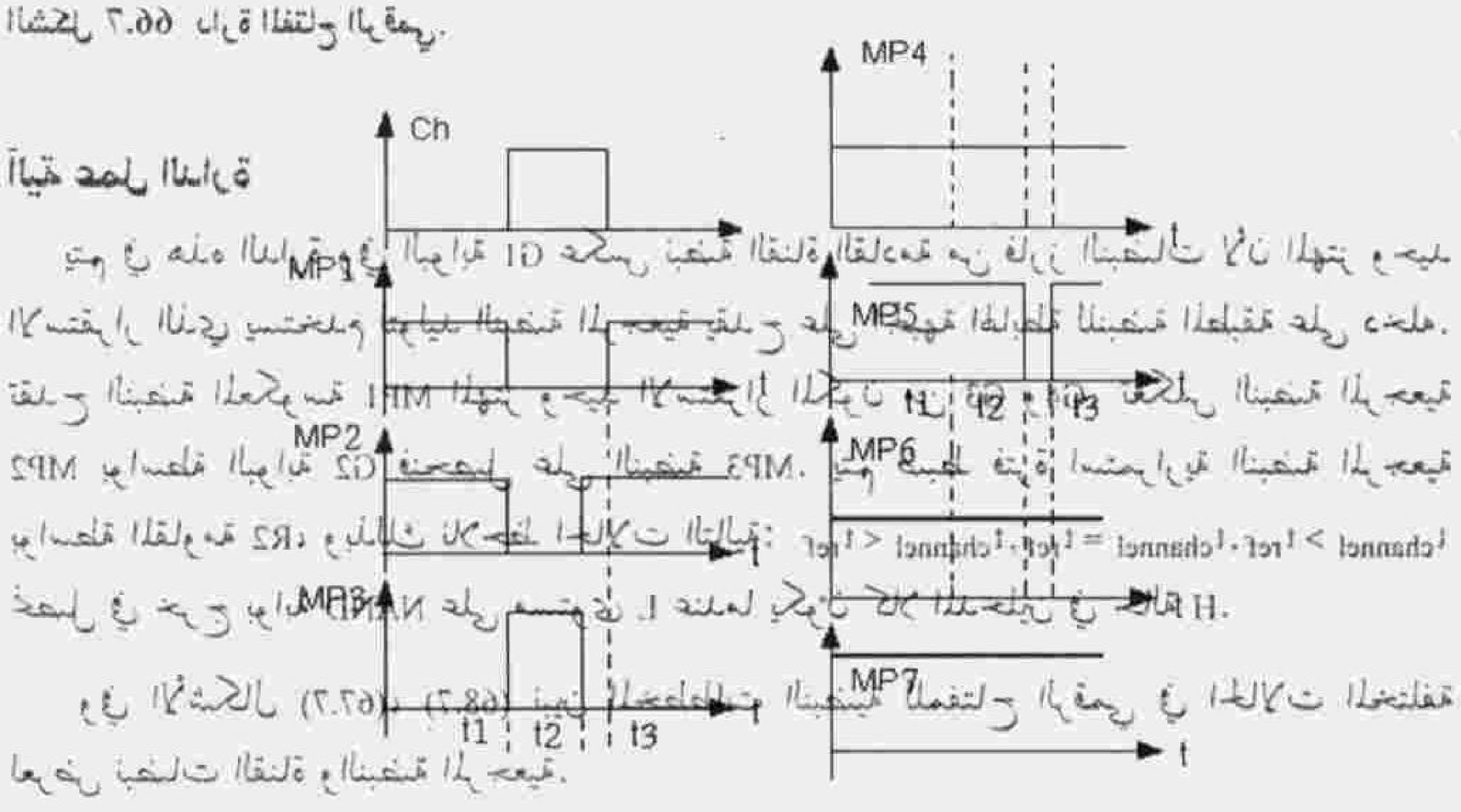
يتم في هذه الدارة وفي البوابة G1 عكس نبضة القناة القادمة من فارز النبضات لأن المهتز وحيد الاستقرار الذي يستخدم لتوليد النبضة المرجعية يقدح على الجبهة الهابطة للنبضة المطبقة على دخله. تقدح النبضة المعكوسة MP1 المهتز وحيد الاستقرار المكون من G3 وG4. تعكس النبضة المرجعية MP2 بواسطة البوابة G2 فنحصل على النبضة MP3. يتم ضبط فترة استمرارية النبضة المرجعية بواسطة المقاومة R2، وبذلك نلاحظ الحالات التالية: $t_{channel} > t_{ref}$ ، $t_{channel} = t_{ref}$ ، $t_{channel} < t_{ref}$ نحصل في خرج بوابة NAND على مستوى L عندما يكون كلا المدخلين في حالة H.

وفي الأشكال (67.7)، (68.7) نبين المخططات النبضية للمفتاح الرقمي في الحالات المختلفة لعرض نبضات القناة والنبضة المرجعية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



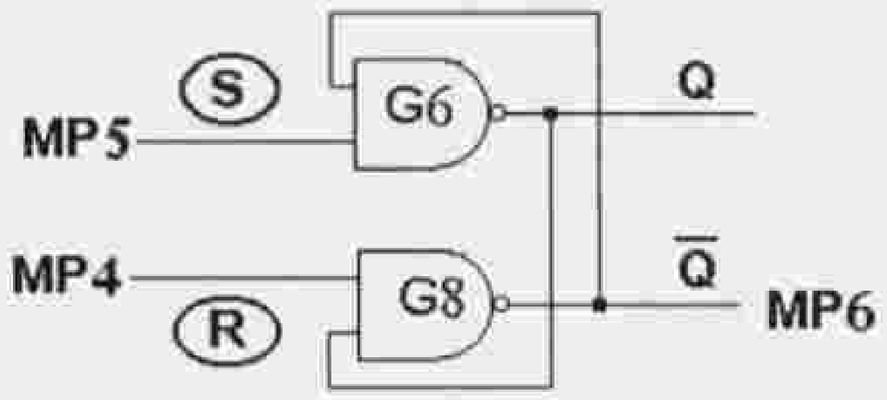
الشكل 67.7 أشكال النبضات في دارة المفتاح عندما يكون $t_{ref} > t_{channel}$.



الشكل 68.7 أشكال النبضات في دارة المفتاح عندما يكون $t_{ref} < t_{channel}$.

تعمل البوابتان G6 وG8 كقلاب RS حيث تطبق على المدخل S الإشارة MP5 وعلى المدخل R الإشارة MP4، وفي الشكل (69.7) نبين هذا القلاب مع جدول حقيقته للتذكير.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



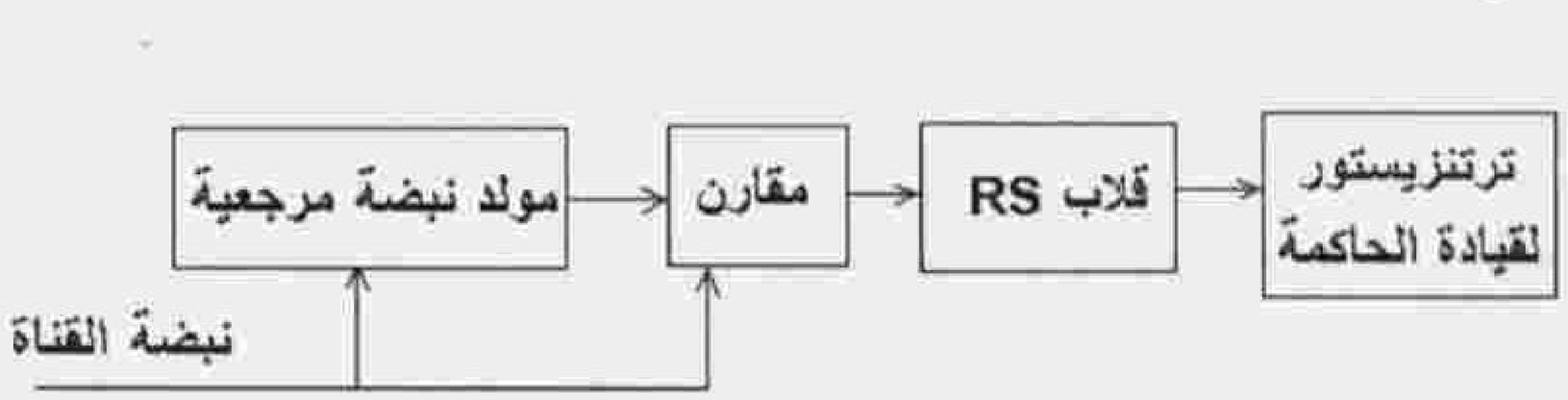
S	R	Q	$\overline{Q}$
H	H	no change	
H	L	L	H
L	H	H	L
L	L	حالة ممنوعة	

الشكل 69.7 قلاب RS مع جدول الحقيقة.

عندما يكون $T_{channel} < T_{ref}$ نلاحظ أن MP5=H أما MP4 فيكون H ثم L وبعدها H وعندما يكون MP5=MP4=H لا يحدث تغير في خرج القلاب، أما عندما يكون MP5=H، MP4=L فإن Q=L أما $\overline{Q}=H$، وعندما يعود MP4 إلى حالة H نعود إلى الحالة التي لا يحدث فيها تغير ويبقى $\overline{Q}=H$.

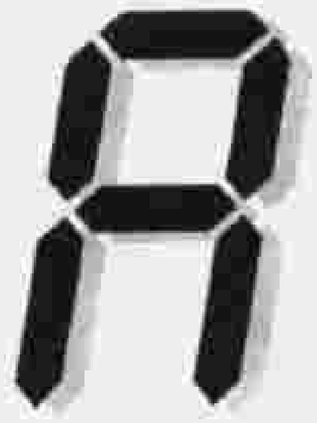
أما عندما يكون $T_{Channel} > T_{ref}$ نلاحظ من أشكال MP5 و MP4 أن الحالات المنطقية لمداخل القلاب RS هي MP5=MP4=H ولا يحدث تغير في الخرج، MP5=L,MP4=H والخرج $\overline{Q}=L$ والحالة الأخيرة MP4=MP5=H لا يحدث تغير والخرج $\overline{Q}=L$.

عندما يكون $T_{ref}=T_{Channel}$ يكون MP4=MP5=H بشكل دائم ويحافظ القلاب RS على وضعية خرجه بدون تغيير. توصل حاكمة عبر مجمع ترانزيستور وتوصل قاعدة الترانزيستور إلى أحد مخارج القلاب حسب الرغبة في نقل الحاكمة إلى حالة تفعيل في حالة $T_{ref} > T_{Channel}$ أو في الحالة الثانية $T_{ref} < T_{Channel}$، وبذلك نلاحظ أنه يمكن وصل دارتي قيادة ترانزيستوريتين للحواكم إلى كل من MP6 وMP7. من خلال ما سبق نلاحظ أن المخطط الصندوقي للمفتاح الرقمي هو كما في الشكل (70.7).



الشكل 70.7 المخطط الصندوقي للمفتاح الرقمي.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com



ملحق

سنذكّر في هذا الملحق ببعض العناصر الإلكترونية الواردة في هذا الكتاب مثل المضخم العملياتي والترانزيستورات ثنائية القطبية والديودات العادية وثنائيات الزينر وبقوانين كيرشوف للجهد والتيار وببعض النظريات التي تستخدم في تحليل الدارات الإلكترونية كنظرية التنضد.

المضخم العملياتي Amplifier Operational

تعتبر المضخمات حجر الأساس في تضخيم ومعالجة الإشارات وانطلاقاً من ذلك وبسبب صعوبة تصميم المضخمات في بعض الأحيان فقد تم تصنيع دارات تضخيم جاهزة على شكل دارات متكاملة (ICs) وسميت هذه الدارات بالمضخمات العملياتية، وتتصف المضخمات العملياتية بأنها ذات عامل تكبير عالي جداً وذات عرض حزمة كبير وبما أن التضخيم عالي فإنه يتم الحصول على القيمة المطلوبة للتضخيم باستخدام مبدأ التغذية العكسية السالبة حيث يتحدد التضخيم بقيم العناصر التي تسبب التغذية العكسية

$$A_f = \frac{A}{1+\beta A} \cong \frac{1}{\beta}$$

تتوفر المضخمات العملياتية في الأسواق التجارية بمواصفات ممتازة وبأسعار معقولة ويمكن استخدام المضخم العملياتي في الكثير من التطبيقات ما عدا مجال الترددات العالية جداً.

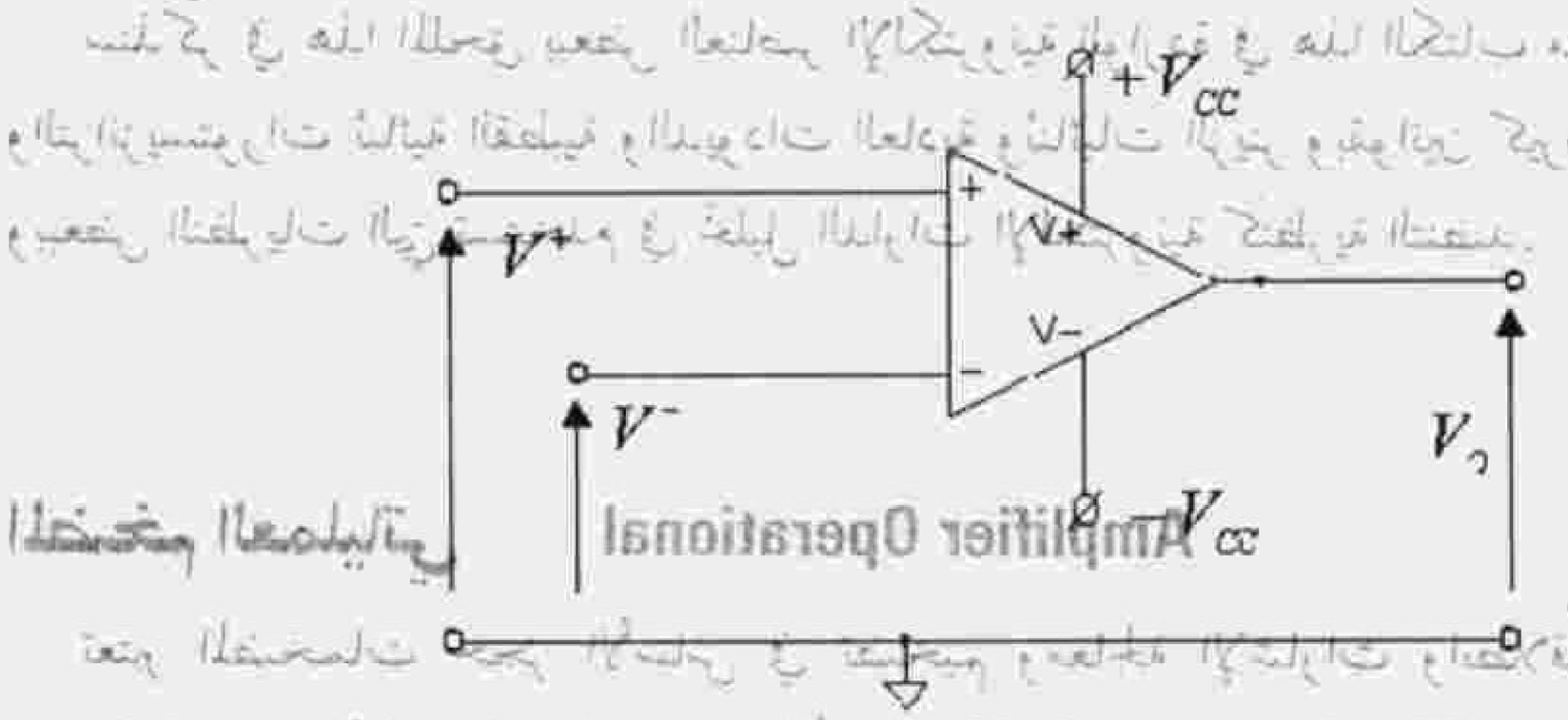
المواصفات الأساسية للمضخم العملياتي

يرمز للمضخم العملياتي في الدارات الإلكترونية بالرمز المعطى في الشكل (1.A) وكما هو واضح من الشكل فإن المضخم العملياتي له مدخلين: المدخل (+) ويسمى المدخل غير العاكس،

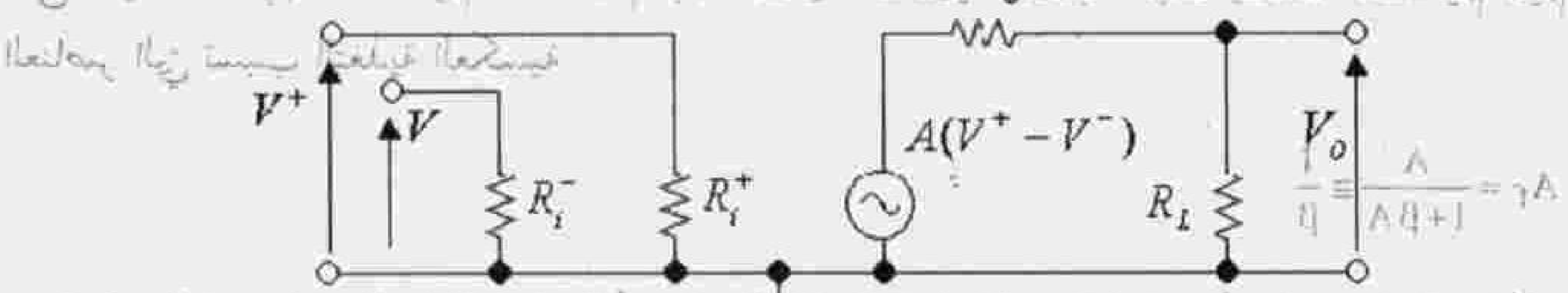
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

والمدخل (−) ويسمى المدخل العاكس، ويقوم المضخم العملياتي بتضخيم الفرق بين الإشارتين المطبقتين على مدخليه وفي حال عدم وصول المضخم إلى حالة الإشباع فإن الربح $\frac{v_O}{v_d}$ يصل إلى مرتبة 10^5 حيث v_O هو جهد الخرج على فراغ (بدون حمل) وv_d هو الفرق بين الإشارتين المطبقتين على المدخلين أي ($v^+ - v^-$). مقاومات دخل المضخم العملياتي للمدخلين العاكس وغير العاكس ← ∞ في المضخم المثالي وعالية جداً في المضخم الفعلي.

مقاومة خرج المضخم العملياتي ← 0 في المضخم المثالي وتكون صغيرة جداً في المضخم الفعلي وانطلاقاً من ذلك فإن الدارة المكافئة للمضخم العملياتي يمكن رسمها كما في الشكل (2.A).



الشكل 1.A رمز المضخم العملياتي.



الشكل 2.A الدارة المكافئة للمضخم العملياتي.

في المضخم المثالي
$0 \leftarrow R_O$
$\infty \leftarrow (R_i^-, R_i^+)$

في حال عدم وجود حمل يحسب الخارج من العلاقة التالية:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$v_O = \frac{A(v^+ - v^-)R_L}{R_O + R_L}$$

وبما أن R_0 صغيرة جداً وتنتهي إلى الصفر فإن المعادلة السابقة تكتب كما يلي:

$$v_O = \frac{A(v^+ - v^-)R_L}{R_L} = A(v^+ - v^-)$$

وهذا يعني أن خرج المضخم العملياتي يكافئ مصدر جهد مثالي يتم التحكم به عن طريق الدخل وبذلك فإنه يمكن وصل الحمل المطلوب للحصول على الاستطاعة المطلوبة وبما أن استهلاك الاستطاعة في دخل المضخم العملياتي صغير جداً لأن تيارات المداخل i^+ و i^- صغيرة جداً بسبب كون ممانعات الدخل عالية جداً فإن تكبير الاستطاعة في المضخم العملياتي عالي جداً. في المعادلات والرسوم السابقة استخدمنا الرموز التالية:

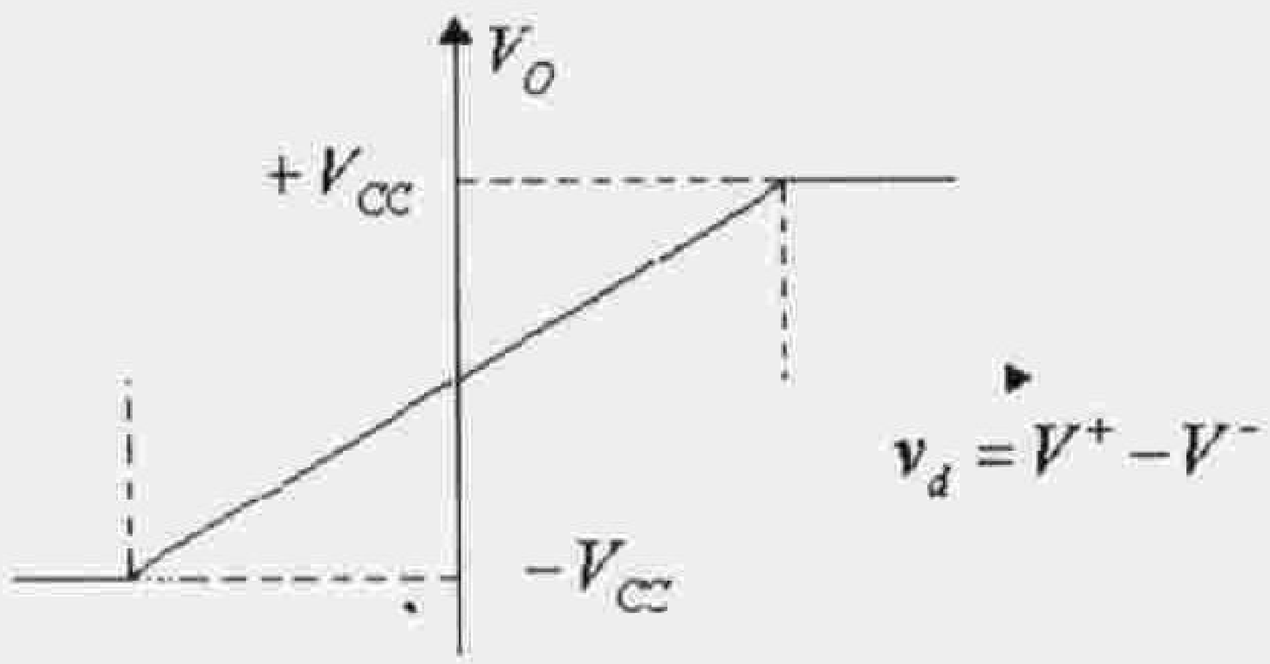
R_i^+ : مقاومة المدخل غير العاكس.

R_i^- : مقاومة المدخل العاكس.

i^+: تيار المدخل غير العاكس.

i^-: تيار المدخل العاكس.

ترسم العلاقة بين جهد الخرج وفرق جهدي المداخلين v_d للمضخم العملياتي كما في الشكل (3.A).



الشكل 3.A علاقة $v_O = f(v_d)$.

في هذا الشكل تسمى المنطقة الواقعة بين $-V_{CC}$ و $+V_{CC}$ بمنطقة عدم الإشباع. المناطق التي يكون فيها $+V_{CC} < v_d < -V_{CC}$ تسمى مناطق إشباع أي أن جهد الخرج فيها لا يتغير مهما تغير V_d من العلاقة $v_O = A(v^+ - v^-)$ نجد أن:

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

$$v^- = 0 \Rightarrow v_O = A\, v^+$$

$$v^+ = 0 \Rightarrow v_O = -A\, v^-$$

إشارة (–) في المعادلة الأخيرة تعني وجود فرق صفحة بين الخرج والدخل مقدارها 180^o أما في المعادلة التي قبلها فليس هناك فرق صفحة ومن هنا جاءت تسمية مداخل المضخم العملياتي بالمدخل العاكس والمدخل غير العاكس. العلاقات الأخيرة تبقى صحيحة فقط في حال عدم وصول المضخم العملياتي إلى الإشباع. يتم تطبيق التغذية العكسية بوصل الخرج مع أحد المدخلين فإذا وصل الخرج مع المدخل العاكس فإن التغذية العكسية تكون سالبة وإذا وصل مع المدخل غير العاكس فإن التغذية العكسية تكون موجبة. لا ترسم جهود التغذية $V_{CC}-$ و $V_{CC}+$ في أغلب الدارات.

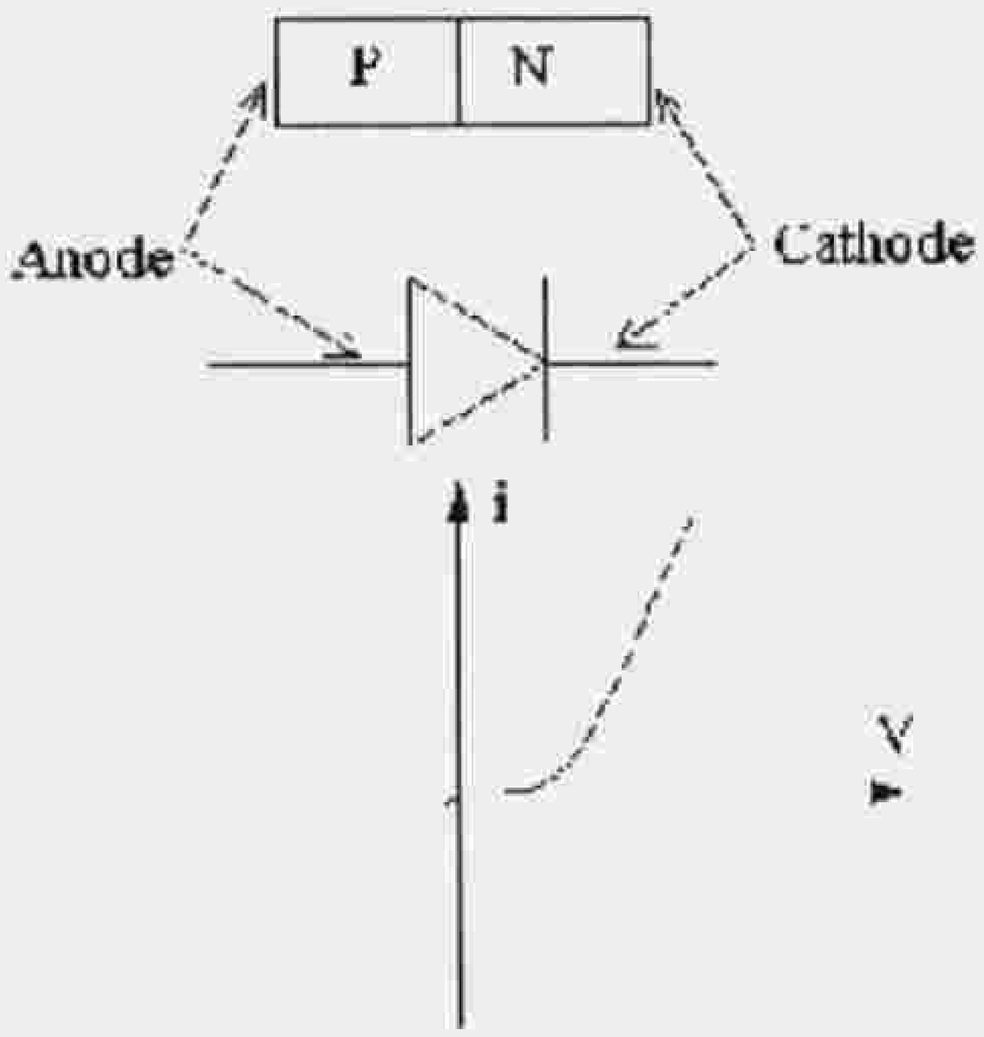
عملياً يجب التمييز بين المضخم العملياتي المثالي والمضخم الفعلي وفيما يلي نلخص أهم مواصفات المضخم المثالي:

1. مقاومات دخل $R_i \leftarrow \infty$
2. مقاومة خرج $R_O \leftarrow 0$
3. ربح $A \leftarrow \infty$
4. توازن تام أي $v_O = 0$ عندما $v^+ = v^-$
5. لا تتأثر المواصفات بدرجة الحرارة.

الديود Diode

يتكون الديود من التحام مادة نوع p مع مادة نوع n وتسمى منطقة الالتحام باسم متصل junction، ويتصف الديود بأنه يسمح بورود التيار الكهربائي بجهة واحدة إذا كانت قطبية المادة p موجبة بالنسبة للمادة n وبشرط أن يكون فرق الجهد بين p وn أكبر من جهد يسمى جهد عتبة التمرير، ويتراوح هذا الجهد بين 0.65V و0.75V إذا كان الديود مصنوعاً من السيليكون وبين 0.2V و0.4V إذا كان الديود مصنوعاً من الجرمانيوم. في الشكل (4.A) يعطى رمز الديود ومميزة الفولت أمبير له.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

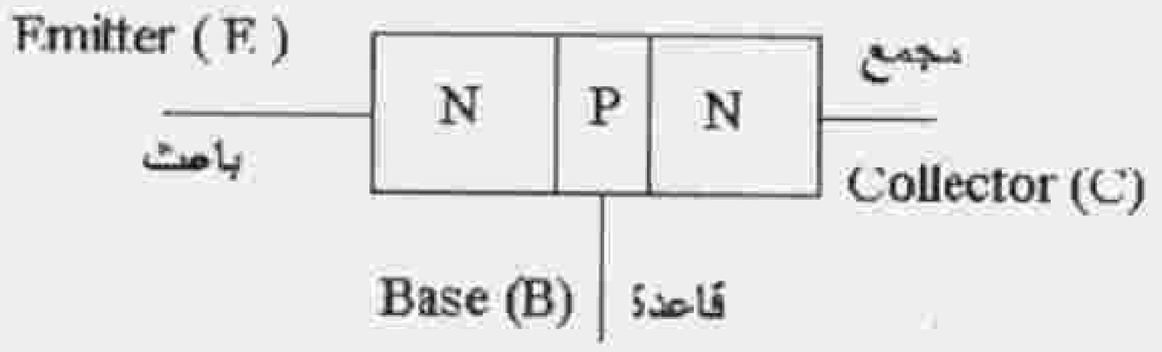


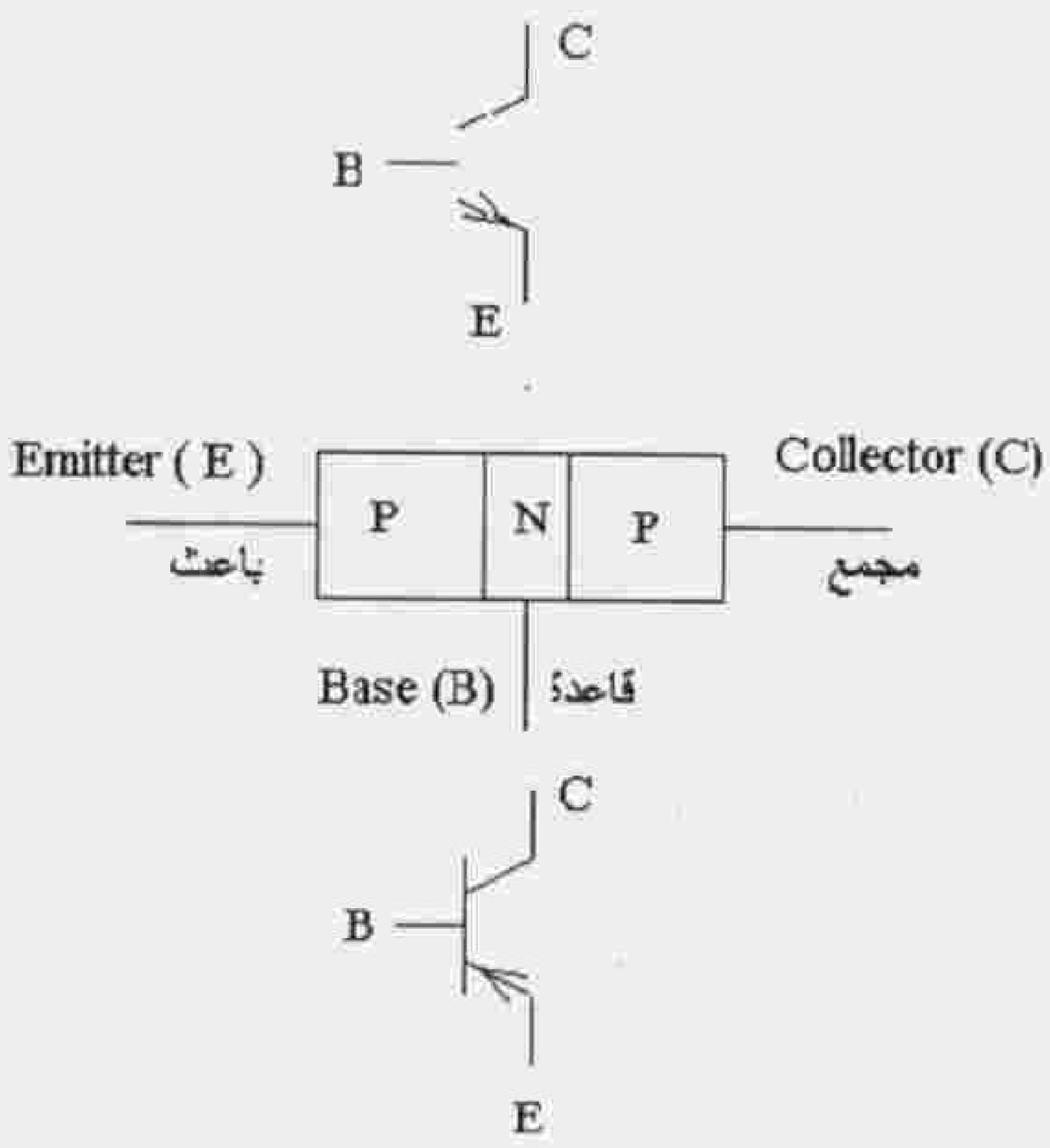
الشكل 4.A رمز وبنية الديود ومميزة الفولت أمبير له.

الترانزيستورات ثنائية القطبية bipolar transistors

يتكون الترانزيستور ثنائي القطبية من ثلاث مناطق نصف ناقلة n,p,n أو p,n,p. تسمى المنطقة الأولى باعث Emitter، والثانية الواقعة في الوسط قاعدة Base والثالثة مجمع Collector وتسمى منطقة الاتصال بين القاعدة والباعث باسم متصل القاعدة-باعث ويرمز له بالرمز Je، أما منطقة الاتصال بين القاعدة والمجمع فتسمى متصل القاعدة-مجمع ويرمز له بالرمز Jc. يتحدد نظام عمل الترانزيستور باستقطاب هذين المتصلين. في الشكل (5.A) تعطى بنية ورموز الترانزستورات ثنائية القطبية.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com





الشكل 5.A بنية ورموز الترانزستورات الحقلية.

وفي الجدول (1.A) تُعطى أنظمة عمل الترانزيستور تبعاً لقطبية متصلات (junction) القاعدة–باعث والقاعدة–مجمع.

الجدول 1.A أنظمة عمل الترانزستورات.

الاستقطاب نظام العمل	مُتصل القاعدة–باعث Je	مُتصل القاعدة–مجمع Jc	الاستخدامات
فعال	أمامي (forward)	عكسي (reverse)	التضخيم
فعال معكوس	عكسي (reverse)	أمامي (forward)	نادر الاستخدام

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

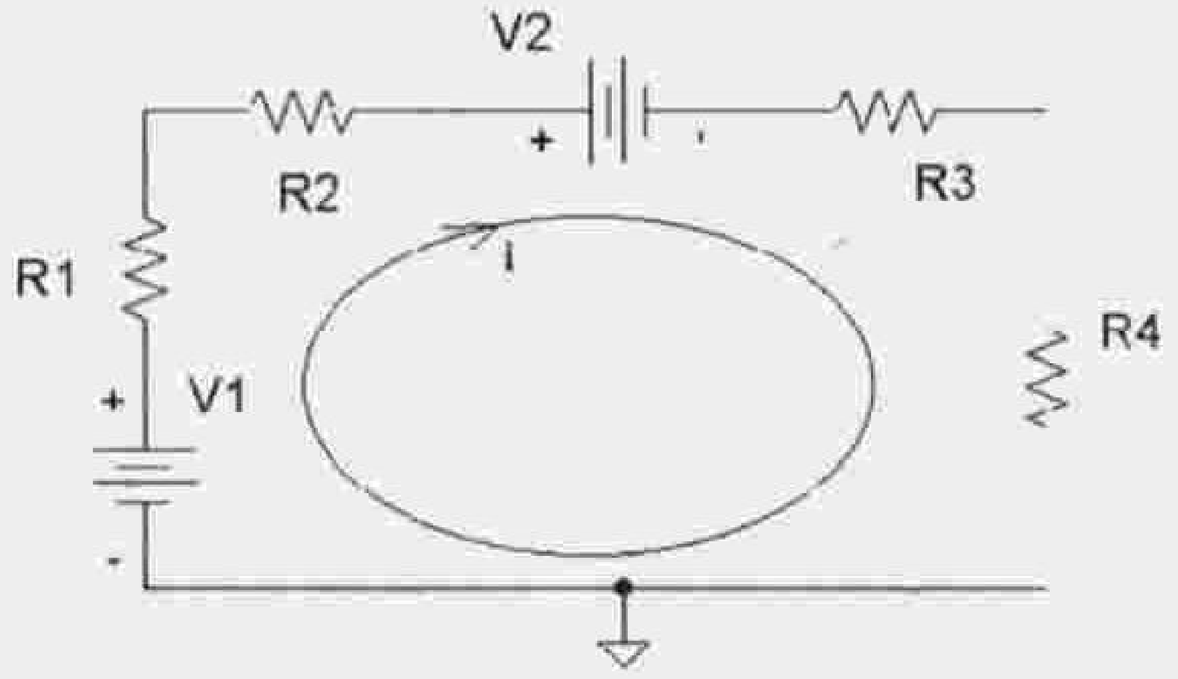
الاستقطاب نظام العمل	مُتصل القاعدة–باعث Je	مُتصل القاعدة–مجمع Jc	الاستخدامات
إشباع	أمامي (forward)	أمامي (forward)	لا يستخدم نظام القطع أو الإشباع بمفرده وهناك تطبيقات ينتقل فيها الترانزيستور بين القطع والإشباع كما في مولدات النبضات والمفاتيح الإلكترونية.
قطع	عكسي (reverse)	عكسي (reverse)	

من أجل تأمين استقطاب المتصلات يتم توصيل جهود مستمرة (DC) إلى أقطاب الترانزيستور.

الترانزستورات التي تستخدم في التطبيقات الرقمية تعمل عادة كمفاتيح إلكترونية، أي أنها إما أن تكون في نظام القطع عندما لا تكون مفعلة، أو في نظام الإشباع عندما يتم تفعيلها. يمكن اعتبار الترانزيستور الذي يكون في حالة قطع وكأنه مفتاح في حالة open، أي لا يمرر التيارات، أما الترانزيستور الذي يكون في حالة إشباع فإنه يمثل مفتاح مغلق ويكون الجهد بين باعثه ومجمعه مهمل تقريباً (VCE(saturation)=0.2V). لن نتعرض هنا إلى استخدامات الترانزستورات في التضخيم لأن ذلك خارج عن نطاق اهتمام هذا الكتاب.

قانون كيرشوف للجهد

ينص قانون كيرشوف للجهد على أن المجموع الجبري للجهود في حلقة مغلقة يساوي الصفر. في الشكل (6.A) نبين حلقة كهربائية بسيطة.



الشكل 6.A حلقة كهربائية بسيطة.

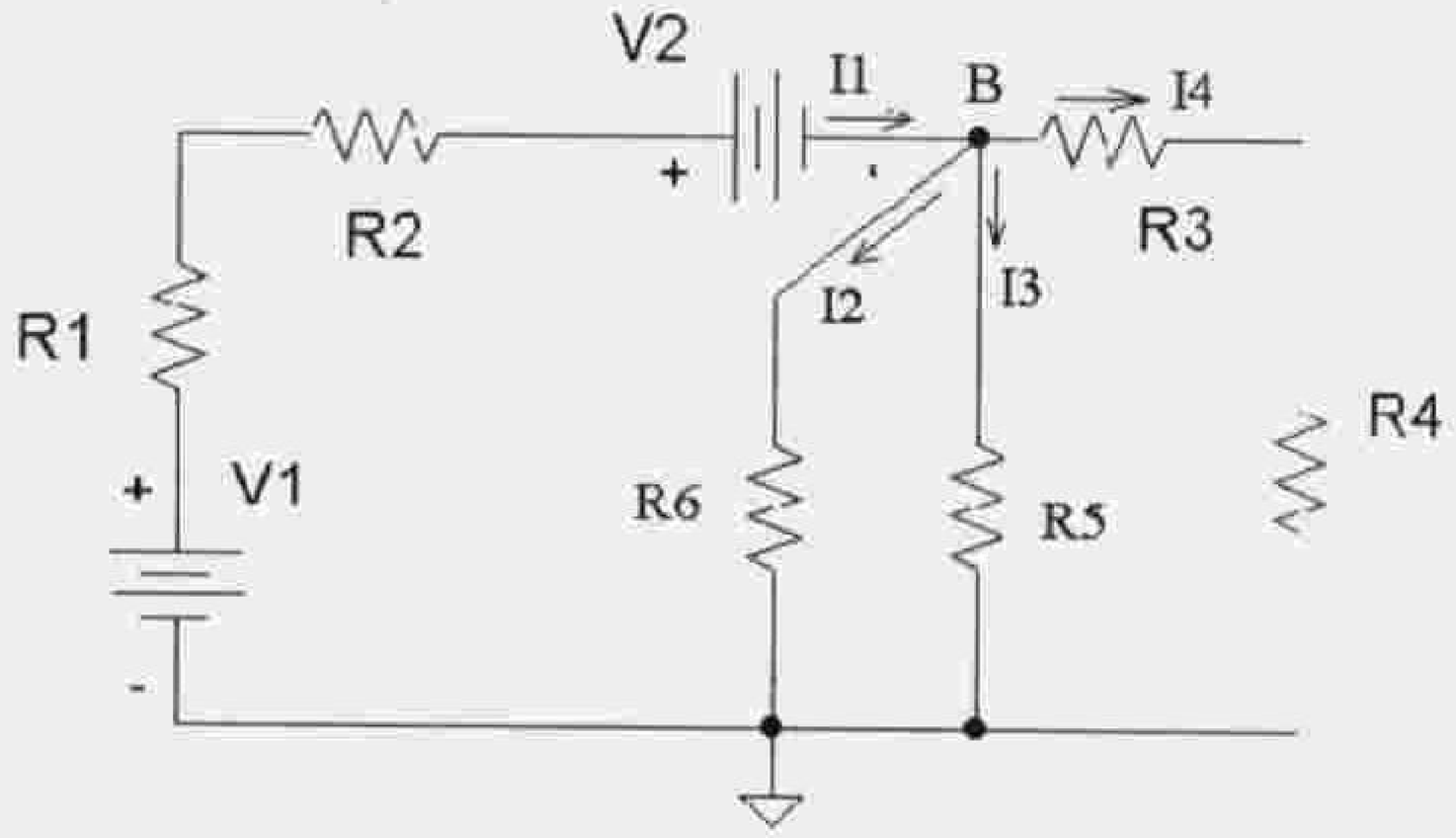
PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

يكتب قانون كيرشوف للجهد في هذه الحلقة كما يلي:

$$V_1 - i(R1+R2) - V_2 - i(R3+R4) = 0$$

قانون كيرشوف للتيار

ينص قانون كيرشوف للتيارات في عقدة على أن المجموع الجبري للتيارات في عقدة يساوي الصفر. في الشكل (7.A) تم تعديل الشكل السابق وأضيفت مجموعة من المقاومات الموصولة إلى العقدة B.



الشكل 7.A حلقة كهربائية لتوضيح قانون كيرشوف للتيارات.

يكتب قانون كيرشوف للتيار في العقدة B كما يلي:

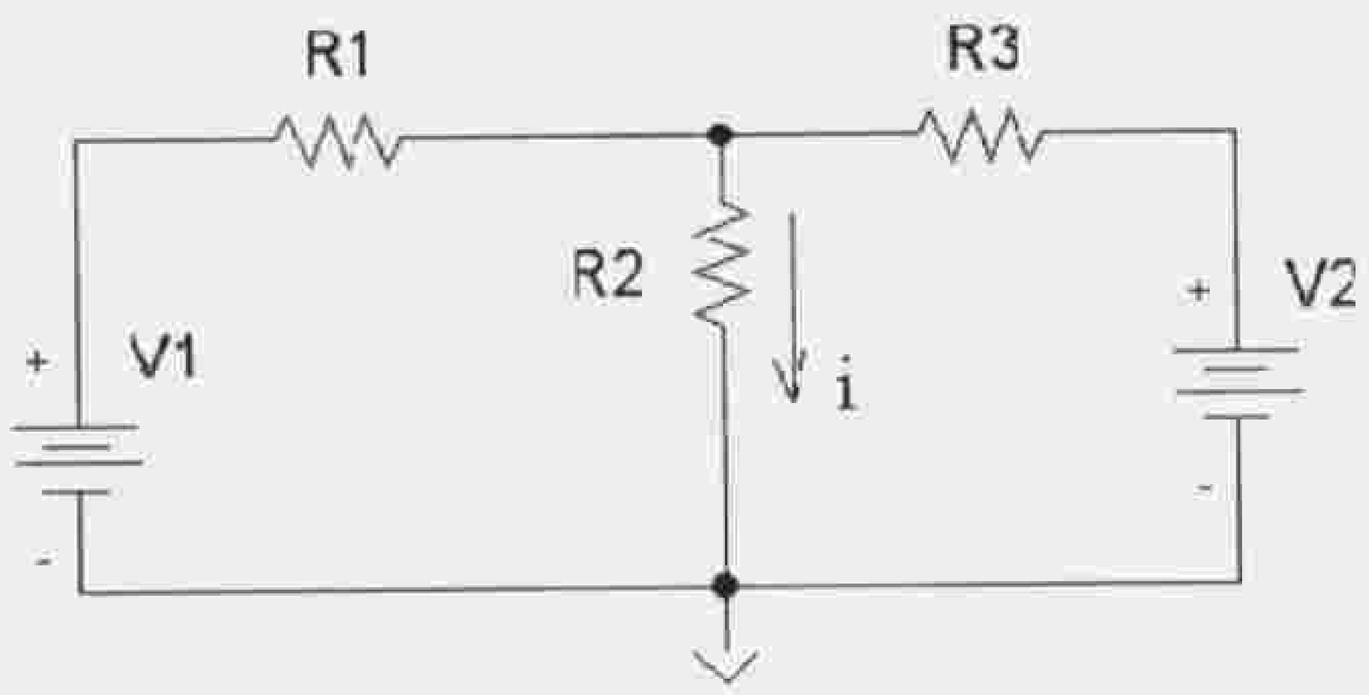
$$I_1 - I_2 - I_3 - I_4 = 0$$
$$I_1 = I_2 + I_3 + I_4$$

نظرية التنضد

نظرية التنضد هي نظرية مساعدة تستخدم في تحليل الدارات وتنص على أنه إذا وجد في دارة أكثر من منبع جهد فإن التيار المار في فرع من فروع الدارة يمكن إيجاده بإبقاء أحد المنابع في الدارة وقصر باقي المنابع بعض الاستعاضة عنها بمقاوماتها، ثم يكرر نفس العمل مع باقي المنابع ويكون

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

التيار في الفرع المطلوب هو المجموع الجبري للتيارات المحسوبة (تراعى اتجاهات التيارات التي تحسب في الخطوات السابقة والتي تمر في نفس العنصر). وسنوضح استخدام هذه النظرية من خلال المثال التالي، حيث يطلب حساب التيار المار في المقاومة R_2 من دارة الشكل (8.A).



الشكل 8.A دارة لتوضيح تطبيق نظرية التنضد.

نقصر المنبع V_2 فنحصل على التيار الذي يمر في المقاومة R_2 حسب العلاقة التالية:

$$i' = \frac{V_1}{R_1 + (R_2 // R_3)} \frac{R_3}{R_2 + R_3}$$

وفي الخطوة التالية نقصر V_2 فنحصل على التيار المار في المقاومة R_2 حسب العلاقة التالية:

$$i'' = \frac{V_2}{R3 + (R_2 // R_1)} \frac{R1}{R_2 + R_1}$$

والتيار الكلي المار في R_2 هو $i = i' + i''$.

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

جدول المحتويات

البوابات الرقمية الأساسية

1.1 مدخل إلى علم المنطق ومفهوم الصفر والواحد منطق.....7

2.1 أنظمة العد 8

1.2.1 نظام العد العشري 8

2.2.1 نظام العد الثنائي 9

التحويل من النظام الثنائي إلى العشري 10

التحويل من النظام العشري إلى النظام الثنائي 10

تحويل الأرقام العشرية الكسرية إلى النظام الثنائي 12

1.3.1 نظام العد الثماني 12

التحويل من النظام العشري إلى الثماني 13

4.2.1 نظام العد الستة عشري 13

5.2.1 العمليات الحسابية في الأنظمة العددية..... 15

العمليات الحسابية في النظام الثنائي..... 15

العمليات الحسابية في النظام الثماني..... 18

الطرح في النظام الثماني 18

العمليات الحسابية في النظام الستة عشري 19

3.1 قوانين جبر بول وقانوني ديمورغان 20

نظريات جبر بول 20

جدول الحقيقة..... 21

4.1 البوابات المنطقية الأساسية 22

1.4.1 بوابتي AND وNAND 22

2.4.1 بوابتي OR وNOR وبوابة العاكس NOT (النفي)..... 23

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

3.4.1 بوابتي XOR وXNOR 24

5.1 تحقيق التوابع المنطقية 24

1.5.1 التحقيق بواسطة أنواع مختلفة من البوابات 25

التمثيل بواسطة نوع واحد من البوابات 26

2.5.1 طريقة التمثيل بواسطة بوابات NAND 26

3.5.1 التمثيل بواسطة بوابات NOR 28

6.1 تبسيط التوابع المنطقية 31

1.6.1 مخططات كارنوف 33

مخطط كارنوف لمتحولين 34

كيف نستخلص التابع المنطقي من المخطط؟ 34

مخطط كارنوف لثلاثة متحولات 35

مخطط كارنوف لأربعة متحولات 37

2 العائلات المنطقية الرقمية

1.2 مقدمة 39

2.2 العائلات المنطقية التي تعمل على ترانزيستورات ثنائية القطبية 39

1.2.2 عائلة TRANSISTOR TRANSISTOR LOGIC (TTL) 39

2.2.2 الدارات أو البوابات ذات المجمع المفتوح (OPEN COLLECTOR) 43

3.2.2 استخدامات البوابات ذات المجمع المفتوح 44

4.2.2 حساب مقاومة الشد 44

5.2.2 البوابات ذات الخرج ثلاثي الحالة TRI-STATE GATES 45

6.2.2 المداخل غير المستخدمة في بوابات عائلة TTL 47

7.2.2 قائمة ببعض الدارات المتكاملة الهامة من عائلة TTL 47

3.2 عائلة EMITTER COUPLED LOGIC (ECL) 48

مبدأ عمل البوابة الأساسية في عائلة ECL 49

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

4.2 عائلة CMOS 51
1.4.2 السلاسل المختلفة لعائلة CMOS 55
5.2 مقارنة بين العائلات المنطقية 56
6.2 ربط العائلات المنطقية 57
الربط ضمن العائلة الواحدة 58
الربط بين العائلات المختلفة 59
ربط مخارج CMOS إلى مداخل TTL 59
وصل مخارج TTL إلى مداخل CMOS..... 61
ربط مخارج ECL إلى مداخل TTL 61
ربط مخارج TTL إلى مداخل ECL 62

3 المكونات المنطقية الأساسية

1.3 مقدمة 65
2.3 القلابات..... 66
1.2.3 القلاب RS 66
2.2.3 القلاب JK 68
3.2.3 القلاب T 72
4.2.3 القلاب D 72
3.3 الماسكات..... 73
4.3 مسجلات الإزاحة..... 74
5.3 العدادات..... 77
1.5.3 طرق تصميم العدادات..... 79
تصميم العدادات المتزامنة..... 80
6.3 المجمعات MULTIPLEXERS والموزعات DEMULTIPLEXERS 83

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

1.6.3 المجمعات 83
2.6.3 الموزعات 83
7.3 الكواشف والمرمزات 88
8.3 الدارات المنطقية الحسابية 90
1.8.3 المقارنات 90
2.8.3 دارات الجمع والطرح 93
الجامع التسلسلي 96
الطارح التسلسلي 96
9.3 أمثلة تصميمية 97

4 أسس التصميم المنطقي

1.4 المقدمة 105
2.4 مبادئ التصميم الرقمي 105
3.4 الاعتبارات العملية في التصميم المنطقي 106
1.3.4 المناعة ضد الضجيج واستهلاك الطاقة 107
2.3.4 تحميل الخرج FAN OUT 108
3.3.4 التأخير 108

5 مولدات النبضات

1.5 مقدمة 115
2.5 مولد عديم الاستقرار باستخدام بوابات 115

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

1.2.5 مبدأ العمل 115
2.2.5 استخراج علاقة تردد الاهتزاز 117
3.2.5 نماذج أخرى للمولدات عديمة الاستقرار 118
3.5 المولد وحيد الاستقرار المبني على بوابات تكاملية 118
1.3.5 استخراج عرض نبضة الخرج 119
4.5 المؤقت الزمني 555 120
1.4.5 المهتز عديم الاستقرار المبني على 555 123
2.4.5 استخراج علاقة دور إشارة الخرج 123
5.5 مولد وحيد الاستقرار يعمل على 555 124
1.5.5 مبدأ العمل 124
2.5.5 استخراج عرض نبضة الخرج 125
مثال عن استخدام دارة الـ 555 كدارة إنذار 126
6.5 المولدات VCOS 126
7.5 المولدات الكريستالية 128
8.5 مولد نبضات يدوي 129
9.5 قادح شميت 129
1.9.5 استخدام مولد النبضات للتحكم بسرعة دوران محرك التيار المستمر 131
10.5 المضخم العملياتي كمولد نبضات مربعة 133
11.5 المضخم العملياتي كمولد إشارة مثلثية 135
12.5 المضخم العملياتي كمقارن COMPARATOR 138
13.5 دارة المضخم العاكس 139
14.5 المضخم غير العاكس 142
15.5 دارة تابع الجهد 143
16.5 دارة المضخم التفاضلي 144

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

17.5 المضخم العملياتي كدارة جمع 145
18.5 دارة التكامل 147
19.5 الدارات النبضية 148
1.19.5 دارة التمرير العالي 148
استجابة الحالة الساكنة لشبكة تمرير عالي 153
2.19.5 دارة التمرير المنخفض 157
استجابة دارة التمرير المنخفض لجهد خطي متزايد 160

6 المبدلات التشابهية الرقمية (A/D) والرقمية التشابهية (D/A)

1.6 المبدل التشابهي الرقمي (D/A) 161
2.6 المبدل التفرعي 162
3.6 المبدل AD الذي يعمل وفق مبدأ التقريب المتتالي 164
4.6 أنواع أخرى من المبدلات التشابهية الرقمية 168
1.4.6 المبدل التشابهي أحادي الميل 168
2.4.6 المبدل التشابهي الرقمي المكامل ثنائي الميل 168
3.4.6 مبدل SIGMA-DELTA 168
5.6 أهم مواصفات المبدلات التشابهية الرقمية 168
الدقة 168
الخطية 169
زمن تحصيل العينة والإمساك بها 169
الإنتاجية 169
زمن التكامل 169
إعادة المعايرة 169

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

6.6 المبدلات الرقمية التشابهية 170
1.6.6 مبدل D/A ذو شبكة مقاومات متدرجة بشكل ثنائي 170
2.6.6 مبدل رقمي تشابهي ذو شبكة مقاومات R-2R 171
3.6.6 مثال عن استخدام المبدل التشابهي الرقمي 171
مبدأ عمل الدارة 172
المنفذ التفرعي للحاسوب 174
التعامل البرمجي مع المنفذ التفرعي 174
المنافذ المعيارية وثنائية الاتجاه 174

7 تطبيقات عملية

1.7 تجارب عملية على دارة عداد عشري ثلاث خانات (المشروع الأول) 179
2.7 المشاريع العملية 184
1.2.7 المشروع (1): عداد يعد حتى الرقم 99 184
2.2.7 المشروع (2): تصميم دارة إنذار لسيارة 189
3.2.7 المشروع (3): تصميم دارة منطقية لقيادة قفل كهربائي 192
4.2.7 المشروع (4): تصميم تاكومتر رقمي 194
المرحلة الأولى 195
المرحلة الثانية (مرحلة العد) 196
مرحلة توليد نبضات Clock 198
5.2.7 المشروع (5): تصميم منظومة منطقية لكشف المصباح المعطل على مدرج هبوط 199
الدارة المتكاملة 74150 203
6.2.7 المشروع (6): تصميم مقياس سرعة تحذيري لسيارة 209
7.2.7 المشروع (7): تصميم دارة إلكترونية للتحكم بحركة وإضاءة لوحة إعلان 214
8.2.7 المشروع (8): تصميم نظام تصويت إلكتروني لبرلمان (تمرين للقارئ) 222
9.2.7 المشروع (9): تصميم نظام مراقبة لدرجة حرارة سبع نقاط منفصلة في مصنع 223
10.2.7 المشروع (10): تصميم ساعة رقمية 224

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

11.2.7 المشروع (11)..... 225
12.2.7 المشروع (12)..... 225
13.2.7 المشروع (13)..... 225
14.2.7 المشروع (14)..... 226
15.2.7 المشروع (15)..... 226
16.2.7 المشروع (16)..... 227
17.2.7 المشروع (17): تصميم القسم النبضي في طرفي الإرسال والاستقبال لجهاز تحكم عن بعد لا سلكي..... 227
توليد نبضات الإطار..... 229
مولد نبضة إحدى الأقنية..... 230
Multiplexer دارة المضاعف..... 231
القسم النبضي في طرف الإستقبال..... 232
المفتاح الرقمي..... 234
آلية عمل الدارة..... 235

A ملحق

المضخم العملياتي..... 239
المواصفات الأساسية للمضخم العملياتي..... 239
الديود DIODE..... 242
الترانزيستورات ثنائية القطبية..... 243
قانون كيرشوف للجهد..... 245
قانون كيرشوف للتيار..... 246
نظرية التنضد..... 246
جدول المحتويات..... 249

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com

Principles Of Digital Electronics Design

في هذا الكتاب:

- البوابات الرقمية الأساسية: مدخل إلى علم المنطق قوانين جبر بول
- العائلات المنطقية الرقمية
- المكونات المنطقية الأساسية
- أسس التصميم المنطقي
- مولدات النبضات
- المبدلات التشابهية الرقمية (A/D) والرقمية التشابهية (D/A)
- 17 مشروعاً عملياً متنوعاً

مبتدئ ✓
متوسط ✓
متقدم ✓
خبير ✗

RAY PUBLISHING & SCIENCE
http://www.raypub.com
e-mail:raymail@raypub.com
شعاع

PDF created with FinePrint pdfFactory trial version http://www.fineprint.com